

Утверждаю

И.о. главного инженера Филиала
НТЦ "Белмикросистемы"
ОАО "ИНТЕГРАЛ"

_____ С.М. Гриневский

" ____ " _____ 2011

МИКРОСХЕМА 1880BE81У

Руководство по эксплуатации

СКФН.431295.172 РЭ

Ине. № под.	445.4
Подп. и дата	
Взам. ине. №	445.3
Ине. № дубл	
Подп. и дата	

Главный конструктор ОКР

_____ А.В. Вергейчик

" ____ " _____ 2011

Содержание

1	Назначение.....	3
2	Характеристики.....	3
3	Устройство и работа.....	7
3.1	Структурная схема.....	7
3.2	Основные блоки.....	9
3.3	Блок управления.....	15
3.4	Арифметическо-логическое устройство.....	17
3.5	Блок таймеров/счетчиков.....	19
3.6	Блок контроллера мультиплексного канала связи по ГОСТ Р 52070-2003.....	35
3.7	Сторожевой таймер.....	41
3.8	Блок последовательного интерфейса и прерываний.....	42
3.9	Регистр управления мощностью.....	45
3.10	Программный счетчик.....	47
3.11	Порты ввода/вывода.....	48
3.12	Память данных.....	51
3.13	Память программ.....	53
4	Режимы работы.....	53
4.1	Режимы работы и начальная установка.....	53
4.2	Работа с внутренней памятью программ.....	53
4.3	Работа с внешней памятью программ и памятью данных.....	54
4.4	Работа с портами.....	56
4.5	Структура прерываний.....	66
4.6	Организация памяти.....	70
4.7	Режимы адресации.....	75
5	Система команд.....	76
5.1	Арифметические команды.....	79
5.2	Логические команды с байтовыми переменными.....	80
5.3	Команды передачи данных.....	80
5.4	Команды битового процессора.....	81
5.5	Команды ветвления и передачи управления.....	81
6	Динамические параметры.....	81
7	Указания по эксплуатации.....	82
8	Транспортирование и хранение.....	82

Подп. и дата
 Подп. и дата
 Взам. инв. №
 Инв. № под.

445.3

445.4

ПЗ						
СКФН.431295.172 РЭ						
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		
<i>Изм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Подп.</i>	<i>Дата</i>		
<i>Разраб.</i>	Залесская	Подпись	Дата			
<i>Пров.</i>	Поправкин	Подпись	Дата			
<i>Н. контр.</i>	Котова	Подпись	Дата			
<i>Утв.</i>	-	-	-			
Микросхема 1880BE81У				<i>Лит.</i>	<i>Лист</i>	<i>Листов</i>
Руководство по эксплуатации				А	2	84

Настоящее руководство по эксплуатации распространяется на микросхему 1880BE81У, соответствующую техническим условиям АЕЯР.431280.335-01 ТУ.

1 Назначение

Микросхема 1880BE81У - восьмиразрядная однокристалльная микро-ЭВМ (далее ОЭВМ) с масочным ПЗУ* и встроенным интерфейсом мультиплексного канала связи по ГОСТ Р 52070-2003.

Микросхема предназначена для применения в высокопроизводительных системах обработки информации и устройствах управления специального назначения.

ОЭВМ может работать в следующих режимах:

- с внутренней и внешней памятью программ;
- с внутренней памятью программ;
- с внешней памятью программ.

Режим работы устанавливается комбинацией входных и выходных сигналов.

2 Характеристики

2.1 Основные технические характеристики:

- напряжение питания, U_{CC} , В.....	5,0 ± 10 %
- количество каналов обмена, $n_{B,EXC}$, шт.....	5×8
- скорость обмена информацией с внешними устройствами, V_{EXC} , кбод.....	15
- разрядность адреса, N_A , бит.....	16
- разрядность данных, N_D , бит.....	8
- количество команд, n_{INS} , шт.	111
- емкость ОЗУ, Q_{RAM} , байт.....	256
- емкость ПЗУ, Q_{ROM} , Кбайт	8
- количество источников прерывания, n_{INR} , шт.....	7
- потребляемая мощность, P_{CC} , мВт, не более.....	275
- частота следования импульсов тактовых сигналов, f_C , МГц, не более	20
- диапазон рабочих температур, T_a , °С.....	от минус 60 до плюс 125

2.2 Микросхемы характеризуются электрическими параметрами, приведенными в таблице 1.

Значения предельно-допустимых и предельных электрических режимов эксплуатации в диапазоне рабочих температур среды приведены в таблице 2.

2.3 Микросхемы выполнены в корпусе Н18.64-1В, масса микросхем не более 3 г.

2.4 Номера выводов микросхем и их назначение приведены в таблице 3.

* ОЭВМ содержит расположенную на кристалле внутреннюю память программ емкостью 8 Кбайт, которая может быть расширена до 64 Кбайт за счет подключения микросхем внешней памяти программ.

Внутренняя память программ представляет собой масочное ПЗУ. Кодировка ПЗУ определяется заказчиком. Кодировка ПЗУ микросхемы 1880BE81У тестовая.

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		3
Изм	Лист	№ докум.	Подп.	Дата		

Подп. и дата
 Инв. № дубл
 445.3
 Взам. инв. №
 445.4
 Инв. № под.
 Подп. и дата

Таблица 1 - Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначе- ние параметра	Норма параметра		Темпера- тура сре- ды, °С
		не менее	не более	
Выходное напряжение низкого уровня, В за исключением выхода ХО при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $I_{OL} = 2 \text{ мА}$	U_{OL}	–	0,45	25±10; –60; 125
Выходное напряжение высокого уровня (в активном режиме), В за исключением выхода ХО при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $I_{OH} = -1 \text{ мА}$	U_{OH}	2,4	–	
Выходное напряжение высокого уровня (в режиме удержания), В по портам P1, P2, P3, P4, выходам $\overline{\text{PSEN}}$, ALE при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $I_{OH1} = -50 \text{ мкА}$	U_{OH1}	2,4	–	
Входной ток, мкА по портам P1, P2, P3, P4 при $U_I = 2,0 \text{ В}$, $U_{CC} = 5,0 \text{ В}$	I_I	–	–750	
Входной ток, мкА по входу RST при $U_{CC} = 5,0 \text{ В}$, $U_I = 0 \text{ В}$	I_{IRST}	–20	–100	
Ток утечки низкого уровня на входе, мкА по порту P0, входам $\overline{\text{EA}}$, $\overline{\text{DIMLA}}$, DIMHA, $\overline{\text{DIMLB}}$, DIMHB, SA0 – SA4 при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $U_I = 0,5 \text{ В}$	I_{ILL}	–	–10	
Ток утечки высокого уровня на входе, мкА по порту P0, входам $\overline{\text{EA}}$, $\overline{\text{DIMLA}}$, DIMHA, $\overline{\text{DIMLB}}$, DIMHB, SA0 – SA4 при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $U_I = 5,0 \text{ В}$	I_{ILH}	–	10	
Динамический ток потребления, мА при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $f_C = 12 \text{ МГц}$	I_{OCC}	–	50	
Динамический ток потребления в режиме ожидания, мА при $U_{CC} = 5,0 \text{ В} \pm 10 \%$, $f_C = 12 \text{ МГц}$	I_{OCCS}	–	30	
Статический ток потребления, мкА при $U_{CC} = 5,0 \text{ В} \pm 10 \%$	I_{CC}	–	100	
Период следования импульсов тактовых сигналов, нс	T	50	–	
Длительность сигнала низкого уровня на входе XI, нс	t_{WL}	20	T – 20	
Время установления, нс	t_{SU}	30	T – 10	
Время выключения, нс	t_{off}	7,0	T – 20	
Время выборки, нс	t_d	–4,0	7,0	
Примечание – Знак "минус" перед значением тока указывает только его направле- ние (вытекающий ток)				

Подп. и дата

Взам. инв. № : Инв. № дубл.
445.3

Подп. и дата

Инв. № под.
445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13
Изм	Лист	№ докум.	Подп.	Дата

СКФН.431295.172 РЭ

Лист

4

Таблица 2 – Предельно-допустимые и предельные режимы эксплуатации

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		Норма		Норма	
		не менее	не более	не менее	не более
Микросхемы 1880BE81У, 1880BE81У-XX					
Напряжение питания, В	U_{CC}	4,5	5,5	-0,5	6,0
Входное напряжение низкого уровня, В	U_{IL}	0	0,5	-0,5	-
Входное напряжение высокого уровня, В для всех входов, кроме \overline{XI} , \overline{RST} , \overline{DIMLA} , \overline{DIMHA} , \overline{DIMLB} , \overline{DIMHB} , SA0 – SA4	U_{IH}	0,5 U_{CC}	U_{CC}	-	6,0
Входное напряжение высокого уровня, В для входов \overline{XI} , \overline{RST} , \overline{DIMLA} , \overline{DIMHA} , \overline{DIMLB} , \overline{DIMHB} , SA0 – SA4	U_{IH1}	0,75 U_{CC}	U_{CC}	-	6,0
Выходной ток низкого уровня, мА для всех выходов, кроме X0	I_{OL}	-	2	-	-
Выходной ток высокого уровня (в активном режиме), мА для всех выходов, кроме X0	I_{OH}	-	-1	-	-
Выходной ток высокого уровня (в режиме удержания), мкА по портам P1, P2, P3, P4, выходам ALE, PSEN	I_{OH1}	-	-50	-	-
Частота следования импульсов тактовых сигналов, МГц	f_C	-	20	-	-
Емкость нагрузки, пФ	C_L	-	20	-	-
Длительность фронта, спада входного сигнала, нс	t_{LH} , t_{HL}	-	5	-	10

Подп. и дата
 Инв. № дубл.
 Взам. инв. №
 Инв. № под.

445.3

445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		5

Таблица 3 – Назначение выводов

Номер вывода	Обозначение	Назначение
01	GND	Общий вывод
02	P1.0	Вход / выход данных разряда 0 порта P1 / таймер 2 (T2)
03	P1.1	Вход / выход данных разряда 1 порта P1 / таймер 2 (T2EX)
04 – 09	P1.2 – P1.7	Входы / выходы данных разрядов (7 – 2) порта P1
10 – 17	P4.0 – P4.7	Входы / выходы данных разрядов (7 – 0) порта P4
18	XO	Выход для подключения кварцевого резонатора
19	XI	Вход для подключения кварцевого резонатора
20	GND	Общий вывод
21	P3.0	Вход / выход данных разряда 0 порта P3 / последовательные данные приемника UART (RXD)
22	P3.1	Вход / выход данных разряда 1 порта P3 / последовательные данные передатчика UART (TXD)
23	P3.2	Вход / выход данных разряда 2 порта P3 / прерывание 0 (INT0)
24	P3.3	Вход / выход данных разряда 3 порта P3 / прерывание 1 ((INT1)
25	\overline{RST}	Вход сигнала сброса
26, 27	SA0, SA1	Входы адреса абонента контроллера мультиплексного канала
28	DIMHB	Вход канала В прямой
29	\overline{DIMLB}	Вход канала В инверсный
30	DMHB	Выход канала В прямой
31	\overline{DMLB}	Выход канала В инверсный
32	U _{CC}	Вывод питания от источника напряжения
33	DMHA	Выход канала А прямой
34	\overline{DMLA}	Выход канала А инверсный
35	DIMHA	Вход канала А прямой
36	\overline{DIMLA}	Вход канала А инверсный
37 – 39	SA2 – SA4	Входы адреса абонента контроллера мультиплексного канала
40	\overline{EA}	Вход блокировки работы с внутренней памятью
41	P3.4	Вход / выход данных разряда 4 порта P3 / таймер-счетчик 0 (T0)
42	P3.5	Вход / выход данных разряда 5 порта P3 / таймер-счетчик 1 (T1)
43	P3.6	Вход / выход данных разряда 6 порта P3 / запись (WR)
44	P3.7	Вход / выход данных разряда 7 порта P3 / чтение (RD)
45	GND	Общий вывод
46 – 53	P2.0 – P2.7	Вход / выход данных разрядов (7 – 0) порта P2 / адрес A15 – A8
54	ALE	Вход / выход разрешения фиксации адреса / установка режима чтения ПЗУ
55	\overline{PSEN}	Вход / выход разрешения программной памяти / установка режима чтения ПЗУ
56 – 63	P0.0 – P0.7	Вход / выход данных разрядов (7 – 0) порта P0 / адрес-данные AD7 – AD0 с третьим состоянием
64	U _{CC}	Вывод питания от источника напряжения

Подп. и дата
 Подп. и дата
 Подп. и дата
 Инв. № под.
 445.4
 Взам. инв. №
 445.3
 Инв. № дубл.
 445.3

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		6

3 Устройство и работа

3.1 Структурная схема

3.1.1 Структурная схема микросхемы приведена на рисунке 1. Условное графическое обозначение приведено на рисунке 2.

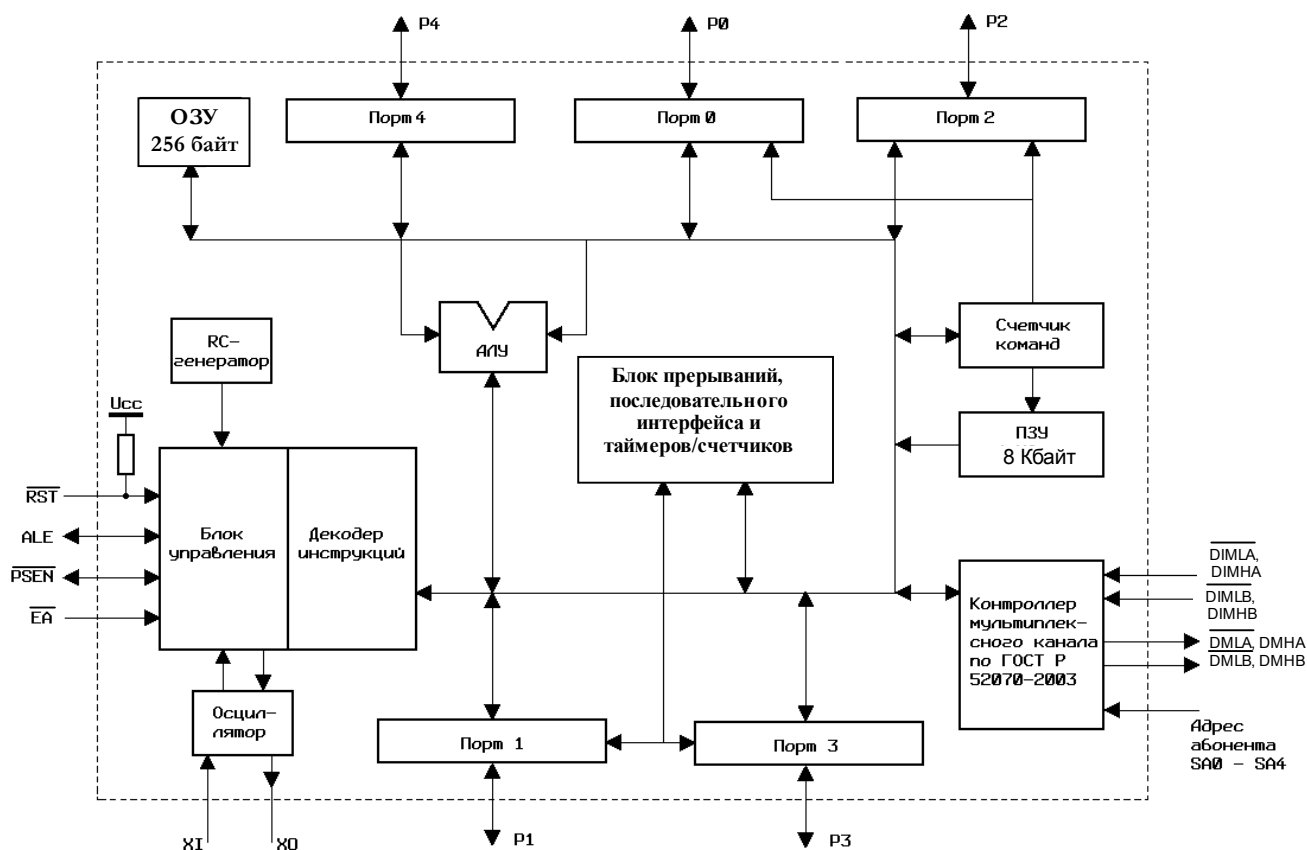


Рисунок 1 - Структурная схема

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	N докум.	Подп.	Дата		7

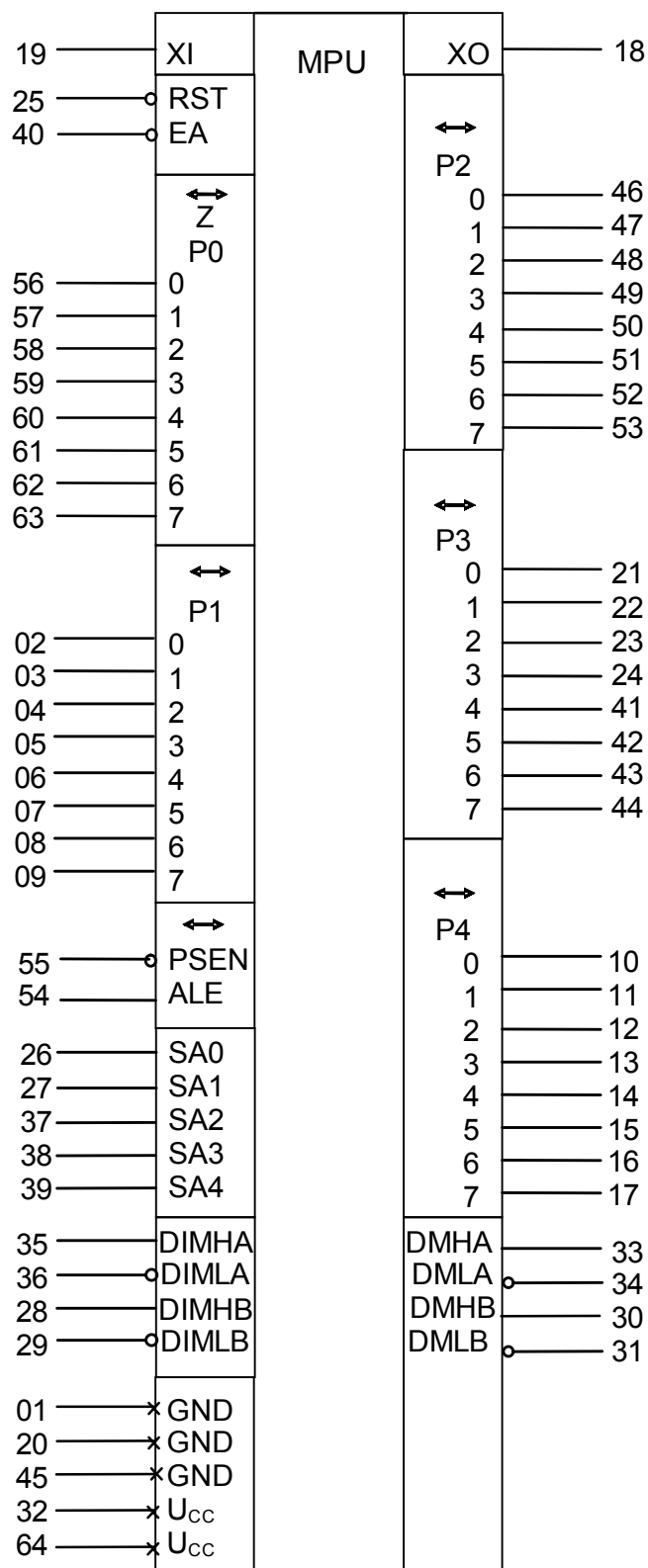


Рисунок 2 - Условное графическое обозначение

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		8

3.2 Основные блоки

3.2.1 ОЭВМ включает в себя следующие основные блоки:

- блок управления;
- декодер инструкций;
- арифметическо-логическое устройство;
- блок прерываний, последовательного интерфейса и таймеров/счетчиков;
- счетчик команд (программный счетчик);
- память программ (ПЗУ) объемом 8 Кбайт;
- память данных (ОЗУ) объемом 256 байт;
- блок ИМК* связи по ГОСТ Р 52070-2003;
- сторожевой таймер;
- четыре двунаправленных побитно настраиваемых восьмиразрядных порта ввода-вывода;
- тактовый генератор (осциллятор).

Двусторонний обмен информацией между функциональными блоками осуществляется с помощью внутренней восьмиразрядной шины данных.

В таблице 4 приведен перечень регистров специальных функций, доступ к которым может быть осуществлен с помощью команд, использующих прямую байтную и битную адресацию.

Таблица 4 - Регистры специальных функций

Наименование	Обозначение	Адрес
Аккумулятор	ACC ¹⁾	0E0H
Регистр В	B ¹⁾	0F0H
Регистр состояния программы	PSW ¹⁾	0D0H
Указатель стека	SP	081H
Регистр указателя данных:	DPTR	
- старший байт	DPH	083H
- младший байт	DPL	082H
Порты ввода/вывода:		
- порт P0	P0 ¹⁾	080H
- порт P1	P1 ¹⁾	090H
- порт P2	P2 ¹⁾	0A0H
- порт P3	P3 ¹⁾	0B0H
- порт P4	P4 ¹⁾	0C0H
Регистр приоритетов прерываний	IP ¹⁾	0B8H
Регистр разрешения прерываний	IE ¹⁾	0A8H
Регистр управления блоком последовательного интерфейса прерываний	SCON ¹⁾	098H
Буфер последовательного порта	SBUF	099H
Регистр управления мощностью	PCON	087H
Регистр управления таймеров/счетчиков T/C0, T/C1	TCON ¹⁾	088H

* ИМК – интерфейс мультиплексного канала

Подп. и дата
 Подп. и дата
 Подп. и дата
 Инв. № под.
 445.4
 Взам. инв. № : Инв. № дубл.
 445.3

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		9

Продолжение таблицы 4

Наименование	Обозначение	Адрес
Регистр режимов работы таймеров/счетчиков T/C0, T/C1	TMOD	089H
Таймер/счетчик T/C0 (старший байт)	TH0	08CH
Таймер/счетчик T/C0 (младший байт)	TL0	08AH
Таймер/счетчик T/C1 (старший байт)	TH1	08DH
Таймер/счетчик T/C1 (младший байт)	TL1	08BH
Регистр сброса / конфигурации сторожевого таймера	WDTRST	0A6H
Регистр управления таймера/счетчика T/C2	T2CON ¹⁾	0C8H
Регистр режимов работы таймера/счетчика T/C2	T2MOD	0C9H
Регистр защелки/перезагрузки таймера/счетчика T/C2 (младший байт)	RCAP2L	0CAH
Регистр защелки/перезагрузки таймера/счетчика T/C2 (старший байт)	RCAP2H	0CBH
Таймер/счетчик T/C2 (младший байт)	TL2	0CCH
Таймер/счетчик T/C2 (старший байт)	TH2	0CDH
Регистр конфигурации (допускает битовую адресацию)	MCON ¹⁾	0E8h
Регистр ответного слова	MSTS	0E9h
Регистр ошибок "ВСК ОУ"	MERG	0EAh
Счётчик слов	MCNT	0EBh
Регистр стартового адреса (в буфере) для приёма команд/данных	MRXA	0ECh
Регистр стартового адреса (в буфере) для выдачи данных	MTXA	0EDh
Регистр адреса буфера ИМК	MBA	0EEh
Регистр данных буфера ИМК	MBD	0EFh
Регистр кода текущей команды	MCOD	0FAh
Регистр подадреса текущей команды	MSUB	0FBh
Младший байт регистра последней команды	MLCL	0FCh
Старший байт регистра последней команды	MLCH	0FDh
¹⁾ Регистры, допускающие побитовую адресацию		

Ине.№ под. 445.4
 Подп.и дата
 Взам.ине.№ : Ине.№ дубл. 445.3
 Подп.и дата

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		10

3.2.2 Ниже приведен заголовочный h-файл (от английского слова header file) в среде Keil C51, подключаемый компилятором в исходный текст Си-программ.

```

/*-----
REG1880VE81.H

Header file for 1880VE81 microcontroller
-----*/

#ifndef __REG1880VE81_H__
#define __REG1880VE81_H__

/* BYTE Registers */
sfr P0 = 0x80;
sfr P1 = 0x90;
sfr P2 = 0xA0;
sfr P3 = 0xB0;
sfr P4 = 0xC0; // 1880VE81
sfr PSW = 0xD0;
sfr ACC = 0xE0;
sfr B = 0xF0;
sfr SP = 0x81;
sfr DPL = 0x82;
sfr DPH = 0x83;
sfr PCON = 0x87; // bit SMOD (PCON.7) always affect UART
sfr TCON = 0x88;
sfr TMOD = 0x89;
sfr TL0 = 0x8A;
sfr TL1 = 0x8B;
sfr TH0 = 0x8C;
sfr TH1 = 0x8D;
sfr IE = 0xA8;
sfr IP = 0xB8;
sfr SCON = 0x98;
sfr SBUF = 0x99;

sfr WDTRST = 0xA6; // 1880VE81

/* 8052 Extensions */
sfr T2CON = 0xC8;
sfr RCAP2L = 0xCA;
sfr RCAP2H = 0xCB;
sfr TL2 = 0xCC;
sfr TH2 = 0xCD;

```

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		11
Изм	Лист	№ докум.	Подп.	Дата		

```

sfr MCON = 0xE8; // 1880VE81
sfr MSTS = 0xE9; // 1880VE81
sfr MERG = 0xEA; // 1880VE81
sfr MCNT = 0xEB; // 1880VE81
sfr MRXA = 0xEC; // 1880VE81
sfr MTXA = 0xED; // 1880VE81
sfr MBA = 0xEE; // 1880VE81
sfr MBD = 0xEF; // 1880VE81
sfr MCODE = 0xFA; // 1880VE81
sfr MSUB = 0xFB; // 1880VE81
sfr MLCL = 0xFC; // 1880VE81
sfr MLCH = 0xFD; // 1880VE81

```

/ BIT Registers */*

/ P0 */*

```

sbit P0_7 = P0^7;
sbit P0_6 = P0^6;
sbit P0_5 = P0^5;
sbit P0_4 = P0^4;
sbit P0_3 = P0^3;
sbit P0_2 = P0^2;
sbit P0_1 = P0^1;
sbit P0_0 = P0^0;

```

/ P1 */*

```

sbit P1_7 = P1^7;
sbit P1_6 = P1^6;
sbit P1_5 = P1^5;
sbit P1_4 = P1^4;
sbit P1_3 = P1^3;
sbit P1_2 = P1^2;
sbit P1_1 = P1^1;
sbit P1_0 = P1^0;

```

/ P2 */*

```

sbit P2_7 = P2^7;
sbit P2_6 = P2^6;
sbit P2_5 = P2^5;
sbit P2_4 = P2^4;
sbit P2_3 = P2^3;
sbit P2_2 = P2^2;
sbit P2_1 = P2^1;
sbit P2_0 = P2^0;

```

/ P3 */*

```

sbit P3_7 = P3^7;
sbit P3_6 = P3^6;
sbit P3_5 = P3^5;
sbit P3_4 = P3^4;
sbit P3_3 = P3^3;
sbit P3_2 = P3^2;
sbit P3_1 = P3^1;
sbit P3_0 = P3^0;

```

Име.№ под.	445.4
Подп.и дата	
Взам.име.№ : Име.№ дубл	445.3
Подп.и дата	

					СКФН.431295.172 РЭ	<i>Лист</i>
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		12
<i>Изм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Подп.</i>	<i>Дата</i>		

```

/* P4 */
sbit P4_7 = P4^7;
sbit P4_6 = P4^6;
sbit P4_5 = P4^5;
sbit P4_4 = P4^4;
sbit P4_3 = P4^3;
sbit P4_2 = P4^2;
sbit P4_1 = P4^1;
sbit P4_0 = P4^0;

```

```

/* PSW */
sbit CY = PSW^7;
sbit AC = PSW^6;
sbit F0 = PSW^5;
sbit RS1 = PSW^4;
sbit RS0 = PSW^3;
sbit OV = PSW^2;
sbit P = PSW^0;

```

```

/* TCON */
sbit TF1 = TCON^7;
sbit TR1 = TCON^6;
sbit TF0 = TCON^5;
sbit TR0 = TCON^4;
sbit IE1 = TCON^3;
sbit IT1 = TCON^2;
sbit IE0 = TCON^1;
sbit IT0 = TCON^0;

```

```

/* IE */
sbit EA = IE^7;
sbit EMTR = IE^6; // 1880VE81, must be equal ET1
sbit ET2 = IE^5; // must be equal ES
sbit ES = IE^4; // must be equal ET2
sbit ET1 = IE^3; // must be equal EMTR
sbit EX1 = IE^2;
sbit ET0 = IE^1;
sbit EX0 = IE^0;

```

```

/* IP */
sbit PMTR = IP^6; // 1880VE81
sbit PT2 = IP^5;
sbit PS = IP^4;
sbit PT1 = IP^3;
sbit PX1 = IP^2;
sbit PT0 = IP^1;
sbit PX0 = IP^0;

```

Име.№ под.	445.4
Подп.и дата	
Взам.име.№ : Име.№ дубл	445.3
Подп.и дата	
Име.№ под.	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		13
Изм	Лист	№ докум.	Подп.	Дата		

```

/* P3 */
sbit RD = P3^7;
sbit WR = P3^6;
sbit T1 = P3^5;
sbit T0 = P3^4;
sbit INT1 = P3^3;
sbit INT0 = P3^2;
sbit TXD = P3^1;
sbit RXD = P3^0;

/* SCON */
sbit SM0 = SCON^7;
sbit SM1 = SCON^6;
sbit SM2 = SCON^5;
sbit REN = SCON^4;
sbit TB8 = SCON^3;
sbit RB8 = SCON^2;
sbit TI = SCON^1;
sbit RI = SCON^0;

/* P1 */
sbit T2EX = P1^1;
sbit T2 = P1^0;

/* T2CON */
sbit TF2 = T2CON^7;
sbit EXF2 = T2CON^6;
sbit TCLK = T2CON^4; // equal RCLK
sbit EXEN2 = T2CON^3;
sbit TR2 = T2CON^2;
sbit C_T2 = T2CON^1;
sbit CP_RL2 = T2CON^0;

/* MCON */
sbit M_BSY = MCON^7; // 1880VE81
sbit M_SPD = MCON^6; // 1880VE81
sbit M_AN = MCON^5; // 1880VE81
sbit M_RW = MCON^4; // 1880VE81
sbit M_BCT = MCON^3; // 1880VE81
sbit M_CAN = MCON^2; // 1880VE81
sbit M_CI = MCON^1; // 1880VE81
sbit M_RI = MCON^0; // 1880VE81

#endif

```

Име.№ под.	445.4
Подп.и дата	
Взам.име.№ : Име.№ дубл	445.3
Подп.и дата	
Име.№ под.	445.3
Подп.и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		14
Изм	Лист	№ докум.	Подп.	Дата		

3.3 Блок управления

3.3.1 Блок управления предназначен для выработки синхронизирующих и управляющих сигналов, обеспечивающих координацию совместной работы блоков ОЭВМ во всех режимах ее работы.

В состав блока управления входят:

- устройство выработки временных интервалов;
- логика ввода/вывода;
- регистр команд;
- дешифратор команд;
- логика управления микросхемой.

3.3.2 Устройство выработки временных интервалов предназначено для формирования и выдачи внутренних синхросигналов в виде фаз, тактов и циклов. Временная диаграмма этих сигналов показана на рисунке 3.

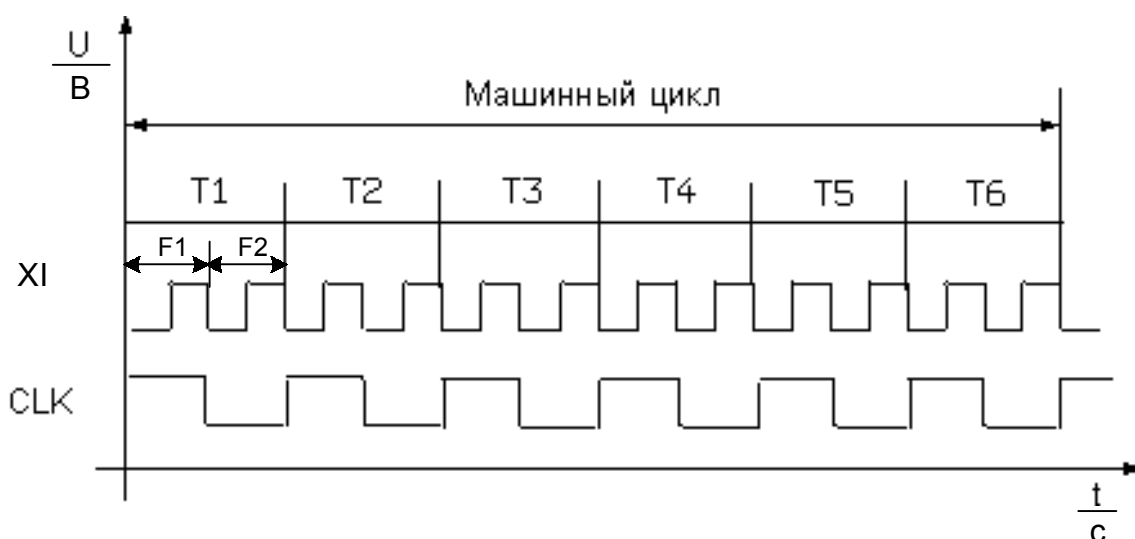
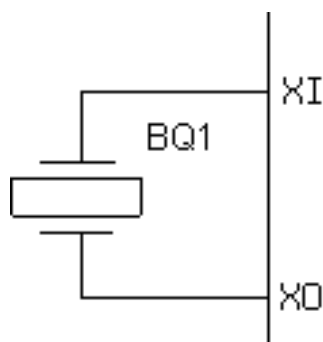


Рисунок 3 - Временная диаграмма синхросигналов

Длительность выполняемой команды определяется числом машинных циклов. Практически все команды ОЭВМ выполняются за один или два машинных цикла, кроме команд умножения MUL AB и деления DIV AB, продолжительность выполнения которых составляет четыре машинных цикла. Машинный цикл имеет шесть состояний T1 – T6, каждое из которых по длительности соответствует такту и, в свою очередь, состоит из двух временных интервалов, определяемых фазами F1 и F2. Длительность фазы соответствует периоду следования сигнала XI. На рисунке 4 приведена схема подключения кварцевого резонатора для случая синхронизации от встроенного генератора и схема подключения внешнего источника синхронизации.

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	445.3
Инв. № под.	445.4

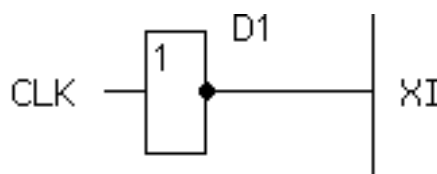
					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		15
Изм	Лист	№ докум.	Подп.	Дата		



BQ1 – кварцевый резонатор с параметрами:

- основная частота от 3,5 до 20 МГц;
- диапазон рабочих температур от минус 60 °С до плюс 125 °С;
- максимальное динамическое сопротивление 100 Ом;
- максимальная ёмкость выводов относительно корпуса 15 пФ

а) подключение кварцевого резонатора



D1 – микросхема, обеспечивающая $U_{OH} > U_{CC} - 0,8 \text{ В}$

б) подключение внешнего источника синхронизации с частотой от 0 до 20 МГц

Рисунок 4 - Режимы синхронизации микросхемы

3.3.3 Логика ввода/вывода предназначена для приема и выдачи сигналов, обеспечивающих обмен информацией ОЭВМ с внешними устройствами через порты ввода/вывода P0 – P4.

3.3.4 Регистр команд предназначен для записи и хранения восьмиразрядного кода операции выполняемой команды.

3.3.5 Логика управления ОЭВМ в зависимости от режима работы, определяемого комбинацией сигналов, поступающих на входы, вырабатывает необходимый набор управляющих сигналов.

Подп. и дата
 Инв. № дубл
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		16
Изм	Лист	N докум.	Подп.	Дата		

3.4 Арифметическо-логическое устройство

3.4.1 Арифметическо-логическое устройство (АЛУ) представляет собой параллельное восьмиразрядное устройство, обеспечивающее выполнение арифметических и логических операций, а также операции сдвига над двоичными и двоично-кодированными десятичными данными.

В состав АЛУ входят:

- регистр-аккумулятор;
- регистр временного хранения;
- ПЗУ констант;
- сумматор;
- дополнительный регистр (регистр В);
- аккумулятор;
- регистр состояния программы.

3.4.2 Регистр-аккумулятор и регистр временного хранения представляют собой восьмиразрядные устройства, предназначенные для приема и хранения операндов на время выполнения операций над ними.

3.4.3 ПЗУ констант обеспечивает выработку корректирующего кода при двоично-десятичном представлении данных, кода маски при битных операциях и константах.

3.4.4 Параллельный восьмиразрядный сумматор представляет собой схему комбинационного типа с последовательным переносом, предназначенную для выполнения арифметических операций сложения, вычитания и логических операций сложения, умножения, неравнозначности и тождественности.

3.4.5 Восьмиразрядный регистр В используется во время операций умножения и деления. Для других инструкций он может рассматриваться как дополнительный сверхоперативный регистр.

3.4.6 Аккумулятор представляет собой восьмиразрядный регистр, предназначенный для приема и хранения результата, полученного при выполнении арифметическо-логических операций или операций пересылки.

3.4.7 Регистр состояния программы PSW предназначен для хранения информации о состоянии АЛУ при выполнении программы.

Обозначение разрядов регистра PSW приведено на рисунке 5.

Биты	7	6	5	4	3	2	1	0
Обозначение	CY	AC	F0	RS1	RS0	OV	X	P

Рисунок 5 - Обозначение разрядов регистра PSW

Назначение разрядов регистра PSW следующее:

- разряд 0 - флаг четности "P", аппаратно устанавливается (сбрасывается) в каждом цикле инструкции для указания нечетного/четного числа разрядов аккумулятора, находящегося в состоянии "1";
- разряд 1 - не используется, состояние не определено;
- разряд 2 - флаг переполнения "OV", аппаратно устанавливается (сбрасывается) во время выполнения арифметических инструкций для указания состояния переполнения;

Подп. и дата
 Подп. и дата
 Инв. № под.
 Взам. инв. № : Инв. № дубл.
 445.3
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		17
Изм	Лист	№ докум.	Подп.	Дата		

- разряды 3, 4 - указатели RS0, RS1 банка рабочих регистров:

- 00 - банк 0 с адресами 00H-07H;
- 10 - банк 1 с адресами 08H-0FH;
- 01 - банк 2 с адресами 10H-17H;
- 11 - банк 3 с адресами 18H-1FH.

Разряды устанавливаются (сбрасываются) программным способом;

- разряд 5 - флаг 0 F0, устанавливается (сбрасывается), проверяется программным способом как состояние, определяемое пользователем;

- разряд 6 - флаг дополнительного переноса AC, аппаратно устанавливается (сбрасывается) во время выполнения инструкции сложения или вычитания для указания переноса или заема при образовании младшего (D0 – D4) полубайта результата;

- разряд 7 - флаг переноса CY, устанавливается (сбрасывается) аппаратно или программно во время выполнения арифметических и некоторых логических инструкций.

Разряд 0 только читается.

Разряд 7 используется в качестве аккумулятора при выполнении инструкций над битами.

3.4.8 Восьмиразрядное АЛУ может выполнять арифметические операции сложения, вычитания, умножения и деления; логические операции "И", "ИЛИ", "Исключающее ИЛИ", а также операции циклического сдвига, сброса, инвертирования и т.п. В АЛУ имеются программно недоступные регистры, предназначенные для временного хранения операндов, схема десятичной коррекции и схема формирования признаков.

3.4.9 Простейшая операция сложения используется в АЛУ для инкрементирования содержимого регистров, продвижения регистра-указателя данных и автоматического вычисления следующего адреса программной памяти. Простейшая операция вычитания используется в АЛУ для декрементирования регистров и сравнения переменных.

3.4.10 Простейшие операции автоматически образуют "танделы" для выполнения в АЛУ таких операций, как, например, инкрементирование 16-битных регистровых пар. В АЛУ реализуется механизм каскадного выполнения простейших операций для реализации сложных команд. Так, например, при выполнении одной из команд условной передачи управления по результату сравнения в АЛУ трижды инкрементируется счетчик команд PC, дважды производится чтение из памяти данных, выполняется арифметическое сравнение двух переменных, формируется 16-битный адрес перехода и принимается решение о том, делать или не делать переход по программе.

3.4.11 Важной особенностью АЛУ является его способность оперировать не только байтами, но и битами. Отдельные программно-доступные биты могут быть установлены, сброшены, инвертированы, переданы, проверены и использованы в логических операциях. Эта способность АЛУ оперировать битами столь важна, что можно говорить о наличии в нем "булевого процессора". Для управления объектами часто применяются алгоритмы, содержащие операции над входными и выходными булевскими переменными (истина/ложь), реализация которых средствами обычных микропроцессоров сопряжена с определенными трудностями.

3.4.12 Таким образом, АЛУ может оперировать четырьмя типами информационных объектов: булевскими (1 бит), цифровыми (4 бита), байтными (8 бит) и адресными (16 бит). В АЛУ выполняется 51 различная операция пересылки или преобразования этих данных. Так как используется 11 режимов адресации (семь для данных и четыре для адресов), то путем комбинирования "операция / режим адресации" базовое число команд 111 расширяется до 255 из 256 возможных при однобайтном коде операции.

Име. № под. 445.4

Подп. и дата

Взам. инв. № : Инв. № дубл. 445.3

Подп. и дата

Подп. и дата

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		18
Изм	Лист	N докум.	Подп.	Дата		

3.5 Блок таймеров/счетчиков

3.5.1 Таймеры/счетчики (Т/С) предназначены для подсчета внешних событий, получения программно управляемых временных задержек, выполнения времязадающих функций ОЭВМ.

В состав блока Т/С входят:

- три шестнадцатиразрядных таймера-счетчика Т/С0, Т/С1, Т/С2;
- три шестнадцатиразрядных регистра Т/С0, Т/С1, Т/С2;
- восьмиразрядный регистр режимов ТМ0D таймеров/счетчиков Т/С0, Т/С1;
- восьмиразрядный регистр управления ТС0N таймеров/счетчиков Т/С0, Т/С1;
- восьмиразрядный регистр режимов Т2М0D таймера/счетчика Т/С2;
- восьмиразрядный регистр управления Т2С0N таймера/счетчика Т/С2;
- схема инкремента;
- схема фиксации сигналов INT0, INT1, T0, T1, T2, T2EX;
- схема управления флагами;
- логика управления Т/С.

3.5.2 Шестнадцатиразрядные регистры Т/С0, Т/С1, Т/С2 выполняют функцию хранения содержимого счета. Каждый из них состоит из пары восьмиразрядных регистров (соответственно ТН0 и ТЛ0, ТН1 и ТЛ1, ТН2 и ТЛ2).

Регистры ТН0, ТН1, ТН2 - старшие, регистры ТЛ0, ТЛ1, ТЛ2 - младшие. Каждый из восьмиразрядных регистров имеет свой адрес и может быть использован как регистр общего назначения (РОН), если Т/С не используется (бит TR0 для Т/С0, бит TR1 для Т/С1 в регистре управления ТС0N и бит TR2 для Т/С2 в регистре управления Т2С0N равны "0").

Код величины начального счета заносится в регистры Т/С программно. В процессе счета содержимое регистров Т/С инкрементируется. Признаком окончания счета, как правило, является переполнение регистра Т/С, т. е. переход его содержимого из состояния "все единицы" в состояние "все нули". Все регистры ТН0, ТН1, ТН2, ТЛ0, ТЛ1, ТЛ2 доступны по чтению, и, при необходимости, контроль достижения требуемой величины счета может выполняться программно.

3.5.3 Регистр режимов ТМ0D таймеров/счетчиков Т/С0 и Т/С1 предназначен для приема и хранения кода, который определяет:

- один из четырех возможных режимов работы каждого из этих Т/С;
- работу в качестве таймеров или счетчиков;
- управление Т/С от внешнего вывода.

Регистр управления режимами ТМ0D таймеров/счетчиков Т/С0 и Т/С1 показан на рисунке 6, а назначение разрядов приведено в таблице 5.

Биты	7	6	5	4	3	2	1	0
Обозначение	GATE1	С/Т1	М1.1	М0.1	GATE0	С/Т0	М1.0	М0.0
	Таймер				Таймер 0			

Рисунок 6 - Регистр управления режимами Т/С (ТМ0D)

Подп. и дата
 Инв. № дубл
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		19
Изм	Лист	№ докум.	Подп.	Дата		

Таблица 5 - Назначение разрядов регистра TMOD

Биты	Обозначение битов	Назначение битов	Примечание
0, 1, 4, 5	M0, M1	Определяют отдельно для T/C1 и T/C0 один из четырех режимов работы: - режим "0" (M0=0, M1=0); - режим "1" (M0=1, M1=0); - режим "2" (M0=0, M1=1); - режим "3" (M0=1, M1=1)	Все биты устанавливаются программно. Биты 0-3 определяют режим работы T/C0. Биты 4-7 определяют режим работы T/C1
2, 6	C/T0, C/T1	Определяют работу в качестве таймера, если состояние C/T0 или C/T1 равно "0" или в качестве счетчика, если состояние C/T0 или C/T1 равно "1"	-
3, 7	GATE	Разрешает управлять таймером от внешнего вывода (вывод P3.2 для T/C0, вывод P3.3 для T/C1): - GATE = "0" - управление запрещено; - GATE = "1" - управление разрешено	-

При работе в качестве таймера содержимое регистра T/C инкрементируется в каждом машинном цикле, т. е. T/C является счетчиком машинных циклов ОЭВМ. Поскольку машинный цикл состоит из 12 периодов частоты синхронизации ОЭВМ f_{BQ} , то частота счета в данном случае равна $f_{BQ}/12$.

При работе T/C в качестве счетчика внешних событий содержимое регистра T/C инкрементируется в ответ на переход из "1" в "0" сигнала на счетном входе ОЭВМ (вывод P3.4 для T/C0 и вывод P3.5 для T/C1). Счетные входы аппаратно проверяются в фазе S5P2 каждого машинного цикла. Когда проверки показывают высокий уровень на счетном входе в одном машинном цикле и низкий уровень в другом машинном цикле, регистр T/C инкрементируется. Новое (инкрементированное) значение заносится в регистр T/C в фазе S3F1 машинного цикла, непосредственно следующего за тем, в котором был обнаружен переход из "1" в "0" на счетном входе ОЭВМ.

Так как для распознавания такого перехода требуется два машинных цикла (24 периода частоты синхронизации ОЭВМ f_{BQ}), то максимальная частота счета T/C в режиме счетчика равна $f_{BQ}/24$.

Чтобы уровень сигнала на счетном входе был гарантированно зафиксирован, он должен оставаться неизменным в течение как минимум одного машинного цикла.

3.5.4 Регистр управления TCON таймеров/счетчиков T/C0 и T/C1 предназначен для приема и хранения кода управляющего слова и показан на рисунке 7. Назначение разрядов регистра TCON приведено в таблице 6.

Име. № под. 445.4

Подп. и дата

Взам. име. № : Име. № дубл. 445.3

Подп. и дата

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		20

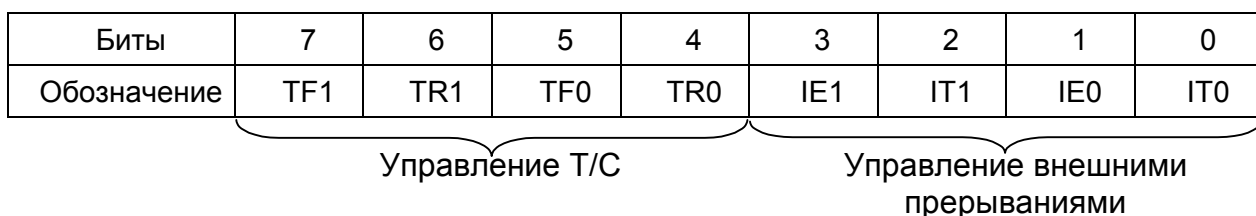


Рисунок 7 - Регистр управления T/C и управления внешними прерываниями (TCON)

Таблица 6 - Назначение разрядов регистра TCON

Биты *	Обозначение битов	Назначение битов	Примечание
4, 6	TR	Биты включения/выключения таймеров/счетчиков (T/C0 и T/C1): - TR = "0" - выключен; - TR = "1" - включен	Биты устанавливаются, сбрасываются программно
5, 7	TF	Флаги переполнения T/C	Биты сбрасываются, устанавливаются аппаратно и программно
0, 2	IT	Биты, определяющие вид прерывания: - IT = "0" - прерывание по уровню; - IT = "1" - прерывание по фронту	Биты устанавливаются, сбрасываются программно
1, 3	IE	Флаги запроса внешних прерываний	Биты сбрасываются, устанавливаются аппаратно и программно

* Биты 4, 5 определяют режим работы T/C0.
Биты 6, 7 определяют режим работы T/C1.
Биты 0, 1 определяют внешние прерывания по выводу P3.2.
Биты 2, 3 определяют внешние прерывания по выводу P3.3

Име. № под.	445.4
Подп. и дата	
Взам. име. № : Име. № дубл	445.3
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	N докум.	Подп.	Дата		21

Флаги переполнения TF0 и TF1 устанавливаются аппаратно при переполнении соответствующих Т/С (переход Т/С из состояния "все единицы" в состояние "все нули"). Если при этом прерывание от соответствующего Т/С разрешено, то установка флага TF вызовет прерывание. Флаги TF0 и TF1 сбрасываются аппаратно при передаче управления программе обработки соответствующего прерывания.

Флаги TF0 и TF1 программно доступны и могут быть установлены/сброшены программой. Используя этот механизм, прерывания по TF0 и TF1 могут быть вызваны (установка TF) и отменены (сброс TF) программой.

Флаги IE0 и IE1 устанавливаются аппаратно от внешних прерываний (соответственно выходы ОЭВМ Р3.2 и Р3.3) или программно и инициируют вызов программы обработки соответствующего прерывания. Сброс этих флагов выполняется аппаратно при обслуживании прерывания только в том случае, когда прерывание было вызвано по фронту сигнала. Если прерывание было вызвано уровнем сигнала на выводе Р3.2 (Р3.3), то сброс флага IE должна выполнять программа обслуживания прерывания, воздействуя на источник прерывания для снятия им запроса.

3.5.5 Схема инкремента предназначена:

- для увеличения на +1 в каждом машинном цикле содержимого регистров Т/С0, Т/С1, для которых установлен режим таймера и счет разрешен;

- для увеличения на +1 содержимого регистров Т/С0, Т/С1, для которых установлен режим счетчика, счет разрешен и на соответствующем входе ОЭВМ (Р3.4 для Т/С0 и Р3.5 для Т/С1) зафиксирован счетный импульс.

3.5.6 Буфер Т/С предназначен для побайтного обмена данными между внутренней магистралью ОЭВМ и шиной Т/С.

3.5.7 Схема фиксации сигналов INT0, INT1, T0, T1, T2, T2EX представляет собой шесть триггеров. В каждом машинном цикле в интервале S5F2 в них запоминается информация, поступающая с выводов Р3.2, Р3.3, Р3.4, Р3.5, Р1.0, Р1.1.

3.5.8 Схема управления флагами вырабатывает и снимает флаги переполнения Т/С и запроса внешних прерываний.

3.5.9 Логика управления Т/С синхронизирует работу регистров Т/С0, Т/С1 и Т/С2 в соответствии с запрограммированными режимами работы и синхронизирует работу блока Т/С с работой ОЭВМ.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		22
Изм	Лист	№ докум.	Подп.	Дата		

3.5.10 Режимы работы таймеров/счетчиков T/C0 и T/C1

Режимы работы таймеров/счетчиков T/C0 и T/C1 определяются значениями битов M0, M1 в регистре TMOD. Каждый из этих T/C работает в четырех режимах: "0", "1", "2", "3". Режимы "0", "1", "2" одинаковы и независимы для обоих T/C. Работа T/C0 и T/C1 в режиме "3" различна, при этом установка режима "3" в T/C0 влияет на режимы работы T/C1.

3.5.10.1 Режим "0"

При условии, когда биты M0 и M1 находятся в нулевом состоянии, устанавливается режим работы "0". Установка режима "0" превращает T/C в тринадцатиразрядный регистр:

- 5 бит регистра TL0 и 8 бит регистра TH0 образуют T/C0;
- 5 бит регистра TL1 и 8 бит регистра TH1 образуют T/C1.

Таким образом в этом режиме функцию делителя на 32 выполняют регистры TL0 и TL1. Они являются программно доступными, но надо помнить, что значащими в режиме "0" являются только пять младших разрядов в каждом из этих регистров. Логика работы в режиме "0" на примере T/C1 показана на рисунке 8. Для T/C0 логика работы аналогична.

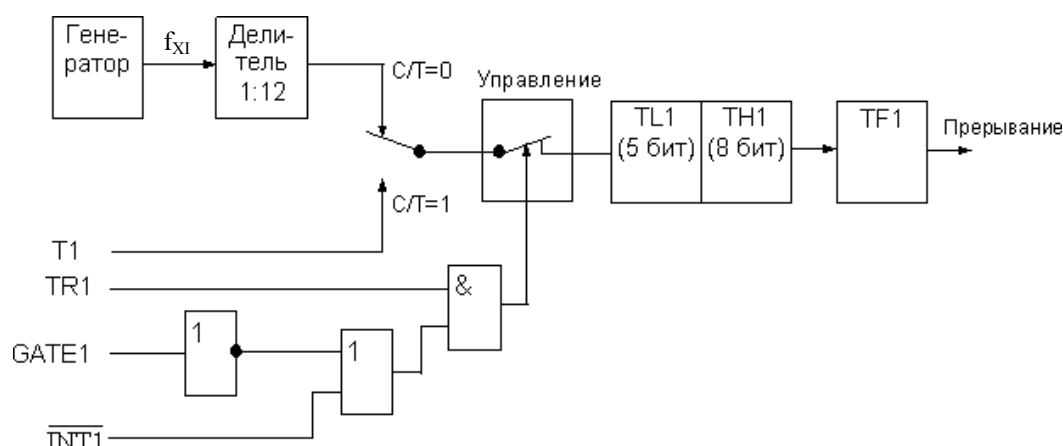


Рисунок 8 - Работа T/C1 в режиме "0"

Бит C/T регистра TMOD определяет работу T/C в качестве таймера (C/T="0") или в качестве счетчика (C/T = "1"). Счет начинается при установке бита TR регистра TCON в состояние "1".

При необходимости управления счетом извне бит GATE регистра TMOD устанавливается в состояние "1". Если на выводе P3.2 для T/C0 или на выводе P3.3 для T/C1 установлено состояние "1", то при условии, когда разряд TR = "1", счет будет разрешен, если же установлено состояние "0", то счет будет запрещен. Установкой разряда TR0 для T/C0 и разряда TR1 для T/C1 в нулевое состояние выключается T/C независимо от состояния других битов. При работе T/C в режиме таймера инкрементирование происходит в каждом машинном цикле. Частота счета в этом случае равна $1/12 \cdot f_{X1}$. При работе T/C в режиме счетчика инкрементирование происходит при фиксации на счетном входе P3.4 (T/C0) или на входе P3.5 (T/C1) при переходе из состояния "1" в состояние "0". Так как фиксация состояния на входах в каждом машинном цикле происходит один раз в интервале S5F2, то для распознавания перехода из состояния "1" в "0" требуется два машинных цикла.

Подп. и дата
Взам. инв. № : Инв. № дубл
445.3
Подп. и дата
Инв. № под.
445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		23
Изм	Лист	№ докум.	Подп.	Дата		

Таким образом, максимальная частота счета импульсов в режиме счетчика равна $1/24 \cdot f_{\text{ХЛ}}$.

При переполнении Т/С устанавливается в регистре TCON флаг TF0 для Т/С0 или флаг TF1 для Т/С1. Содержимое Т/С при переполнении обнуляется.

3.5.10.2 Режим "1"

При условии, когда биты M1 = "0", M0 = "1", устанавливается режим работы "1".

Режим "1" аналогичен режиму "0". Отличие состоит в том, что установка режима "1" превращает Т/С в шестнадцатиразрядные регистры, состоящие из программно-доступных пар регистров TL0, TH0 для Т/С0 и регистров TL1, TH1 для Т/С1.

3.5.10.3 Режим "2"

При условии, когда биты M1 = "1", M0 = "0", устанавливается режим "2". В этом режиме бит Т/С представляет собой восьмиразрядный регистр TL0 для Т/С0 и регистр TL1 для Т/С1, автоматически перезагружаемый содержимым из регистра TH0 в регистр TL0 и из регистра TH1 в регистр TL1 при каждом переполнении регистров TL0, TL1 соответственно. При этом также устанавливаются флаги TF0, TF1 в регистре TCON.

Логика работы Т/С1 в режиме "2" показана на рисунке 9. Логика работы Т/С0 в режиме "2" аналогична.

Назначение битов управления TR0, TR1, GATE0, GATE1, C/T0, C/T1 такое же, как в режиме "0". Предварительная загрузка регистров TH0, TH1 значениями от 0H до FFH позволяет программно формировать цикл задержки установки флагов TF0, TF1 в диапазоне счета от FFH до 0H.

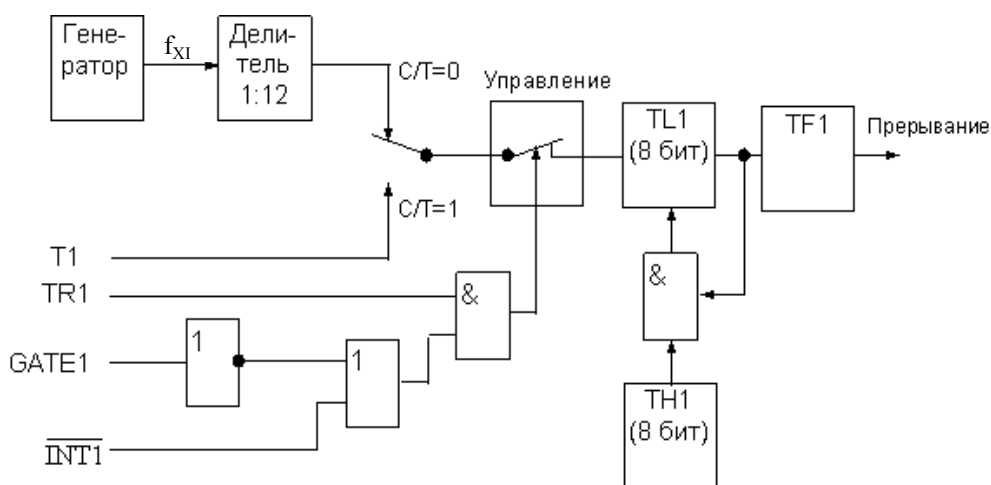


Рисунок 9 - Работа Т/С1 в режиме "2"

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		24
Изм	Лист	№ докум.	Подп.	Дата		

3.5.10.4 Режим "3"

T/C1 в режиме "3" заблокирован. Он сохраняет содержимое регистров TL1, TH1 независимо от состояния своих битов управления. В этом режиме T/C может быть использован как два восьмиразрядных PОН.

T/C в режиме "3" представляет собой два независимых восьмиразрядных регистра TL0 и TH0. Регистр TL0 сохраняет за собой все биты управления T/C0 и реагирует на воздействия по входам P3.4, P3.2. При переполнении регистра TL0 устанавливается флаг TF0. Таким образом, работа регистра TL0 в этом режиме аналогична режиму "0". Регистр TH0 может работать только в режиме таймера. Он использует бит включения регистра TR1, при переполнении выставляет флаг TF1. Других битов управления регистр TH0 в этом режиме не имеет. Одновременно с установкой в T/C0 режима "3" в T/C1 (в режимах "0", "1", "2") разрешается счет (аналогично установке бита TR1 = "1"). При переполнении в режимах "0", "1" T/C1 обнуляется или перезагружается в режиме "2", не устанавливая флага.

Назначение битов C/T1, GATE1 и управление от входов для T/C1 не зависят от режима T/C0.

T/C1 аппаратно связан с блоком синхронизации последовательного интерфейса (ПИ). При работе в режимах "0", "1", "2" при переполнении T/C1 вырабатывает импульс тактирования ПИ. Поэтому режим "3" для T/C0 применяется тогда, когда требуется работа ПИ и двух таймеров или ПИ, таймера и счетчика. Логика работы T/C0 в режиме "3" показана на рисунке 10.

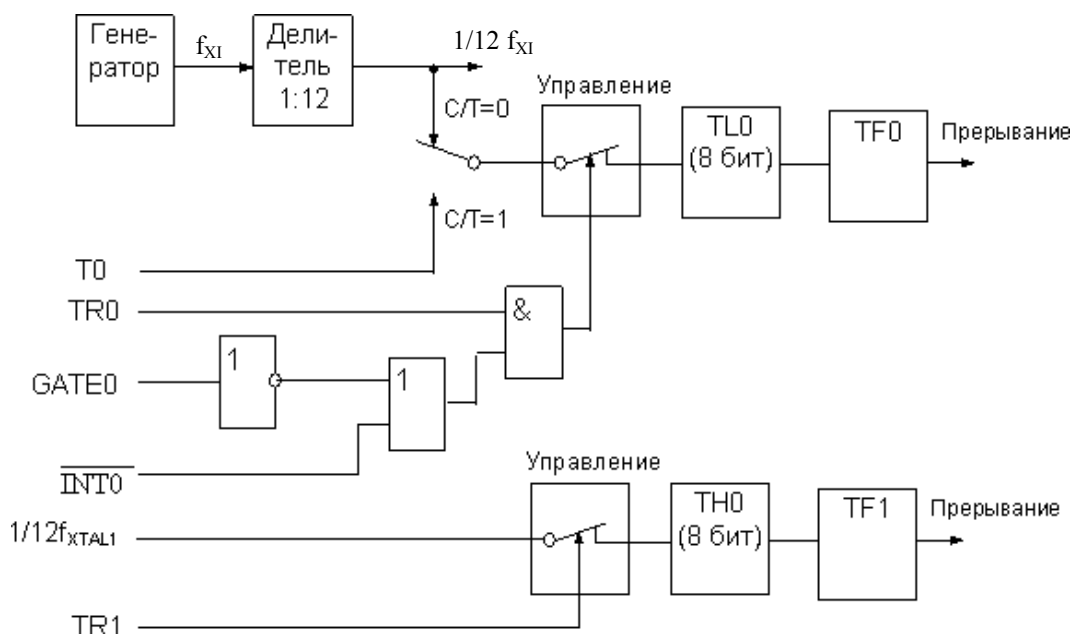


Рисунок 10 - Работа T/C0 в режиме "3"

Подп. и дата
445.3
Взам. инв. № : Инв. № дубл.
445.4
Инв. № под.

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		25

3.5.11 Таймер/счетчик T/C2 - это 16-битный таймер/счетчик, способный работать и как таймер, и как счетчик событий. Выбор производится битом C/T2 в регистре управления T2CON. Регистр управления T2CON таймера/счетчика T/C2 показан на рисунке 11, а назначение разрядов приведено в таблице 7.

Таймер/счетчик T/C2 может работать в режимах защелки, автоперезагрузки (при этом направление счета может быть как вверх, так и вниз, т.е. на увеличение или уменьшение содержимого регистров TL2, TH2) и генератора скорости передачи в бодах. Режимы выбираются битами в регистре T2CON. T/C2 состоит из двух 8-битных регистров: TH2 (старший байт) и TL2 (младший байт). В режиме таймера его 16-разрядный регистр TL2, TH2 инкрементируется в каждом машинном цикле. Поскольку цикл состоит из 12 периодов колебаний, скорость счета равна 1/12 тактовой частоты (т.е. частоты кварцевого резонатора). По сути дела, в этом режиме таймер подсчитывает выполненные машинные циклы.

В режиме счетчика регистр инкрементируется в ответ на перепад из "1" в "0" на входе P1.0. Состояние этого входа анализируется в момент S5F2 каждого машинного цикла. Если анализ показывает наличие единичного уровня в одном цикле и нулевое в следующем, то содержимое счетчика инкрементируется. Его новое значение появляется в регистре в момент S3F1 цикла, следующего за тем, в котором был обнаружен перепад. Так как обнаружение этого перепада занимает два машинных цикла, (24 периода колебаний), максимальная скорость счета равна 1/24 частоты резонатора. Чтобы ОЭВМ успела идентифицировать заданный уровень, он должен удерживаться, по крайней мере, в течение одного полного машинного цикла.

Биты	7	6	5	4	3	2	1	0
Обозначение	TF2	EXF2	-	TCLK	EXEN2	TR2	C/T2	CP/RL2

Рисунок 11 - Регистр управления T2CON таймером/счетчиком T/C2

Име. № под.					СКФН.431295.172 РЭ	Лист	
	445.4					26	
	4	Зам.	ФКСН.560-2013	Жартун		17.09.13	
Взам. име. №							
Име. № дубл.							
445.3							
Подп. и дата							
Подп. и дата							
Име. № под.							
445.4							
Изм	Лист	№ докум.	Подп.	Дата			

Таблица 7 - Назначение разрядов регистра управления T2CON

Биты	Обозначение битов	Назначение битов	Примечание
7	TF2	Флаг переполнения таймера/счетчика T/C2	Устанавливается аппаратно и программно. Сбрасывается программным путем. Флаг не устанавливается, если TCLK (см. ниже) установлен в "1"
6	EXF2	Внешний флаг таймера/счетчика T/C2	Устанавливается при защелкивании информации в таймерных регистрах или при перезагрузке, происходящих под воздействием перепада из "1" в "0" на выводе P1.1 и при EXEN2 = "1". Сбрасывается только программным путем. При разрешенном прерывании от таймера/счетчика T/C2 вызывает подпрограмму обработки прерывания (если бит T2MOD.0 = "0")
5	_	Не используется	Зарезервирован для дальнейшего использования
4	TCLK	Выбор таймера/счетчика T/C2 для задания скорости работы приемопередатчика в режимах "1" и "3"	При TCLK="1" используется таймер/счетчик T/C2, при TCLK="0" таймер/счетчик T/C1
3	EXEN2	Разрешение работы от внешнего сигнала	При EXEN2="1" перепад из "1" в "0" на выводе P1.1 вызывает защелкивание информации или перезагрузку таймера/счетчика T/C2. При EXEN2="0" таймер/счетчик T/C2 игнорирует сигналы на выводе P1.1
2	TR2	Бит включения / выключения таймера/счетчика T/C2: - TR2="0" - выключен; - TR2="1" - включен	Бит устанавливается и сбрасывается программно
1	C/T2	Бит выбора режима работы таймера/счетчика T/C2 в качестве таймера, если состояние C/T2 равно "0" или в качестве счетчика перепадов из "1" в "0" на выводе P1.0, если состояние C/T2 равно "1"	Бит устанавливается и сбрасывается программно
0	CP/RL2	Выбор режима защелки/перезагрузки	Если бит установлен в "1", то при EXEN2="1" перепад из "1" в "0" на выводе P1.1 вызовет защелкивание содержимого TL2, TH2 в RCAP2L, RCAP2H. При нулевом бите таймер/счетчик T/C2 работает в режиме автоперезагрузки при переполнении счетчика или при обнаружении перепада из "1" в "0" на выводе P1.1 (последнее выполняется при EXEN2="1")
Примечание - После сброса все биты регистра T2CON устанавливаются в "0"			

Подп. и дата
 Инв. № дубл
 445.3
 Подп. и дата
 445.4
 Инв. № под.

4	Зам.	ФКСН.560-2013	Жартун	17.09.13
Изм	Лист	№ докум.	Подп.	Дата

СКФН.431295.172 РЭ

Лист

27

3.5.12 Режимы работы таймера/счетчика T/C2

Режимы работы таймера/счетчика T/C2 выбираются значениями битов в регистре управления T2CON и в регистре режимов T2MOD. Режимы работы таймера/счетчика T/C2 приведены в таблице 8. Регистр режимов T2MOD показан на рисунке 12, а назначение разрядов приведено в таблице 9.

Таблица 8 - Режимы работы таймера/счетчика T/C2

TCLK	CP/RL2	TR2	Режим
0	0	1	16-битный таймер/счетчик с перезагрузкой
0	1	1	16-битный таймер/счетчик с защелкиванием информации
1	Любое	1	Генератор приемопередатчика
Любое	Любое	0	Выключен

Биты	7	6	5	4	3	2	1	0
Обозначение	-	-	-	-	-	-	T2OE	DCEN

Рисунок 12 - Регистр режимов таймера/счетчика T/C2 T2MOD

Таблица 9 - Назначение разрядов регистра T2MOD

Биты	Обозначение битов	Назначение битов
7	-	Не используются (зарезервированы для дальнейшего использования)
6	-	
5	-	
4	-	
3	-	
2	-	
1	T2OE	При установке бита "1" на выводе P1.0 формируется последовательность прямоугольных импульсов со скважностью 2
0	DCEN	При установке бита в "1" таймер/счетчик T/C2 конфигурируется на счет как вверх, так и вниз, в зависимости от уровня сигнала на выводе P1.1

Примечание - Биты регистра T2MOD не адресуются непосредственно командами работы с битами. После сброса T2MOD.0 и T2HOD.1 устанавливаются в "0", значения остальных бит не определено (отсутствуют на кристалле микросхемы)

Подп. и дата
 Подп. и дата
 Инв. № под.
 Взам. инв. № : Инв. № дубл.
 445.3
 445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		28

3.5.13 Режим защелки

В режиме защелки возможны два подрежима, выбираемые битом EXEN2 в регистре управления T2CON. Если EXEN2 = "0", то T/C2 - это 16-битный таймер или счетчик, при переполнении которого устанавливается бит TF2 в T2CON. Этот бит затем может использоваться для вызова прерывания. Если же EXEN2 = "1", то T/C2 продолжает делать то же самое, однако в этом случае перепад из "1" в "0" на выводе P1.1 вызывает защелкивание текущих значений TH2, TL2 в RCAP2H, RCAP2L соответственно. Кроме того, этот перепад вызывает установку в "1" бита EXF2 в регистре T2CON. Как и TF2 этот бит может вызвать прерывание. Работа T/C2 в режиме защелки показана на рисунке 13.

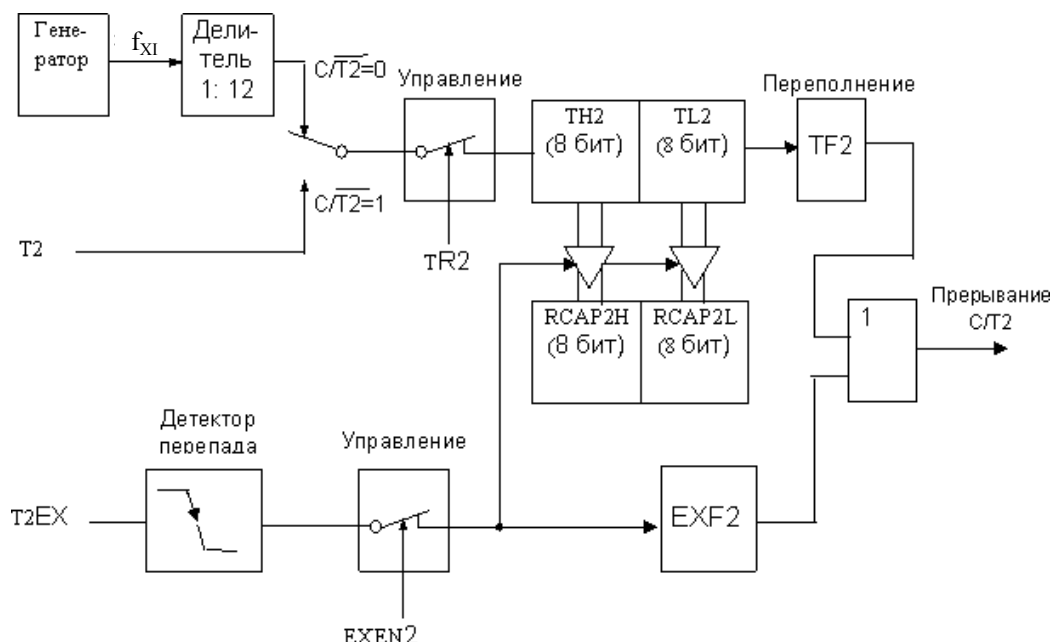


Рисунок 13 - Работа T/C2 в режиме защелки

3.5.14 Режим автоперезагрузки

Если T/C2 переведен в режим 16-битного таймера-счетчика с автоперезагрузкой, то его можно настроить на счет вверх или вниз (соответственно на увеличение или уменьшение содержимого регистров TL2, TH2). Этот режим вызывается установкой в "1" бита DCEN, расположенного в регистре режима T2MOD. При сбросе бит DCEN устанавливается в "0", так что по умолчанию T/C2 считает вверх. Если же DCEN установлен в "1", T/C2 может считать вверх или вниз в зависимости от уровня сигнала на выводе P1.1.

На рисунке 14 показана работа T/C2 в режиме автоперезагрузки, считающего в сторону увеличения при DCEN = "0". В этом режиме возможны два подрежима, выбираемых битом EXEN2 в регистре управления T2CON. Если EXEN2="0", T/C2 считает вверх до значения 0FFFFH и затем устанавливает в "1" бит переполнения TF2. Переполнение вызывает также перезагрузку регистров T/C2 16-битным значением в RCAP2H и RCAP2L, которое предварительно должно быть установлено программно. Если же EXEN2="1", 16-битная перезагрузка может произойти как от переполнения, так и от перепада из "1" в "0" на выводе P1.1. Этот перепад также устанавливает в "1" бит EXF2. Оба бита - TF2 и EXF2 - могут вызвать прерывание, если оно разрешено.

Подп. и дата	
Взам. инв. №	445.3
Инв. № дубл.	
Подп. и дата	
Инв. № под.	445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		29

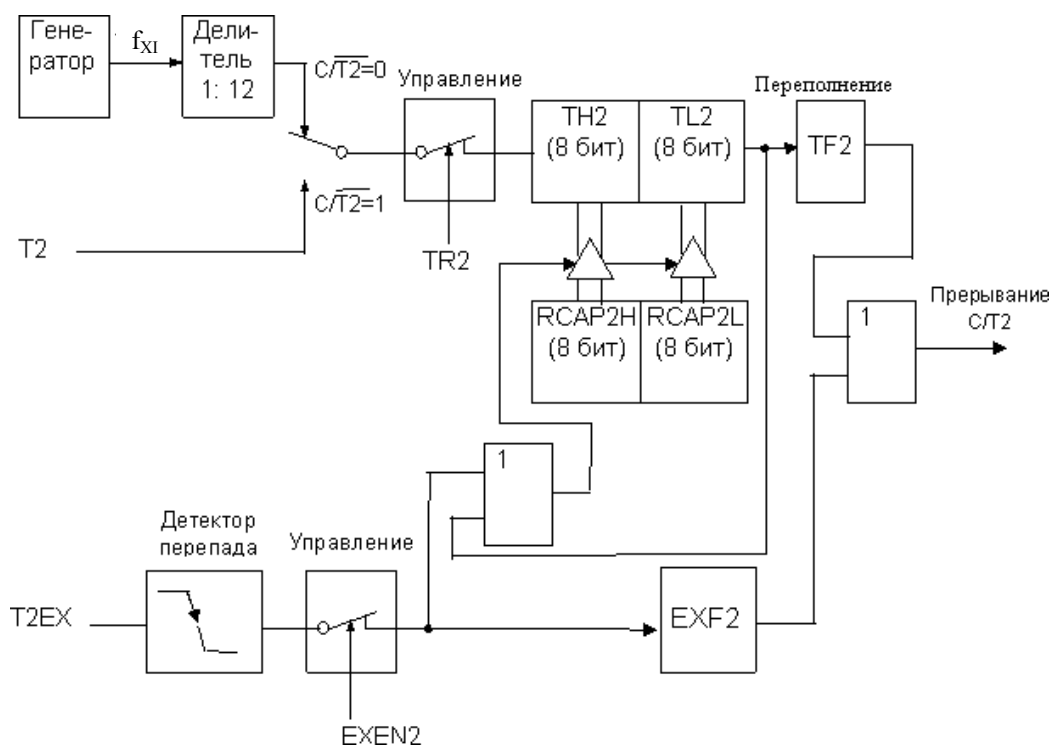


Рисунок 14 - Работа T/C2 в режиме автоперезагрузки (бит DCEN="0")

На рисунке 15 показана работа T/C2 в режиме автоперезагрузки при DCEN = "1".

Установка в "1" бита DCEN переводит T/C2 в режим счета вверх или вниз, как показано на рисунке 15. Направлением счета управляет уровень сигнала на выводе P1.1. Единичный уровень заставляет T/C2 считать вверх. По достижении значения 0FFFFH он переполняется и устанавливает в "1" бит TF2. Это переполнение вызывает также перезагрузку 16-битного значения из RCAP2H и RCAP2L в регистры TH2 и TL2 соответственно.

Нулевой уровень на выводе P1.1 изменяет направление счета T/C2 на обратное (вниз). Теперь он антипереполняется, когда значения содержимого TH2 и TL2 равны значениям, хранящимся в RCAP2H и RCAP2L. Антипереполнение устанавливает в "1" бит TF2 и вызывает перезагрузку 0FFFFH в регистры T/C2. Бит EXF2 изменяет свое значение всякий раз при переполнении или антипереполнении T/C2. При необходимости его можно использовать как 17-й бит. В этом режиме EXF2 не является флагом прерывания, и его установка в "1" не вызывает соответствующей подпрограммы.

Подп. и дата
Име. № под.
Взам. име. № : Име. № дубл.
445.3
445.4

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		30

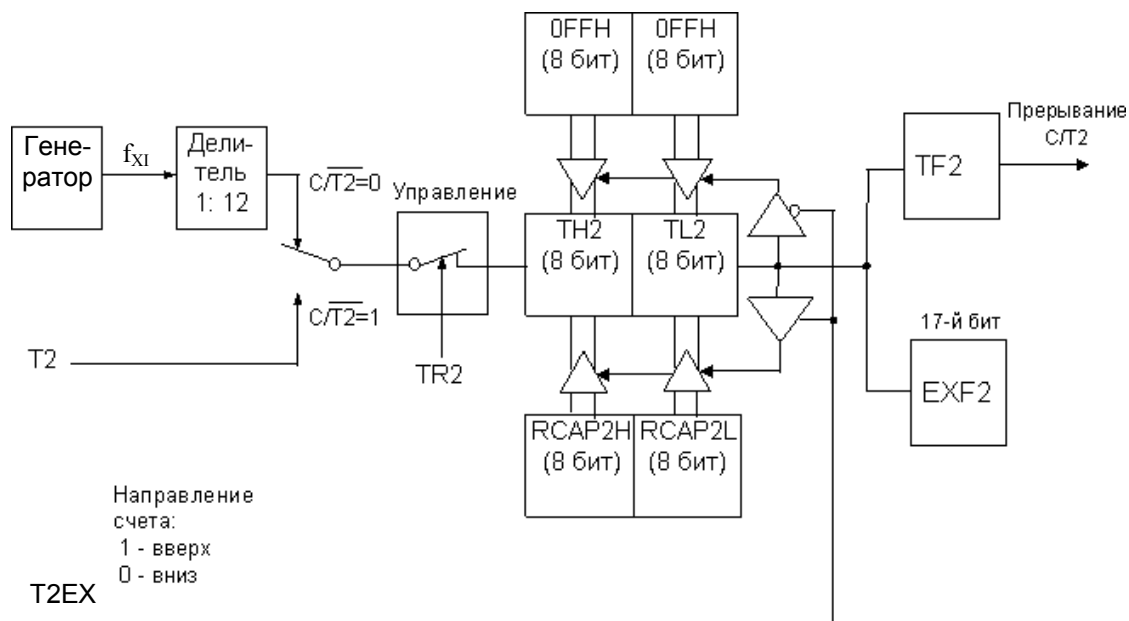


Рисунок 15 - Работа T/C2 в режиме автоперезагрузки (бит DCEN ="1")

Име.№ под.	445.4	Подп.и дата			Взам.име.№	Име.№ дубл	Подп.и дата		
					445.3				
Изм	Лист	№ докум.	Подп.	Дата	СКФН.431295.172 РЭ				Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13					31

3.5.15 Генератор скорости передачи в бодах

T/C2 превращается в генератор скорости передачи в бодах установкой в "1" бита TCLK в регистре управления T2CON (см. таблицу 8). Скорость в бодах при передаче и приеме всегда одинакова. Установка TCLK в "1" переводит T/C2 в режим генератора скорости передачи в бодах, как показано на рисунке 16.

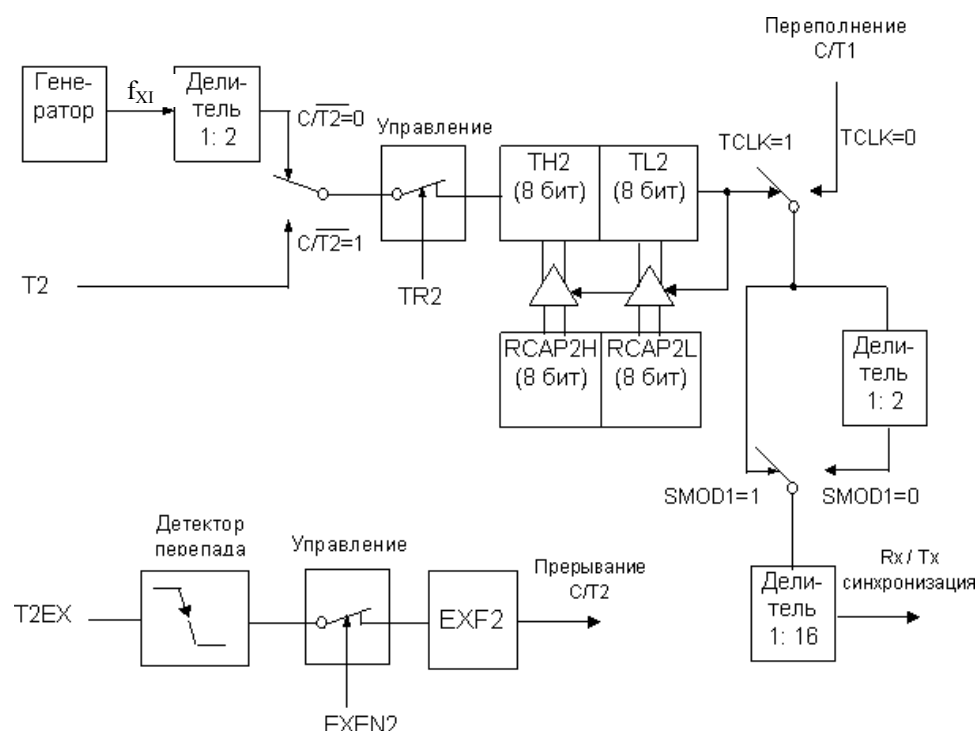


Рисунок 16 - Работа T/C2 в режиме генератора скорости

Сходство режимов генератора скорости передачи в бодах и автоперезагрузки состоит в том, что переполнение содержимого регистров TL2 и TH2 вызывает их перезагрузку 16-битным значением из регистров RCAP2H и RCAP2L, предварительно установленным программно.

Скорость передачи в бодах равна 1/16 скорости переполнения T/C2. При этом последний может работать как в режиме таймера, так и в режиме счетчика.

Если в предыдущих режимах работы T/C2 в качестве таймера инкрементировал свое содержимое в каждом машинном цикле с частотой $f_{X1}/12$, то как генератор скорости передачи в бодах он инкрементирует свое значение в шесть раз быстрее, т.е. с частотой, равной $f_{X1}/2$.

Скорость передачи зависит от состояния бита SMOD в регистре PCON и значений содержимого регистров RCAP2L, RCAP2H.

Скорость передачи F, бод, определяется по формуле

$$F = (2^{\text{SMOD}} \times f_{X1}) / (32 \times 2 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]), \quad (1)$$

где f_{X1} - частота кварцевого генератора, МГц;

(RCAP2H, RCAP2L) - содержимое регистров RCAP2H и RCAP2L, взятое как 16-битное целое без знака.

Подп. и дата
Взам. инв. № : Инв. № дубл.
445.3
Подп. и дата
Инв. № под.
445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		32
Изм	Лист	N докум.	Подп.	Дата		

Переполнение регистра TH2 не устанавливает TF2 и не вызывает прерывания. Кроме того, если EXEN2 = "1", то перепад из "1" в "0" на выводе P1.1 установит в "1" флаг EXF2, но не вызовет перезагрузки из (RCAP2H, RCAP2L) в (TH2, TL2). Таким образом, когда T/C2 используется как генератор скорости передачи в бодах, вывод P1.1 может использоваться при необходимости как вход дополнительного внешнего прерывания.

При работе T/C2 в режиме генератора скорости нельзя пытаться считывать или записывать в TH2 и TL2. В этом случае таймер инкрементируется шесть раз в течение каждого машинного цикла, и результаты чтения или записи будут неопределенными. Данные из регистров RCAP2 можно читать, но нельзя в них записывать, т.к. это может отменить ближайшую по времени перезагрузку и вызвать ошибки приема или передачи. T/C2 должен быть отключен (TR2 = "0") перед обращением к регистрам TH2, TL2 или к регистрам RCAP2H, RCAP2L.

3.5.16 Вывод программируемого сигнала меандра

Вывод порта P1.0 помимо основной своей функции - ввода/вывода, может выполнять еще две дополнительные. Как указывалось выше, он играет роль внешнего счетного входа для T/C2. Кроме того, он может быть источником симметричных прямоугольных импульсов со скважностью, равной 2 (меандр) и частотой от 61 Гц до 4 МГц (при частоте кварцевого генератора 16 МГц.)

Для получения меандра бит C/T2 в регистре управления T2CON должен быть установлен в "0", а бит T2OE в регистре режима T2MOD - в "1". Бит TR2 регистра T2CON запускает и останавливает таймер. Частота следования прямоугольных импульсов F на выводе P1.0 зависит от частоты кварцевого генератора $f_{\text{Х1}}$ и значения, загруженного в регистры защелок (RCAP2H, RCAP2L) таймера/счетчика T/C2.

Частота следования прямоугольных импульсов на выводе P1.0 F, МГц, определяется по формуле

$$F = f_{\text{Х1}} / 4[65536 - (\text{RCAP2H}, \text{RCAP2L})], \quad (2)$$

где $f_{\text{Х1}}$ - частота кварцевого генератора, МГц;

(RCAP2H, RCAP2L) - двухбайтное содержимое регистров RCAP2H и RCAP2L, взятое как целое без знака.

В этом режиме переполнение T/C2 не вызовет прерывания. Это похоже на режим его работы в качестве генератора скорости передачи в бодах. Можно использовать T/C2 как генератор скорости передачи в бодах и генератор меандра одновременно. Однако частоты передачи в бодах и генератора меандра нельзя определять независимо одну от другой, т.к. обе они используют RCAP2H и RCAP2L. Работа T/C2 в режиме генератора меандра показана на рисунке 17.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		33
Изм	Лист	№ докум.	Подп.	Дата		

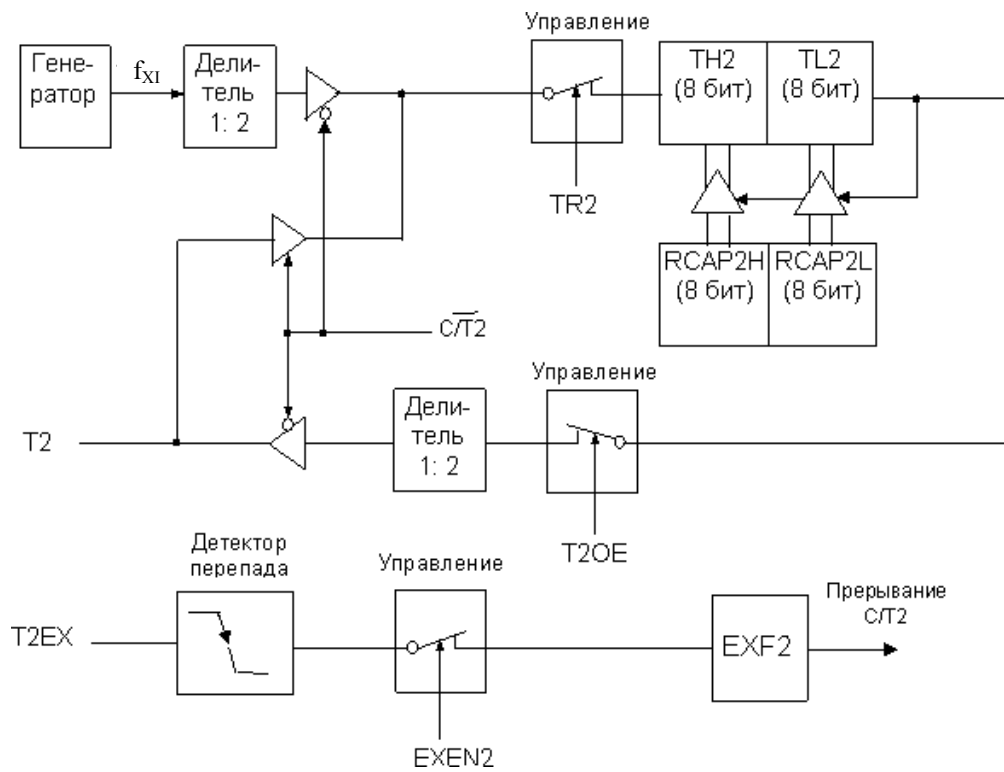


Рисунок 17 - Работа T/C2 в режиме генератора меандра

Име.№ под.	445.4
Подп.и дата	
Взам.име.№ : Име.№ дубл	445.3
Подп.и дата	
Подп.и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		34
Изм	Лист	№ докум.	Подп.	Дата		

3.6 Блок контроллера мультиплексного канала связи по ГОСТ Р 52070-2003

3.6.1 Блок интерфейса мультиплексного канала связи по ГОСТ Р 52070-2003 (ИМК) предназначен для организации мультиплексного канала связи по ГОСТ Р 52070-2003 и обеспечивает прием/передачу сообщений в режиме оконечного устройства.

Основные функции, выполняемые блоком интерфейса ИМК:

- аппаратный прием, буферизация и выдача сообщений;
- аппаратная обработка некоторых сообщений (без участия процессора);
- аппаратная сверка адреса абонента в командном слове (включая групповую команду) с адресом, устанавливаемым через внешний соединитель.

Структура блока ИМК приведена на рисунке 18.

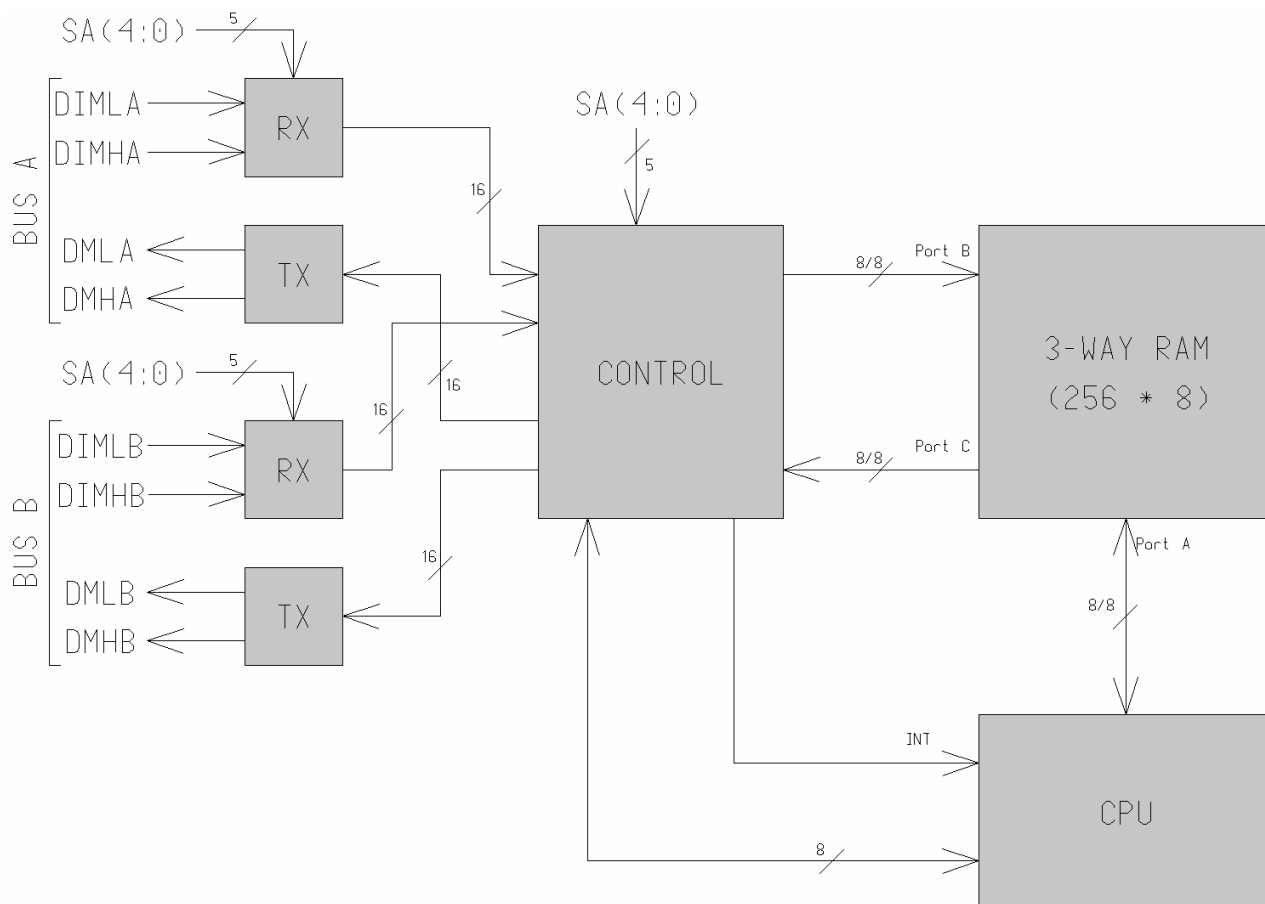


Рисунок 18 - Структура блока ИМК

Блок ИМК состоит из:

- подблока приема "RX" (декодирование манчестерского кода, контроль временных интервалов, проверка четности, аппаратная верификация адреса);
- подблока передачи "TX" (формирование манчестерского кода, аппаратное формирование бита четности);
- подблока управления "CONTROL" (управление работой ИМК, аппаратная обработка сообщений, банк регистров ИМК);
- буфера данных объемом 256 байт "3-WAY RAM" (организация одновременного доступа, как со стороны подблока управления (прием / передача), так и со стороны процессора "CPU").

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		35
Изм	Лист	N докум.	Подп.	Дата		

Подп. и дата

Взам. инв. № : Инв. № дубл

445.3

Подп. и дата

Инв. № под.

445.4

3.6.2 Взаимодействие процессора с блоком ИМК осуществляется через регистры в адресном пространстве SFR [0E8h - 0EFh, 0FAh - 0FDh].

3.6.2.1 MCON [0E8h] - регистр конфигурации (допускает битовую адресацию).
Описание бит регистра MCON приведено в таблице 10.

Таблица 10 - Описание бит регистра MCON

Обозначение	Бит	Описание
M_BSY	0E8h.7	Бит, переводящий ИМК в состояние "занят". Значение после сброса ОЭВМ – "1" (состояние ИМК "Занят")
M_SPD	0E8h.6	Бит, определяющий частоту синхронизации ОЭВМ: - "1" – 20 МГц; - "0" – 16 МГц. Бит должен инициализироваться в программе инициализации ИМК. Значение после сброса ОЭВМ – "1"
M_AN	0E8h.5	Бит, разрешающий аппаратную обработку сообщений: - "1" - аппаратная обработка разрешена (блок ИМК осуществляет автоматическую обработку сообщений); - "0" - аппаратная обработка запрещена. Значение после сброса ОЭВМ – "1"
M_RW	0E8h.4	10-й разряд регистра текущей команды. Значение после сброса ОЭВМ – "0"
M_VCT	0E8h.3	Регистр текущей команды. Бит, указывающий на прием групповой команды (бит равен "1" при приеме команд с адресом "11111"). Значение после сброса ОЭВМ – "0"
M_CAN	0E8h.2	Бит, определяющий рабочий канал ИМК: - "0" - канал А; - "1" - канал В. Бит может изменять свое значение как программно, так и аппаратно (в случае обращения к ОУ* с неактивного канала прием командного слова с адресом абонента). Значение после сброса ОЭВМ – "0" (прием и передача сообщений осуществляется через канал А)
M_CI	0E8h.1	Бит запроса прерывания обработки команд управления. Устанавливается аппаратно в случае приема команд управления, требующих программной обработки. Сбрасывается только программно (в процедуре обработки прерывания). Значение после сброса ОЭВМ – "0"
M_RI	0E8h.0	Бит запроса прерывания приема. Устанавливается аппаратно в случае приема всего сообщения. Сбрасывается только программно (в процедуре обработки прерывания). Значение после сброса ОЭВМ – "0"
* ОУ – оконечное устройство		

Подп. и дата
 Подп. и дата
 Подп. и дата
 Инв. № под.
 445.4
 Взам. инв. № : Инв. № дубл.
 445.3

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		36

3.6.2.2 MSTS [0E9h] - регистр ответного слова.
Описание бит регистра MSTS приведено в таблице 11.

Таблица 11 - Описание бит регистра MSTS

Обозначение	Бит	Описание
MSTS.7	0E9h.7	Ошибка в сообщении. Значение бита равно "1", если хотя бы один из битов регистра ошибок "BCK OY*" установлен в "1"
MSTS.6	0E9h.6	Передача ОС**. Значение после сброса ОЭВМ –"0"
MSTS.5	0E9h.5	Запрос на обслуживание. Значение после сброса –"0"
MSTS.4	0E9h.4	Принята групповая команда. Значение равно биту M_VCT
MSTS.3	0E9h.3	Абонент занят. Значение равно "1" в состоянии "Занят"
MSTS.2	0E9h.2	Неисправность абонента. Значение после сброса ОЭВМ –"0"
0	0E9h.1	Принято управление интерфейсом. Всегда равен "0"
MSTS.0	0E9h.0	Неисправность ОУ. Значение после сброса МК –"0"

* BCK OY – встроенная система контроля оконечного устройства.
** ОС – ответное слово

3.6.2.3 MERG [0EAh] - регистр ошибок "BCK OY"
Описание бит регистра MERG приведено в таблице 12.

Таблица 12 - Описание бит регистра MERG

Обозначение	Бит	Описание
0	0EAh.7	–
0	0EAh.6	–
0	0EAh.5	–
MERG.4	0EAh.4	Ошибка числа слов. Значение после сброса –"0"
MERG.3	0EAh.3	Ошибка синхрои импульса. Значение после сброса –"0"
MERG.2	0EAh.2	Ошибка формата слов. Значение после сброса –"0"
MERG.1	0EAh.1	Ошибка кодирования. Значение после сброса –"0"
MERG.0	0EAh.0	Ошибка по модулю 2. Значение после сброса –"0"

3.6.2.4 MCNT [0EBh] - счетчик слов

3.6.2.4.1 Запись

Используется для выдачи сообщений. Для выдачи сообщения необходимо записать в регистр MCNT количество передаваемых слов данных (1 - 32), либо "0" - в случае необходимости передачи только ответного слова. Любая запись в регистр MCNT приводит к немедленной выдачи сообщения на активный канал ИМК. Большой объем буфера ИМК позволяет хранить в нем заранее подготовленные сообщения, при этом для их выдачи достаточно выполнить запись в регистры МТХА и MCNT.

3.6.2.4.2 Чтение

Возвращает адрес абонента установленный на внешнем соединителе.

Подл. и дата
 Подл. и дата
 Подл. и дата
 Инв. № под.
 445.4
 Взам. инв. № : Инв. № дубл.
 445.3

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		37

3.6.2.5 MRXA [0ECh] - Регистр стартового адреса (в буфере) для приема команд/данных

Регистр содержит адрес, с которого начинается буфер приема. При приеме сообщения младший байт слова данных записывается в память буфера по адресу MRXA, старший байт слова данных записывается в память буфера по адресу (MRXA + 1) и т.д. При окончании приема сообщения устанавливается бит M_RI, вызывающий запрос прерывания ОЭВМ.

При приеме сообщений ячейки буфера, начиная с адреса MRXA и до (MRXA+64), могут быть использованы.

3.6.2.6 MTXA [0EDh] - Регистр стартового адреса (в буфере) для выдачи данных

Регистр содержит адрес, с которого начинается буфер передачи. Младший байт первого слова данных записывается в память буфера по адресу MTXA, старший байт первого слова данных записывается в память буфера по адресу (MTXA + 1), младший байт второго слова данных записывается в память буфера по адресу (MTXA + 2) и т.д.

3.6.2.7 MBA [0EEh] - Регистр адреса буфера ИМК

Регистр служит для обмена данными между буфером ИМК и МК*. Регистр определяет адрес в буфере, по которому производится обращение процессора. Регистр MBA автоинкрементируется (увеличивает свое значение на 1) при любом обращении МК к регистру MBD. Автоинкремент регистра MBA позволяет ускорить обращения МК к буферу ИМК и существенно ускорить обмен блоками между ОЗУ МК и буфером ИМК, используя указатель стека МК и команды PUSH, POP.

3.6.2.8 MBD [0EFh] - Регистр данных буфера ИМК

Регистр служит для обмена данными между буфером ИМК и МК. Регистр используется для обмена данными между буфером ИМК и процессором. Запись в регистр MBD приводит к модификации ячейки буфера по адресу MBA и увеличению регистра MBA на "1", чтение регистра MBD возвращает содержимое ячейки буфера по адресу MBA и увеличивает регистр MBA на "1".

3.6.2.9 MCODE [0FAh] - Регистр кода текущей команды

Регистр содержит поле [4 : 0] текущей команды, в случае подадреса не равно "00000", не равно "11111" и значения регистра равно "00000", бит [5] регистра считывается как "1", значение остальных битов - "0". Значение после сброса МК - 000h.

3.6.2.10 MSUB [0FBh] - Регистр подадреса текущей команды

Регистр содержит поле [9 : 5] текущей команды, значение остальных битов - "0". Значение после сброса МК - 000h.

3.6.2.10.1 MLCL [0FCh] - Младший байт регистра последней команды

Регистр содержит поле [7 : 0] последней команды. Значение после сброса МК - 000h.

3.6.2.10.2 MLCH [0FDh] - Старший байт регистра последней команды

Регистр содержит поле [15 : 8] последней команды. Значение после сброса МК - ABCDE000b (где ABCDE - адрес абонента [4 : 0], установленный на внешнем соединителе).

* МК – микроконтроллер.

Име. № под. 445.4

Подп. и дата

Взам. инв. № : Инв. № дубл. 445.3

Подп. и дата

					СКФН.431295.172 РЭ	<i>Лист</i>
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		38
<i>Изм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Подп.</i>	<i>Дата</i>		

Прием слов сообщения контролируется таймером приема, вызывающим установку флагов ошибок (регистр ошибок "ВСК ОУ") при отсутствии необходимого числа слов.

Автоматическая обработка сообщений предусматривает:

- аппаратную обработку команд с кодами:

- "00010" (TSW - Передать ОС),
- "00110" (ITFB - Блокировать признак неисправности ОУ),
- "00111" (OITFB - Разблокировать признак неисправности ОУ),
- "10010" (TLC - Передать последнюю команду),
- "10011" (TBW - Передать слово ВСК ОУ);

- выдачу ОС с формированием прерывания МК для команд с кодами:

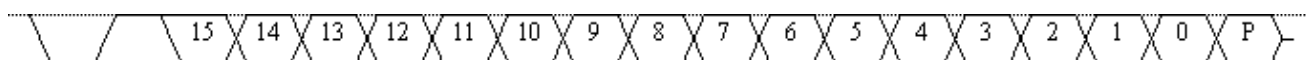
- "00000" (DBC - Принять управление интерфейсом),
- "00001" (S - Синхронизация),
- "00011" (IST - Начать самоконтроль ОУ),
- "00100" (TS - Блокировать передатчик),
- "00101" (OTS - Разблокировать передатчик),
- "01000" (RRT - Установить ОУ в исходное состояние),
- "10001" (S - Синхронизация с СД),
- "10100" (STS - блокировать i-й передатчик),
- "10101" (OSTS - разблокировать i-й передатчик);

- формирование прерывания МК для всех остальных команд.

При автоматической обработке время начала выдачи слов ИМК определяется внутренним таймером, отсчитывающим промежуток времени между приёмом последнего бита входного сообщения и началом выдачи ответного слова (7.5 мкс).

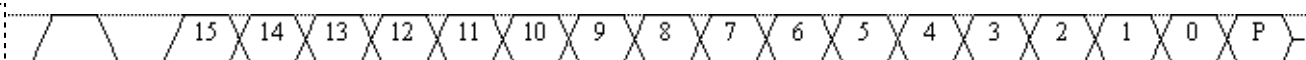
Временная диаграмма слова данных приведена на рисунке 19.

Временная диаграмма командного и ответного слова приведена на рисунке 20.



Бит четности "P" равен "1" в случае, когда число единиц в слове четное

Рисунок 19 - Временная диаграмма слова данных



Бит четности "P" равен "1" в случае, когда число единиц в слове четное

Рисунок 20 - Временная диаграмма командного и ответного слова

Микросхема 1880BE81 имеет только программную поддержку (п.5.3.3 ГОСТ 52070-2003, в ручном режиме обработки сообщений). При определении командного слова (КС) как "не предусмотренное в конкретном ОУ" необходимо установить в "1" любой из 5 бит (MERG 4 ? MERG 0) регистра ошибок "ВСК ОУ" (0EAh). В результате будет передано ОС с установленным в "1" битом "Ошибка в сообщении" (как и определено в п. 5.3.3 ГОСТ 52070-2003).

Изм	4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
		Лист	№ докум.	Подп.	Дата		39

После подачи питания на микросхему, в момент снятия сигнала сброса "RST", возможно формирование ответного слова "0000" по основному каналу ИМК (см. рисунок 21). Поэтому для исключения подобного рекомендуется соединить входы разрешения передатчиков (микросхема 5559ИН67Т) с одним из портов микросхемы 1880ВЕ81У (см. рисунок 22), на который следует выдать состояние логического "0" после проведения инициализации ИМК.

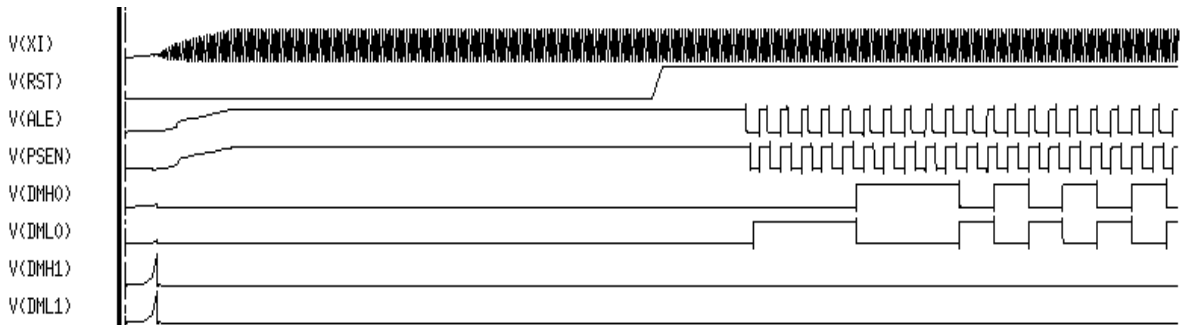
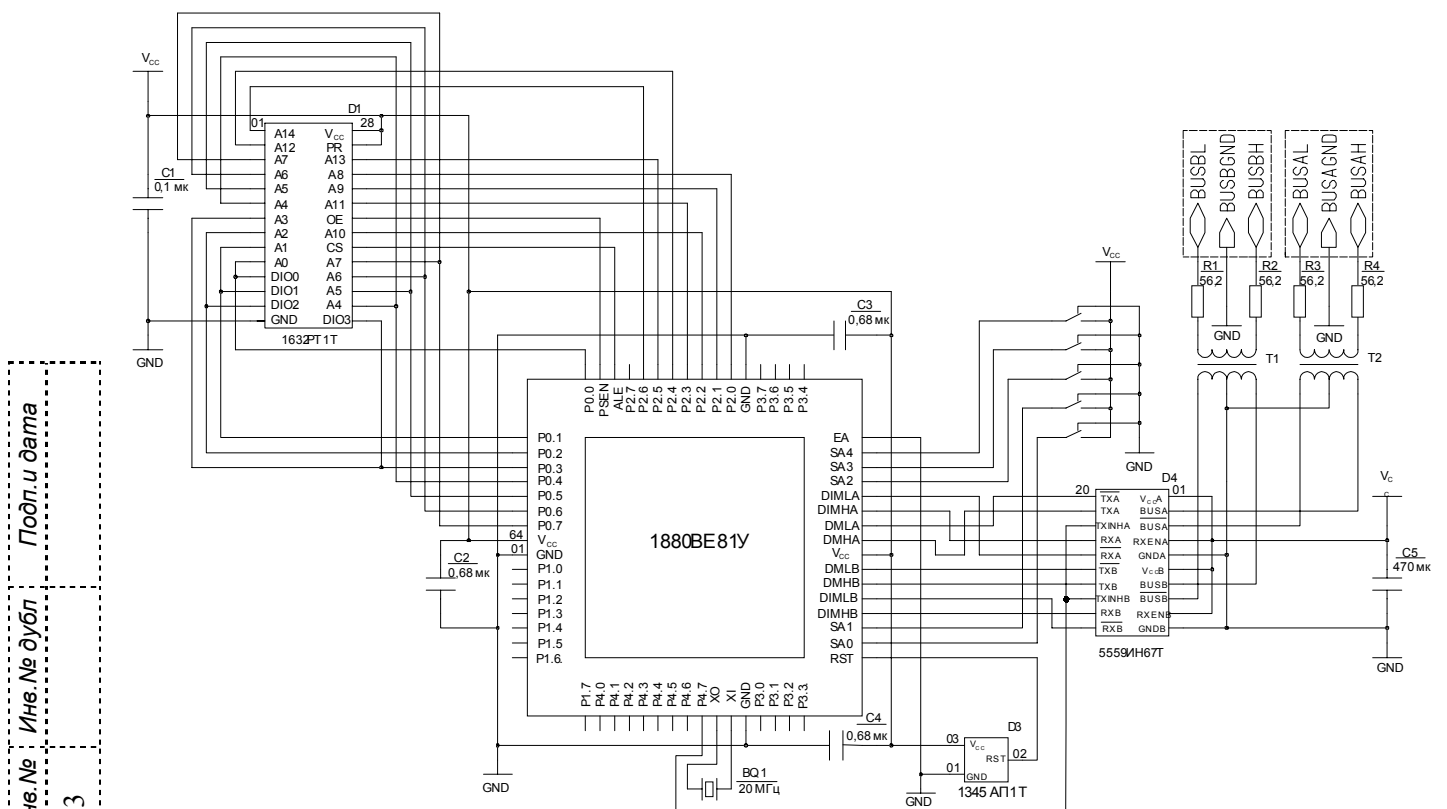


Рисунок 21 - Формирование ответного слова "0000" по основному каналу ИМК в момент снятия сигнала сброса "RST"



- BQ1 – кварцевый резонатор
 D1 – D4 – микросхемы
 T1, T2 – трансформаторы ТИЛ6В
 C1 – C5 – конденсаторы
 R1 – R4 – резисторы

Рисунок 22 – Схема включения микросхем контроллера и приемопередатчика

Име. № под. 445.4	Подп. и дата	Взам. име. № 445.3	Име. № дубл.	Подп. и дата	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
										40
Изм.	Лист	N докум.	Подп.	Дата						

3.7 Сторожевой таймер

Сторожевой таймер представляет собой 11 - разрядный счетчик, тактируемый от внутреннего RC- генератора с частотой 10,0 Гц \pm 50%, при переполнении которого происходит аппаратный сброс ОЭВМ. Сторожевой таймер включен по умолчанию, а его обнуление или реконфигурация происходит через регистр WDTRST с использованием специальной последовательности.

WDTRST [0A6h] - Регистр сброса / установки конфигурации сторожевого таймера.

Запись: для сброса сторожевого таймера необходимо записать в регистр WDTRST последовательность из слов 01Eh, 0E1h. Для реконфигурации сторожевого таймера необходимо записать в регистр WDTRST последовательность из слов 01Eh, 0101YABCb, где YABC - биты конфигурации (таблица 13).

Таблица 13

A	B	C	Время переполнения, мс
0	0	0	200
0	0	1	100
0	1	0	50
0	1	1	25
1	0	0	12
1	0	1	6
1	1	0	2,8
1	1	1	1,2

Примечание - Длительность импульса сброса от сторожевого таймера одинакова для всех режимов и равна четырем периодам RC - генератора и составляет около 400 мкс

Бит Y запрещает работу сторожевого таймера во время ожидания ID (PCON.0) = "1".

Последовательность из слов: 01Eh, 50h запрещает работу сторожевого таймера.

Чтение: возвращает текущее значение конфигурации в виде 1010YABCb, где YABC - биты конфигурации.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		41

3.8 Блок последовательного интерфейса и прерываний

3.8.1 Блок последовательного интерфейса и прерываний (ПИП) предназначен для организации ввода/вывода последовательных потоков информации и организации системы прерывания программ.

В состав блока ПИП входят:

- буфер ПИП;
- логика управления ПИП;
- регистр управления блоком ПИП SCON;
- буфер передатчика;
- буфер приемника;
- приемник/передатчик последовательного порта;
- регистр приоритетов прерываний IP;
- регистр разрешения прерываний IE;
- логика обработки флагов прерываний;
- схема выработки вектора.

3.8.2 Буфер ПИП обеспечивает побайтный обмен информацией между внутренней магистралью данных и шиной ПИП.

3.8.3 Логика управления ПИП предназначена для выработки сигналов управления, обеспечивающих четыре режима работы последовательного интерфейса и организацию прерывания программ.

3.8.4 Регистр управления блоком ПИП SCON предназначен для приема и хранения кода восьмибитного слова, управляющего последовательным интерфейсом. Обозначение разрядов регистра SCON показано на рисунке 23.

Бит	7	6	5	4	3	2	1	0
Обозначение	SM0	SM1	SM2	REN	TB8	RB8	TI	RI

Рисунок 23 - Обозначение разрядов регистра SCON

Разряды SM0, SM1 определяют режимы работы ПИП согласно таблице 14.

Таблица 14 - Режимы работы ПИП

Разряды		Режим	Наименование	Скорость передачи
SM0	SM1			
0	0	0	Сдвиговой регистр	$f_{X1}/12$
0	1	1	8-битовый универсальный асинхронный приемник/передатчик (УАПП)	Переменная, задается T/C1
1	0	2	9-битовый УАПП	$f_{X1} / 64$ или $f_{X1} / 32$
1	1	3	9-битовый УАПП	Переменная, задается T/C1

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	N докум.	Подп.	Дата		42

Инв. № под. 445.4
 Подп. и дата
 Взам. инв. № : Инв. № дубл. 445.3
 Подп. и дата

Остальные биты регистра имеют следующее назначение:

- SM2 - разрешение многопроцессорной работы. В режимах "2" и "3" при условии, что SM2="1", сигнал RI не активизируется, если девятый передаваемый бит данных RB8="0". В режиме "1" при условии, что SM2="1", сигнал RI не активизируется, если не принят бит останова, который равен "1". В режиме "0" бит SM2 устанавливается в "0";

- REN - разрешение приема последовательных данных, устанавливается и сбрасывается программным путем;

- TB8 - девятый бит передаваемых данных в режимах "2" и "3", устанавливается и сбрасывается программным путем;

- RB8 - девятый бит принимаемых данных в режимах "2" и "3". В режиме "1", если бит SM2="0", то бит RB8 является принимаемым битом останова. В режиме "0" бит RB8 не используется;

- TI - флаг прерывания передатчика, устанавливается аппаратно в момент появления восьмого бита в режиме "0" или в момент появления бита останова в других режимах. Сбрасывается программным обеспечением;

- RI - флаг прерывания приемника, устанавливается аппаратно в момент появления восьмого бита в режиме "0" или через половину интервала бита останова в режимах "1", "2", "3" при условии, что бит SM2="0". Работа бита при условии, когда SM2="1", описана выше.

3.8.5 Буфер передатчика предназначен для приема с шины ПИП параллельной информации и выдачи ее в виде последовательного потока символов на передатчик последовательного порта.

3.8.6 Буфер приемника предназначен для приема данных в виде последовательного потока символов с последовательного порта, преобразования их в параллельный вид, хранения и выдачи в параллельном виде на внутреннюю шину ПИП.

3.8.7 Буфер приемника и буфер передатчика при программном доступе имеют одинаковое имя SBUF и адрес 99H. Если команда использует имя SBUF как регистр источника, то обращение происходит к буферу приемника. Если команда использует имя SBUF как регистр назначения, то обращение происходит к буферу передатчика.

3.8.8 Приемник/передатчик последовательного порта предназначен для приема последовательного потока символов со входа последовательного порта, выделения данных и выдачи их в буфер приемника, а также для приема последовательных данных с буфера передатчика, преобразования их в последовательный поток символов и выдачи его на выход последовательного порта.

3.8.9 Регистр приоритетов прерываний IP предназначен для установки уровня приоритета прерывания для каждого из семи источников прерывания. Обозначение разрядов регистра IP показано на рисунке 24.

Бит	7	6	5	4	3	2	1	0
Обозначение	X	PMTR	PT2	PS	PT1	PX1	PT0	PX0

Рисунок 24 - Обозначение разрядов регистра IP

Подп. и дата
 Инв. № дубл
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		43
Изм	Лист	№ докум.	Подп.	Дата		

Назначение разрядов:

- PX0 - установка уровня приоритета прерывания от внешнего источника INT0;
- PT0 - установка уровня приоритета прерывания от T/C0;
- PX1 - установка уровня приоритета прерывания от внешнего источника;
- PT1 - установка уровня приоритета прерывания от T/C1;
- PS - установка уровня приоритета прерывания от последовательного порта;
- PT2 - установка уровня приоритета прерывания от T/C2;
- PMTR - установка уровня приоритета прерывания от блока ИМК;
- X - резервный разряд.

Наличие в разряде IP "1" устанавливает для соответствующего источника высокий уровень приоритета, а наличие в разряде IP "0" устанавливает низкий уровень приоритета. При чтении резервных разрядов соответствующие линии шины данных не определены.

3.8.10 Регистр разрешения прерываний IE предназначен для разрешения или запрещения прерываний от соответствующих источников. Обозначение разрядов регистра IE показано на рисунке 25.

Бит	7	6	5	4	3	2	1	0
Обозначение	EA	EMTR	ET2	ES	ET1	EX1	ET0	EX0

Рисунок 25 - Обозначение разрядов регистра IE

Назначение разрядов:

- EA - управление всеми источниками прерываний одновременно. Если разряд EA="0", то прерывания запрещены. Если разряд EA="1", то прерывания могут быть разрешены индивидуальными разрешениями разрядов EX0, ET0, EX1, ET1 и EMTR, ES и ET2;

- EMTR - управление прерыванием от блока ИМК. Если разряд EMTR="1", то прерывание разрешено. Если разряд EMTR="0", то прерывание запрещено;

- ET2 - управление прерыванием от T/C2. Если разряд ET2="1", то прерывание разрешено. Если разряд ET2="0", то прерывание запрещено;

- ES - управление прерыванием от последовательного порта. Если разряд ES="1", то прерывание разрешено. Если разряд ES="0", то прерывание запрещено;

- ET1 - управление прерыванием от T/C1. Если разряд ET1="1", то прерывание разрешено. Если разряд ET1="0", то прерывание запрещено;

- EX1 - управление прерыванием от внешнего источника $\overline{INT1}$. Если разряд EX1="1", то прерывание разрешено. Если разряд EX1="0", то прерывание запрещено;

- ET0 - управление прерыванием от T/C0. Если разряд ET0="1", то прерывание разрешено. Если разряд ET0="0", то прерывание запрещено;

- EX0 - управление прерыванием от внешнего источника INT0. Если разряд EX0="1", то прерывание разрешено. Если разряд EX0="0", то прерывание запрещено.

3.8.11 Текущая реализация подсистемы прерываний в ИС 1880BE81У не допускает выборочное разрешение прерываний в спаренных группах:

- группа А: прерывания ET1 и EMTR;

- группа Б: прерывания ES и ET2.

Таким образом, пары битов ET1 и EMTR, ES и ET2 регистра разрешения прерываний IE должны быть всегда взаимно равны при EA="1". Т.е. ET1 = EMTR = "0" или ET1 = EMTR = "1" и ES = ET2 = "0" или ES = ET2 = "1".

3.8.12 Логика обработки флагов прерывания осуществляет приоритетный выбор запроса прерывания, сброс его флага и инициирует выработку аппаратно реализованной команды перехода на подпрограмму обслуживания прерывания.

3.8.13 Схема выработки вектора прерываний выдает двухбайтные адреса подпрограмм обслуживания прерываний в зависимости от источника прерывания в соответствии с таблицей 15.

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		44
Изм	Лист	№ докум.	Подп.	Дата		

Подп. и дата
 Инв. № дубл
 445.3
 Взам. инв. №
 445.4
 Подп. и дата
 Инв. № под.

Таблица 15

Начальные адреса программ обслуживания прерываний	
Источник прерывания	Вектор прерывания
Внешнее прерывание с вывода P3.2	0003H
Таймер/счетчик T/C0	000BH
Внешнее прерывание с вывода P3.3	0013H
Таймер/счетчик T/C1	001BH
Последовательный порт	0023H
Таймер/счетчик T/C2	002BH
Блок ИМК	0033H

3.9 Регистр управления мощностью

3.9.1 Регистр управления мощностью PCON (Power Control Register) предназначен для формирования программным путем кодов, устанавливающих ОЭВМ в режимы работы:

- хранения содержимого регистров спецфункций;
- хранения содержимого ОЗУ;
- удвоения скорости передачи информации через последовательный порт.

Обозначение разрядов регистра PCON показано на рисунке 26.

Бит	7	6	5	4	3	2	1	0
Обозначение	SMOD	X	X	X	GF1	GF0	PD	IDL
Позиция	PCON.7	PCON.6	PCON.5	PCON.4	PCON.3	PCON.2	PCON.1	PCON.0

Рисунок 26 - Обозначение разрядов регистра PCON

Назначение разрядов:

- PCON.0 - бит установки режима холостого хода IDL;
- PCON.1 - бит установки режима микропотребления PD;
- PCON.2 - флаг общего назначения GF0;
- PCON.3 - флаг общего назначения GF1;
- PCON.4 - резервный X;
- PCON.5 - резервный X;
- PCON.6 - резервный X;
- PCON.7 - бит установки режима двойной скорости передачи информации с помощью последовательного порта SMOD (в одном из режимов "1", "2", "3").

Аппаратный адрес регистра PCON - 87H.

Электрическая принципиальная схема управления режимом хранения содержимого регистров спецфункций и режимом хранения содержимого ОЗУ показана на рисунке 27.

Подп. и дата
 Инв. № дубл
 445.3
 Подп. и дата
 Инв. № под.
 445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		45



BQ1 - кварцевый резонатор

Рисунок 27 - Электрическая принципиальная схема управления режимом хранения содержимого регистров спецфункций и режимом хранения содержимого ОЗУ

3.9.2 Режим хранения содержимого регистров спецфункций (режим холостого хода)

Инструкция, устанавливающая регистр PCON в соответствующее состояние, является последней перед переходом ОЭВМ в режим холостого хода ($IDL="1"$). В режиме холостого хода задающий генератор продолжает функционировать, блок прерывания последовательного порта и таймеры/счетчики тактируются, но их функции не реализуются в связи с тем, что состояние центрального процессора тормозится (сохраняется содержимое указателя стека, счетчика программы, регистра состояния программы, аккумулятора и других регистров).

Выйти из режима холостого хода можно несколькими способами:

- активизацией разрешения прерывания;
- программно (командой RETI выхода из подпрограммы обслуживания прерывания);
- аппаратным способом.

Биты флагов GF0 и GF1 используются для идентификации того, что прерывание поступило во время обычной операции или в режиме холостого хода.

3.9.3 Режим хранения содержимого ОЗУ (пониженного энергопотребления)

В этом режиме ($PD="1"$) задающий генератор прекращает свою работу, тактовые импульсы отсутствуют, все функциональные блоки останавливаются, сохраняется только содержимое ОЗУ. Единственным выходом из этого режима является аппаратный сброс.

При завершении установления режима сниженного энергопотребления допускается снижать напряжение питания U_{CC} . Сброс ОЭВМ следует производить тогда, когда напряжение питания U_{CC} после восстановления достигнет своего нормального рабочего уровня. Сброс следует удерживать в активном состоянии на то время, пока задающий генератор не восстановится и не стабилизируется (обычно менее 10 мс).

При записи $IDL="1"$ и $PD="1"$ преимущество имеет бит PD.

В таблице 16 представлены состояния выводов ОЭВМ в режимах холостого хода и микрорпотребления.

Подп. и дата
 Инв. № дубл
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		46
Изм	Лист	№ докум.	Подп.	Дата		

Таблица 16 - Состояние выводов в режимах холостого хода и микропотребления

Режим	Память программ	ALE	PSEN	Порт P0	Порт P1	Порт P2	Порт P3	Порт P4
Холостой ход	Внутренняя	1	1	Данные	Данные	Данные	Данные	Данные
Холостой ход	Внешняя	1	1	Z	Данные	Адрес	Данные	Данные
Микропотребление	Внутренняя	0	0	Данные	Данные	Данные	Данные	Данные
Микропотребление	Внешняя	0	0	Z	Данные	Данные	Данные	Данные

3.10 Программный счетчик

3.10.1 Программный счетчик (PC) предназначен для формирования текущего шестнадцатиразрядного адреса программной памяти команд восьми / шестнадцатиразрядного адреса внешней памяти данных.

В состав программного счетчика входят шестнадцатиразрядные:

- буфер PC;
- регистр указателя данных;
- регистр PC;
- схема инкремента;
- регистр адреса памяти.

3.10.2 Буфер PC осуществляет связь между шестнадцатиразрядной шиной PC и восьмиразрядной шиной данных, обеспечивая запись, хранение и процесс передачи информации.

3.10.3 Регистр указателя данных предназначен для хранения шестнадцатиразрядного адреса внешней памяти данных. Состоит из двух восьмиразрядных регистров DPH и DPL, которые могут использоваться в качестве двух независимых PОН, если нет необходимости в хранении шестнадцатиразрядного адреса внешней памяти данных.

3.10.4 В регистре PC хранится текущий шестнадцатиразрядный адрес программной памяти.

3.10.5 Схема инкремента увеличивает текущее значение шестнадцатиразрядного адреса программной памяти на единицу.

3.10.6 Регистр адреса памяти предназначен для записи и хранения исполнительного шестнадцатиразрядного адреса программной памяти или восьми/шестнадцатиразрядного адреса внешней памяти данных, а также для передачи данных в порт PC при выполнении команд MOVX@Ri,A и MOVX@DPTR,A, обеспечивающих запись данных во внешние устройства через порт P0.

Подп. и дата
 Подп. и дата
 Подп. и дата
 Инв. № под.
 445.4
 Взам. инв. № :
 445.3
 Инв. № дубл.
 445.3

					СКФН.431295.172 PЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		47
Изм	Лист	№ докум.	Подп.	Дата		

3.11 Порты ввода/вывода

3.11.1 Порты P0, P1, P2, P3, P4 являются двунаправленными портами ввода/вывода и предназначены для обеспечения обмена информацией ОЭВМ с внешними устройствами, образуя 32 линии ввода/вывода. Каждый из портов содержит фиксатор и буфер. Фиксатор представляет собой восьмиразрядный регистр, имеющий байтную и битную адресацию для установки (сброса) разрядов с помощью программного обеспечения.

Физические адреса фиксаторов портов P0, P1, P2, P3, P4 составляют:

при байтной адресации	при битной адресации
P0 - 80H	P0 - (80H-87H)
P1 - 90H	P1 - (90H-97H)
P2 - A0H	P2 - (A0H-A7H)
P3 - B0H	P3 - (B0H-B7H)
P4 - C0H	P4 - (C0H-C7H)

Помимо работы в качестве обычных портов ввода/вывода линии портов P0 - P3 могут выполнять ряд дополнительных функций, описанных ниже.

3.11.2 Через порт P0:

- выводится младший байт адреса A0-A7 при работе с внешней памятью программ и внешней памятью данных;
- выдается из ОЭВМ и принимается в ОЭВМ байт данных при работе с внешней памятью (при этом обмен байтом данных и вывод младшего байта адреса внешней памяти мультиплексированы во времени);
- читается содержимое внутренней памяти программ.

3.11.3 Через порт P1:

- задается младший байт адреса при чтении содержимого внутренней памяти программ;
- подключаются таймер/счетчик T/C2.

Обозначение альтернативных функций ввода/вывода порта P1 приведено на рисунке 28.

Разряды	7	6	5	4	3	2	1	0
Обозначение	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
Специальные функции	-	-	-	-	-	-	T2EX	T2

Рисунок 28 - Обозначение альтернативных функций ввода/вывода порта P1

Выводы порта P1 имеют следующее назначение:

- вывод P1.0 используется как вход счетчика внешних событий T/C2;
- вывод P1.1 предназначен для управления перезагрузкой/защелкиванием информации в регистры таймера/счетчика T/C2.

Подп. и дата
 Подп. и дата
 Взам. инв. № : Инв. № дубл.
 445.3
 Подп. и дата
 Инв. № под.
 445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		48

3.11.4 Через порт P2:

- выводится старший байт адреса A8-A15 при работе с внешней памятью программ и внешней памятью данных (для внешней памяти данных - только при использовании команд MOVX A, @DPTR и MOVX @DPTR, A, которые вырабатывают 16-разрядный адрес);

- задается старший байт (разряды A8-A14) адреса при чтении содержимого внутренней памяти программ.

3.11.5 Порт P3 дополнительно применяется для реализации альтернативных функций ввода/вывода, обозначение которых приведено на рисунке 29.

Разряды	7	6	5	4	3	2	1	0
Обозначение	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
Специальные функции	\overline{RD}	\overline{WR}	T1	T0	INT1	INT0	TXD	RXD

Рисунок 29 - Обозначение альтернативных функций ввода/вывода порта P3

Выводы порта P3 имеют следующее назначение:

- вывод P3.0 предназначен для ввода последовательных данных в приемник последовательного порта;

- вывод P3.1 предназначен для вывода последовательных данных передатчика последовательного порта;

- вывод P3.2 используется как вход "0" внешнего запроса прерывания;

- вывод P3.3 используется как вход "1" внешнего запроса прерывания;

- вывод P3.4 используется как вход счетчика внешних событий T/C0;

- вывод P3.5 используется как вход счетчика внешних событий T/C1;

- вывод P3.6 используется как выходной сигнал разрешения вывода данных во внешние устройства через порт P0 при исполнении команд MOVXA, @DPTR и MOVX@DPTR, A;

- вывод P3.7 используется как выходной сигнал разрешения ввода данных из внешних устройств через порт P0 при исполнении команд MOVX@, Ri и MOVXA, @DPTR.

3.11.6 Порт P0 является двунаправленным, а порты P1, P2, P3, и P4 - квазидвунаправленными. Каждая линия портов может быть использована независимо для ввода или вывода информации. Для того чтобы некоторая линия порта использовалась для ввода, в соответствующий разряд фиксатора-защелки необходимо записать "1", которая закрывает транзистор выходной цепи. В противном случае на линии порта будет присутствовать "0".

Кроме того, альтернативная функция любой из линий порта P1 или P3 также реализуется (активируется) только в том случае, если в соответствующем этой линии разряде фиксатора-защелки содержится "1". Неиспользуемые альтернативным образом разряды могут работать как обычно.

Име. № под. 445.4

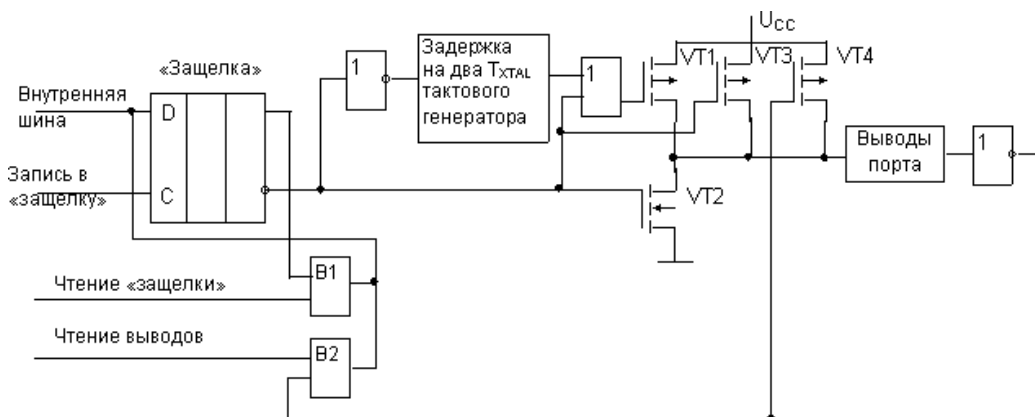
Подп. и дата

Взам. име. № : Име. № дубл. 445.3

Подп. и дата

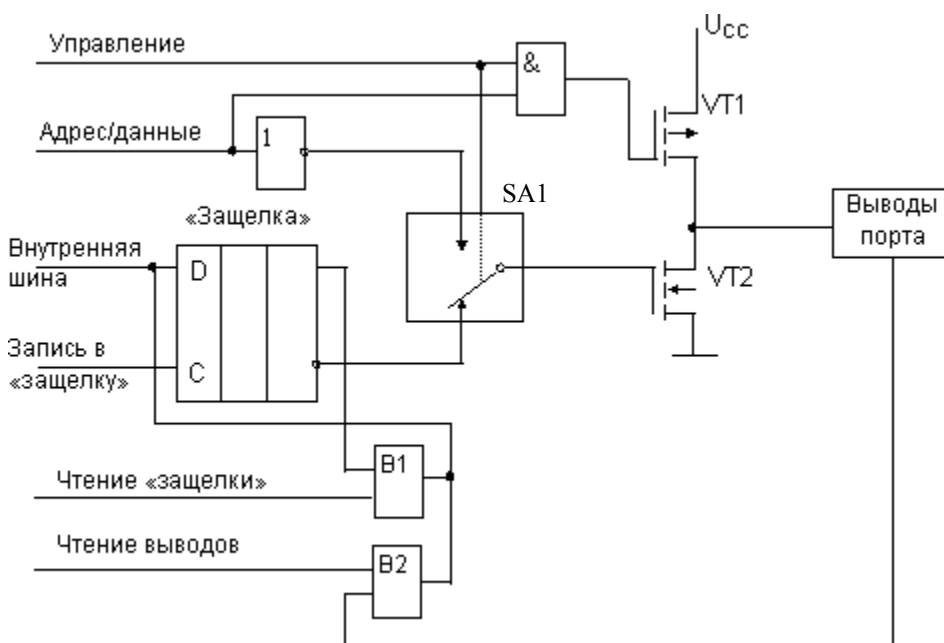
					СКФН.431295.172 P3	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		49
Изм	Лист	№ докум.	Подп.	Дата		

3.11.7 Каждый порт содержит управляемые фиксатор-защелку, входной буфер и выходной драйвер. Принципиальные электрические схемы одного из разрядов портов P1, P2, P3, P4 и P0 приведены на рисунках 30, 31. Каждый из разрядов фиксатора-защелки является D-триггером, информация в который заносится с внутренней шины данных микроконтроллера по сигналу "Запись в защелку" от центрального процессорного элемента (ЦПЭ). С выхода D-триггера информация может быть выведена на внутреннюю шину по сигналу "Чтение защелки" от ЦПЭ, а с вывода микросхемы ("из внешнего мира") по сигналу "Чтение выводов". Одни команды активизируют сигнал "Чтение защелки", другие - "Чтение выводов".



B1, B2 - буферы
VT1 - VT4 - транзисторы

Рисунок 30 - Электрическая схема одного разряда портов ввода/вывода P1, P2, P3, P4



B1, B2 - буферы
SA1 - переключатель
VT1, VT2 - транзисторы

Рисунок 31 - Электрическая схема одного разряда порта ввода/вывода P0

Подп. и дата
Изм. № дубл
445.3
Изм. № под.
445.4

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 PЭ	Лист
Изм	Лист	N докум.	Подп.	Дата		50

Для повышения скорости переключения портов P1-P4 применено внутреннее смещение, которое реализовано на транзисторах VT1-VT3 (см. рисунок 30). В случае, когда защелка бита находится в нулевом состоянии, р-канальные транзисторы VT1-VT3 выключены, n-канальный транзистор VT4 включен. При переключении защелки с нулевого состояния в единичное транзистор VT4 выключается, включаются транзисторы VT2 и VT1 (последний на время, равное двум периодам повторения импульсов задающего генератора в момент времени S1F1 и S2F2). По мере нарастания уровня высокого напряжения на выходе транзистора VT4 (выводе порта) транзистор VT3 открывается для подачи на выход порта необходимого тока I_{OH} от источника напряжения. Инвертор и транзистор VT3 образуют дополнительную защелку для поддержания на выходе напряжения высокого уровня.

Порт P0 не имеет внутреннего смещения. P-канальный транзистор в выходном ключе порта P0 выключен, за исключением того случая, когда этот порт используется как магистраль адрес/данные при обращениях к внешней памяти. В состоянии, когда оба транзистора в выходном ключе отключены, порт P0 может использоваться как входной с высокоимпедансными входами.

3.11.8 При выполнении общего сброса все защелки портов ввода/вывода устанавливаются в единичные состояния. Любая линия ввода/вывода в дальнейшем может быть перестроена на ввод или вывод информации программным путем.

3.12 Память данных

3.12.1 Память данных предназначена для приема, хранения и выдачи информации, используемой в процессе выполнения программы.

Память данных состоит из регистра адреса ОЗУ, дешифратора, ОЗУ и указателя стека.

Регистр адреса ОЗУ предназначен для приема и хранения адреса, выбираемого с помощью дешифратора ячейки памяти, которая может содержать как бит, так и байт информации.

3.12.2 ОЗУ представляет собой 256 восьмиразрядных регистров, предназначенных для приема, хранения и выдачи различной информации.

При этом младшие 128 байт аналогичны ОЗУ семейства 8051, старшие занимают адресное пространство, параллельное пространству специальных функциональных регистров. Это означает, что старшие байты имеют те же адреса, что и специальные функциональные регистры, но физически независимы от них.

Адресация внутренней памяти данных всегда однобайтная, что позволяет использовать только 256 байт адресного пространства. Однако, способы адресации для внутренней памяти данных могут фактически размещать 384 байта, используя следующее: прямая адресация осуществляет доступ к ячейкам памяти с адресами, большими 7FH одной области памяти, а косвенная адресация осуществляет доступ к ячейкам памяти с адресами большими 7FH другой области памяти.

Име. № под.	445.4
Подп. и дата	
Взам. име. № : Име. № дубл.	445.3
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		51
Изм	Лист	№ докум.	Подп.	Дата		

Нижние 32 байта группируются в четыре банка по восемь регистров. Команды программы обращаются к ним через регистры R0 – R7. Два разряда регистра слова состояния PSW выбирают, какой банк используется.

Следующие 16 байт, расположенные над регистровыми банками, образуют блок бит-адресуемой области памяти. Система команд ОЭВМ включает широкий выбор одноразрядных команд и 128 ячеек этой области могут непосредственно адресоваться данными командами. Адресуемые ячейки в этой области - с 00H по 7FH. Все байты нижних 128 байт (LOWER 128) могут быть доступны как при прямой так и при косвенной адресацией. Верхние 128 байт (UPPER 128) могут быть доступны только при косвенной адресации.

Например, команда с прямой адресацией

MOV 0A0H, #data

обращается к пространству функциональных регистров, расположенному по адресу 0A0H, (т.е. к порту P2).

Команда с косвенной адресацией

MOV @R0, #data,

где R0 содержит 0A0H, обращается к байту с адресом 0A0H в пространстве старших 128 байт ОЗУ.

3.12.3 Указатель стека представляет собой восьмиразрядный регистр, предназначенный для приема, хранения ячейки стека, к которой было последнее обращение. При выполнении команд CALL, ACALL содержимое указателя стека увеличивается на 2. При выполнении команд RET, RET1 содержимое указателя стека уменьшается на 2. При выполнении команды PUSH direct содержимое указателя стека увеличивается на 1. При выполнении команды POP direct содержимое указателя стека уменьшается на 1. После сброса в указателе стека устанавливается адрес 07H, что соответствует началу стека с адресом 08H.

Работа стека организована с применением косвенной адресации (адрес используемой под стек ячейки памяти размещен в регистре SP), так что старшие 128 байт ОЗУ прекрасно подходят для размещения в них стека ОЭВМ.

3.12.4 В ОЭВМ предусмотрена возможность расширения памяти данных путем подключения внешних устройств емкостью до 64 Кбайт. При этом обращение к внешней памяти данных возможно только с помощью команд MOVX.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	<i>Лист</i>
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		52
<i>Изм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Подп.</i>	<i>Дата</i>		

3.13 Память программ

3.13.1 Память программ предназначена для хранения программ команд, имеет отдельное от памяти данных адресное пространство объемом до 65 Кбайт, причем, память с адресами от 0000H до 0FFFFH расположена на кристалле микросхемы. Программная память состоит из тринадцатиразрядного дешифратора и накопителя емкостью 8К×8 бит.

3.13.2 Память программ является масочнопрограммируемой (ROM).

3.13.3 Обращение к внешней памяти программ происходит при выработке программным счетчиком адреса, превышающего 0FFFFH, который устанавливает ОЭВМ в режим работы с внешней памятью программ.

4 Режимы работы

4.1 Режимы работы и начальная установка

4.1.1 ОЭВМ может работать в следующих режимах:

- с внешней памятью программ;
- с внутренней памятью программ;
- с внутренней и внешней памятью данных;
- проверка внутренней памяти программ (ROM).

Режим работы устанавливается комбинацией входных и выходных сигналов.

4.1.2 Инициализация (сброс) микросхемы осуществляется сигналом RST (активный низкий уровень напряжения) при условии подачи на микросхему сигнала синхронизации или при подключенном кварцевом резонаторе. По сигналу RST в ОЭВМ выполняются следующие операции:

- регистр PC и регистр специальных функций PCON, кроме регистров IP и IE, устанавливаются в нулевое состояние;
- указателю стека присваивается значение 07H;
- запрещаются все источники прерываний, работа таймеров/счетчиков и последовательного порта;
- выбирается банк "0" ОЗУ, подготавливаются порты P0-P4 для приема данных и определяются выходы ALE и PSEN как входы для внешней синхронизации;
- в регистрах специальных функций PCON, IP, T2MOD резервные биты принимают случайные значения, все остальные биты сбрасываются в нуль;
- значение регистров SBUF (буфер приемника и буфер передатчика) не определено.

4.2 Работа с внутренней памятью программ

4.2.1 Режим работы с внутренней памятью программ устанавливается заданием высокого уровня напряжения на выводе EA. Выполнение программы, хранящейся в памяти, начинается с команды, расположенной по адресу 00H, так как счетчик команд PC по сигналу сброса обнуляется.

4.2.2 В режиме работы с внутренней памятью программ порты P0 и P2 можно использовать как порты ввода/вывода, так как адрес/данные памяти программ передаются по внутренним магистралям ОЭВМ.

Подп. и дата
 Подп. и дата
 Взам. инв. № : Инв. № дубл.
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		53
Изм	Лист	N докум.	Подп.	Дата		

4.3 Работа с внешней памятью программ и памятью данных

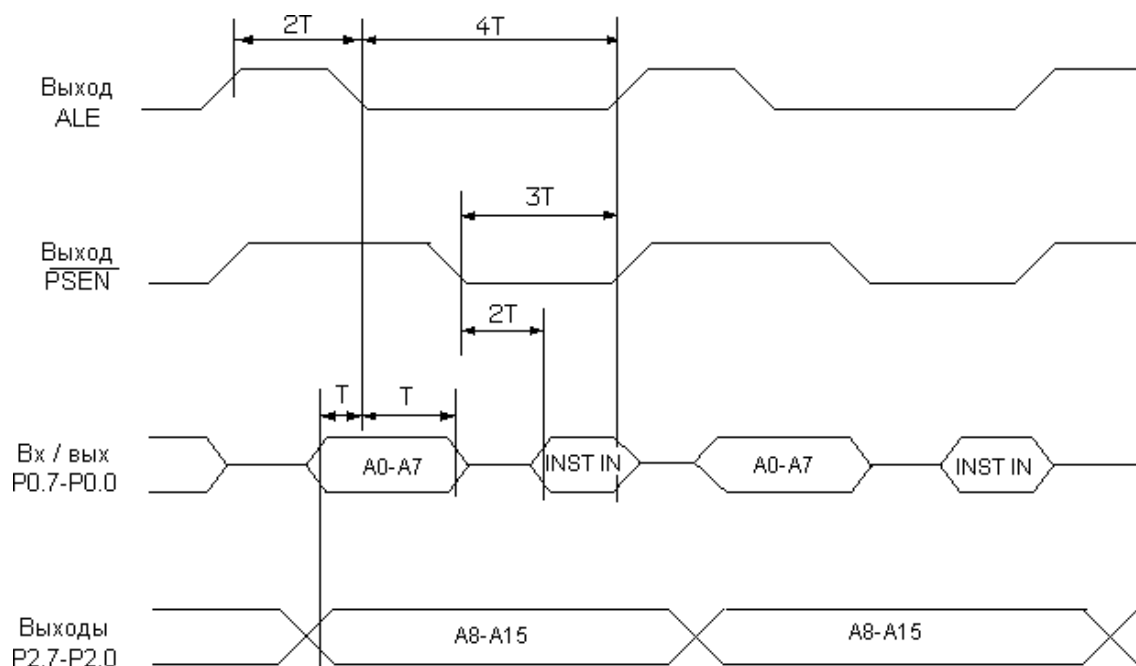
4.3.1 Режим работы ОЭВМ с внешней памятью устанавливается при подаче низкого уровня напряжения на вывод \overline{EA} и применяется при отладке программ и контроле процессора.

4.3.2 Этот режим используется также тогда, когда внутренней памяти программ недостаточно. В этом случае можно совместить внутреннюю (8192 байта) и внешнюю (56 Кбайт) памяти программ общим объемом 64 Кбайт (на вывод \overline{EA} при этом подается напряжение высокого уровня) или использовать только внешнюю память с максимальным объемом 64 Кбайт, вывод \overline{EA} при этом подключается к общему выводу.

4.3.3 При работе с внешней памятью программ выдача младших разрядов адреса A7-A0 во внешнюю память и прием кода команд из внешней памяти осуществляется через порт P0 (выводы P0.7 - P0.0). При этом адрес фиксируется по сигналу ALE, а команды принимаются по сигналу \overline{PSEN} .

Старшие разряды адреса A15 - A8 выдаются через порт P2 (выводы P2.7 - P2.0). При увеличении объема памяти за счет подключения внешнего ОЗУ емкостью до 256 байт обмен данными между ОЗУ и ОЭВМ осуществляется через двунаправленный порт P0 с помощью команд MOVX A,@Ri и MOVX @Ri,A. Для работы с внешним ОЗУ объемом свыше 256 байт (до 64 Кбайт) используются команды MOVX A,@DPTR и MOVX @DPTR,A. При этом адрес данных фиксируется по заднему фронту ALE, а прием и выдача данных - по сигналам \overline{RD} и \overline{WR} .

4.3.4 Временные диаграммы работы ОЭВМ с внешней памятью программ и внешней памятью данных приведены на рисунках 32-34.



T – период следования импульсов тактовых сигналов, нс (см. АЕЯР.431280.335-01 ТУ, раздел 6)

Рисунок 32 - Временная диаграмма работы микросхем с внешней памятью программ

Подп. и дата
 Подп. и дата
 Инв. № под.
 445.3
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		54
Изм	Лист	N докум.	Подп.	Дата		

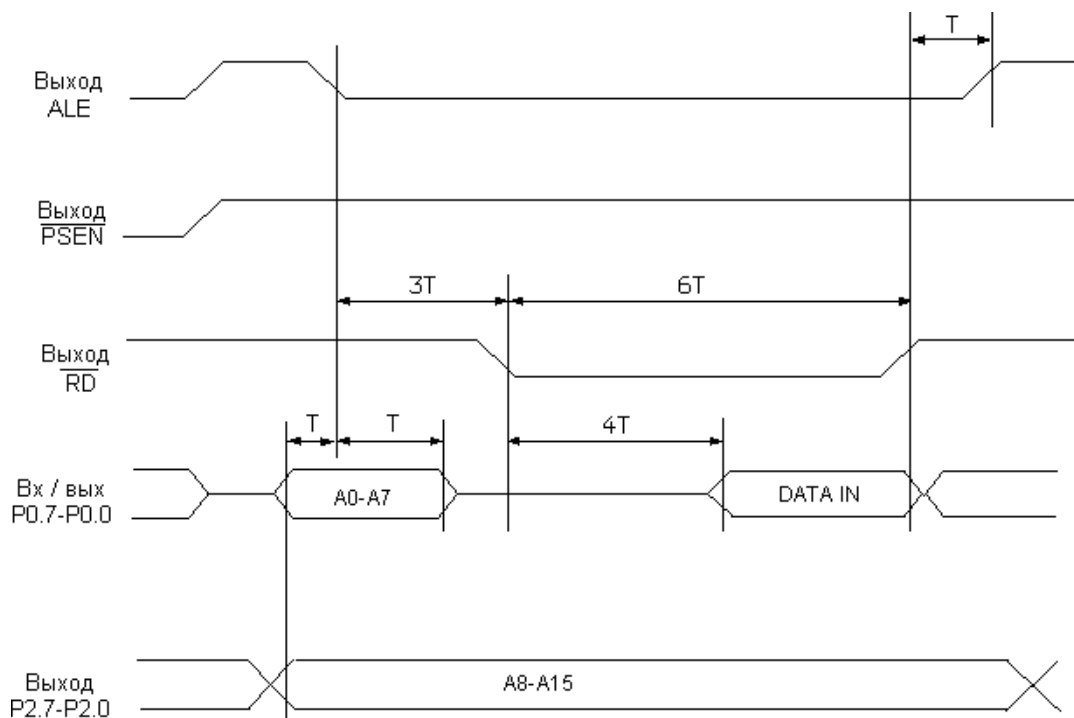


Рисунок 33 - Временная диаграмма работы микросхем при чтении данных из внешней памяти

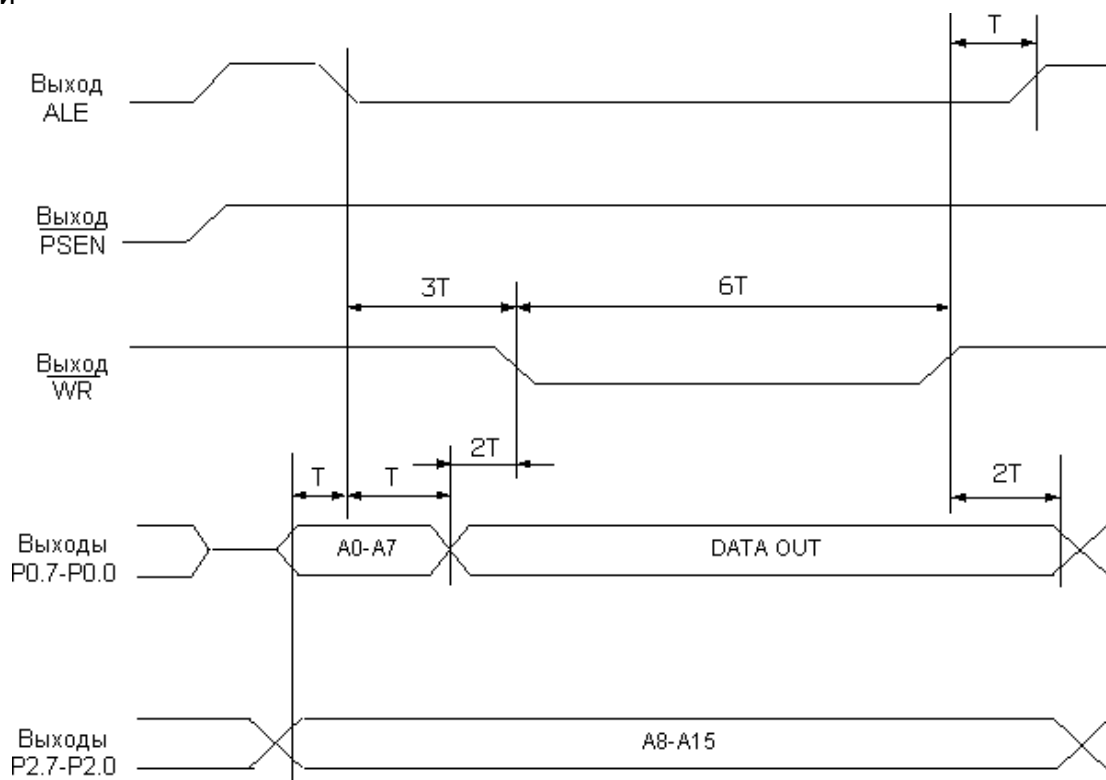


Рисунок 34 - Временная диаграмма работы микросхем при записи данных во внешнюю память

Инв. № под. 445.4
 Подп. и дата
 Взам. инв. № : Инв. № дубл. 445.3
 Подп. и дата

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		55
Изм	Лист	№ докум.	Подп.	Дата		

4.4 Работа с портами

4.4.1 Порты P1-P4 имеют идентичные характеристики. Данные, записанные в них, статически фиксируются и не изменяются до перезаписи.

В режиме работы с внешней памятью программ порт P2 служит для выдачи сигналов старших разрядов адреса и статически фиксирует его до момента изменения. В этом режиме порт P2 для расширения ввода/вывода не используется.

Для использования портов P1-P4 в качестве входов по команде выдачи данных формируется напряжение высокого уровня по соответствующим линиям (P1, P2, P3, P4), однако после подачи сигнала сброса порты P1-P4 устанавливаются в состояние готовности приема без дополнительных усилий.

Порт P0 является восьмиразрядным двунаправленным портом с тремя состояниями, может использоваться в качестве статически фиксирующего выходного порта и нефиксирующего входного порта. Информация, выдаваемая портом P0 с помощью команд выдачи, сопровождается стробимпульсом \overline{WR} .

При записи информации в порт P0 с помощью команд приема вырабатывается стробимпульс \overline{RD} .

Кроме операций ввода/вывода информации предусмотрена возможность выполнения логических операций "И", "ИЛИ" и "Исключающее ИЛИ" непосредственно на фиксаторах P0-P4.

В режиме работы с внешней памятью программ порт P0 служит для выдачи младших разрядов адреса памяти программ, для приема кодов команд, для выдачи адреса внешнего ОЗУ данных и приема/выдачи данных обмена с внешним ОЗУ (если оно используется).

Любую линию ввода/вывода можно проверить с помощью команд условного перехода JB bit, rel, JMB bit, rel, JBC bit, rel.

Выводы P3.2 и P3.3 можно использовать для внешнего аппаратного прерывания, а выводы P3.4, P3.5 - как входы счетчиков внешних событий для таймеров/счетчиков T/C0 и T/C1. Вывод P3.1 можно использовать как выход тактового сигнала в синхронном режиме. Выводы P3.6 и P3.7 порта P3 служат для выдачи сигналов разрешения записи и чтения байта внешнего ЗУ данных через порт P0.

При работе с последовательным портом выводы P3.0 и P3.1 используются как вход и выход последовательного канала.

Вывод P1.0 можно использовать как вход счетчика внешних событий для таймера/счетчика T/C2, P1.1 - для управления перезагрузкой/защелкиванием информации в регистры таймера/счетчика T/C2.

Запись в порт. При выполнении команды, которая изменяет содержимое регистра-защелки порта, новое значение фиксируется в регистре в момент S6F2 последнего цикла команды. Однако опрос содержимого регистра-защелки выходной схемой осуществляется во время фазы F1 и, следовательно, новое содержимое регистра-защелки появляется на выходных контактах порта только в момент S1F1 следующего машинного цикла.

Имеются два способа считывания информации из портов: с фиксатора порта или непосредственно с вывода в зависимости от кода инструкции. Обращение к портам ввода/вывода возможно с использованием команд, оперирующих с байтом, отдельным битом и произвольной комбинацией бит. При этом в тех случаях, когда порт является одновременно операндом и местом назначения результата, устройство управления автоматически реализует специальный режим, который называется "чтение - модификация - запись".

Име.№ под. 445.4

Подп.и дата

Взам.име.№ : 445.3

Име.№ дубл. :

Подп.и дата

					СКФН.431295.172 PЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		56
Изм	Лист	N докум.	Подп.	Дата		

Этот режим обращения предполагает ввод сигналов не с внешних выводов порта, а из его регистра-защелки, что позволяет исключить неправильное считывание ранее выведенной информации.

Ниже приведены инструкции, которые позволяют считывать содержимое с фиксатора, могут изменить его и затем снова записать в фиксатор.

ANL	P _i , операнд
ORL	R _i , операнд
XRL	P _i , операнд
JBC	P _{ij} , относительный адрес
CPL	P _{ij}
INC	P _i
DEC	P _i
DJNZ	P _i
MOV	P _{ij} , C
CLR	P _{ij}
SET	P _i

При использовании этих команд информация считывается с фиксатора порта P_i (i=0 ÷ 4) или его отдельного бита j=0,1,7, а не с вывода порта. Последние три команды в приведенном списке являются командами "чтение - модификация - запись". По этим командам сначала считывается байт из порта, а затем записывается новый байт в регистр-защелку.

Причиной, по которой команды "чтение - модификация - запись" обеспечивают отдельный доступ к регистру-защелке порта и к внешним выводам порта, является необходимость исключить возможность неправильного прочтения уровней сигналов на внешних выводах. Предположим для примера, что линия Y порта X соединяется с базой мощного транзистора и выходной сигнал на ней предназначен для его управления. Когда в данный бит записана "1", то транзистор включается. Если для проверки состояния исполнительного механизма (в нашем случае - мощного транзистора) прикладной программе требуется прочитать состояние выходного сигнала в том же бите порта, то считывание сигнала с внешнего вывода порта, а не из D-триггера регистра-защелки порта приведет к неправильному результату: единичный сигнал на базе транзистора имеет относительно низкий уровень и будет интерпретирован в ОЭВМ как сигнал "0". Команды "чтение - модификация - запись" реализуют считывание из регистра-защелки, а не с внешнего вывода порта, что обеспечивает получение правильного значения "1".

В инструкциях, в которых порт служит операндом-источником, информация считывается непосредственно с выводов порта.

Например: ADD A, P1 - содержимое аккумулятора складывается с содержимым порта P1.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		57
Изм	Лист	№ докум.	Подп.	Дата		

4.4.2 Последовательный порт ОЭВМ используется как для расширения ввода/вывода, так и в качестве универсального асинхронного приемопередатчика (УАПП) с фиксированной или переменной скоростью последовательного обмена. Предусмотрена также возможность дуплексного включения (т.е. через последовательный порт можно принимать и передавать данные одновременно).

В состав УАПП входят принимающий и передающий сдвигающие регистры, а также специальный буферный регистр (SBUF) приемопередатчика.

Кроме того, работой последовательного порта управляют два служебных регистра:

- регистр управления/статуса приемопередатчика SCON;
- бит SMOD регистра управления мощностью PCON.

Запись байта в буфер приводит к автоматической переписи байта в сдвигающий регистр передатчика и инициирует начало передачи байта. Наличие буферного регистра приемника позволяет совмещать операцию чтения ранее принятого байта с приемом очередного байта. Если к моменту окончания приема байта предыдущий байт не был считан из SBUF, то он будет потерян.

В таблице 17 приведен ряд стандартных скоростей последовательного интерфейса (режимы "0", "2") и то, как они могут быть реализованы с помощью таймера/счетчика T/C1 в режимах "1", "3". В таблице 18 приведены скорости последовательного интерфейса в режимах "1", "3", задаваемые с помощью таймера/счетчика T/C2 (на рабочей частоте 20 МГц), а также требуемая рабочая частота для обеспечения скорости 19200 бод в зависимости от значения содержимого регистров RCAP2H, RCAP2L. Общее выражение для вычисления скорости и состояния флагов в зависимости от режима приема/передачи приведены в таблице 19.

Прием и выдача байта данных начинается с младшего разряда и заканчивается старшим разрядом. Для разрешения приема необходимо установить "1" в разряде REN регистра SCON.

Последовательный порт может быть запрограммирован на один из четырех режимов приема/передачи путем установления двух старших разрядов SM0 и SM1 регистра SCON. Организация работы с последовательным портом осуществляется в соответствии с режимами.

В режиме "0" последовательный порт работает как восьмиразрядный сдвиговый регистр для синхронизации приема и передачи. В этом режиме информация и передается и принимается через внешний вывод входа приемника P3.0. Принимаются или передаются 8 бит данных. Через внешний вывод выхода передатчика P3.1 выдаются импульсы сдвига, которые сопровождают каждый бит. Частота передачи бита информации равна 1/12 частоты резонатора.

Передача данных начинается через один машинный цикл после выполнения команды "Запись в SBUF" и завершается установкой флага TI в регистре SCON во время девятого машинного цикла.

Прием производится на протяжении восьми машинных циклов, начиная со второго по девятый, от момента, когда выполнится условие: содержимое разрядов REN и RI в регистре SCON равно соответственно "1" и "0".

В девятом машинном цикле устанавливается флаг конца приема RI.

В режиме "1" прием/передача данных осуществляется в формате восьмиразрядного УАПП. Посредством выводов микросхемы P3.1 и P3.0 соответственно передаются/принимаются 10 бит, в том числе 8 бит данных, старт- и стоп-биты, причем функция восьмого информационного бита определяется программно.

Име. № под. 445.4

Подп. и дата

Взам. инв. № : Инв. № дубл. 445.3

Подп. и дата

Подп. и дата

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		58
Изм	Лист	№ докум.	Подп.	Дата		

Скорость приема/передачи в этом режиме – величина переменная и задается либо таймером/счетчиком T/C1, либо таймером/счетчиком T/C2. Выбор того или иного таймера/счетчика определяется битом TCLK в регистре T2CON:

- при TCLK="0" скорость задается таймером/счетчиком T/C1;
- при TCLK="1" скорость задается таймером/счетчиком T/C2.

Таблица 17 - Типовые значения скоростей последовательного обмена информацией и переменные значения, задаваемые с помощью T/C1

Режим работы последовательного порта	Скорость приема/передачи, кбод	Частота тактового генератора $f_{\text{ХГ}}$, МГц	Регистр SMOD	Разряды регистра TMOD			Содержимое регистра TH1	Примечание
				C/T	M1	M0		
0	1000	12	X	X	X	X	-	
2	375	12	1	X	X	X	-	
1, 3	62.5	12	1	0	1	0	FFH	
1, 3	19.2	11,059	1	0	1	0	FDH	
1, 3	9.6	11,059	0	0	1	0	FDH	
1, 3	4.8	11,059	0	0	1	0	FAH	
1, 3	2.4	11,059	0	0	1	0	F4H	
1, 3	1.2	11,059	0	0	1	0	E8H	
1, 3	0,1375	11,986	0	0	1	0	18H	
1, 3	0,110	6	0	0	1	0	72H	
1, 3	0,110	12	0	0	0	1	FEH	TL1=EBH

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		59

Таблица 18 - Значения скоростей последовательного обмена информацией, задаваемые с помощью T/C2

Содержимое регистров (RCAP2H,L)	Коэффициент деления таймера 2 65536-(RCAP2H,L)	Скорость последовательного обмена, бод	Требуемая частота тактового генератора $f_{\text{ХЛ}}$, МГц, для скорости 19200 бод
65 535	1	312500,00	1228800
65 534	2	156250,00	2457600
65 533	3	104166,67	3686400
65 532	4	78125,00	4915200
65 531	5	62500,00	6144000
65 530	6	52083,33	7372800
65 529	7	44642,86	8601600
65 528	8	39062,50	9830400
65 527	9	34722,22	11059200
65 526	10	31250,00	12288000
65 525	11	28409,09	13516800
65 524	12	26041,67	14745600
65 523	13	24038,46	15974400
65 522	14	22321,43	17203200
65 521	15	20833,33	18432000
65 520	16	19531,25	19660800
65 519	17	18382,35	20889600

Примечание - Бит SMOD=0 (при SMOD=1 скорость обмена в два раза выше)

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		60

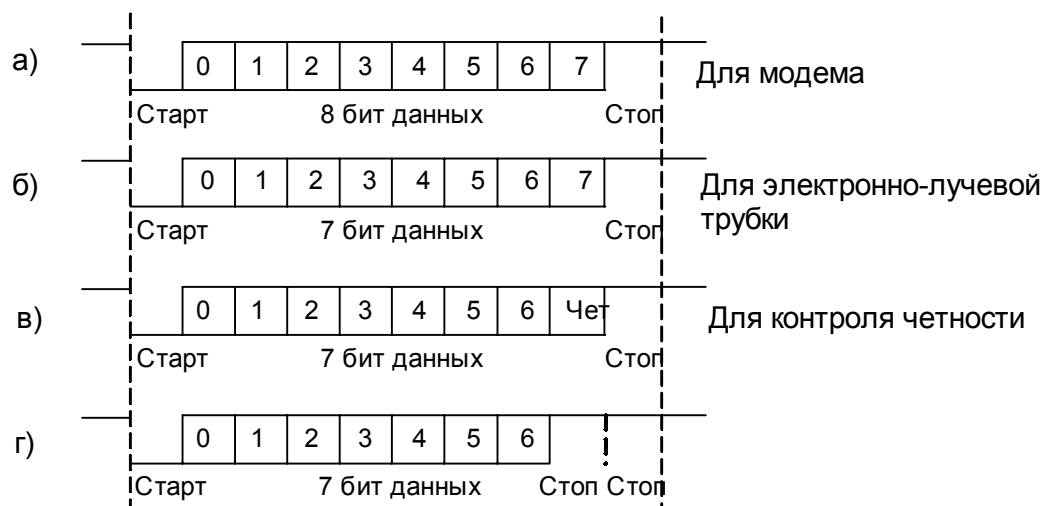
Таблица 19 - Типовые значения скорости передачи в зависимости от режима

Режим обмена	Вид обмена	Разряды регистра SCON							Скорость передачи	Примечание		
		SM0	SM1	SM2	REN	TB8	RB8	Флаг				
0	Передача	0	0	0	-	-	-	TI	$f_{X1}/12$	Для инициализации приема установить флаг RI="0"		
	Прием				1			RI				
1	Передача	0	1	-	-	-	-	TI	$(2^{SMOD}/32) \times f_{OV}$	-		
	Прием			0				1			-	RI
				1							Стоп-бит	
2	Передача	1	0	-	-	9-й бит данных	-	TI	$(2^{SMOD}/64) \times f_{X1}$	-		
	Прием			0		1		9-й бит данных			RI	
				1				1				
								0			-	
3	Передача	1	1	-	-	9-й бит данных	-	TI	$(2^{SMOD}/32) \times f_{OV}$	-		
	Прием			0		1		9-й бит данных			RI	
				1				1				
								0			-	
										По флагу RI разряда SM2 сбрасывается		

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		61

Форматы данных при работе с последовательным портом показаны на рисунке 35.



Чет - бит четности

Рисунок 35 - Форматы данных при работе с последовательным портом

Передача в режиме "1" активизируется по команде "Запись в SBUF", но старт-бит поступает на вывод P3.1 только в машинном цикле, следующим за очередным сбросом счетчика переполнений T/C1 с коэффициентом деления 1:16, т.е. не позже, чем через 16 переполнений T/C1. Каждый передаваемый бит удерживается на выводе P3.1 только на время между двумя последующими сбросами счетчика переполнений. После десятого сброса в результате переполнения устанавливается флаг T1 в регистре SCON.

Прием в режиме "1" инициируется при обнаружении на выводе P3.0 перехода от высокого уровня напряжения к низкому. При этом счетчик переполнений сбрасывается. Затем с частотой, в 16 раз превышающей скорость обмена, происходит опрос вывода P3.0. Моменты сброса счетчика переполнений совпадают с началом состояния ожидания очередного поступающего бита. Значение бита выбирается по двум выборкам из трех, производимых в промежутках между шестым и седьмым, седьмым и восьмым, восьмым и девятым сбросами счетчика переполнений. Прием считается действительным, если выполнены следующие условия: в регистре SCON содержимое разряда RI равно нулю, а содержимое разряда SM2 равно нулю или принятый стоп-бит равен "1". В этом случае стоп-бит поступает в разряд RB8, данные - в регистр SBUF, а флаг RI устанавливается в "1". Если хотя бы одно условие не соблюдается, принятый байт информации теряется.

Режимы "2" и "3" - это режимы девятиразрядного УАПП с постоянной (режим "2") и переменной (режим "3") скоростью обмена. В этом случае 11 бит передаются/принимаются соответственно на выводах P3.1 и P3.0 в следующей последовательности: старт-бит, девятый бит данных, стоп-бит. Девятый бит данных определяется содержимым разрядов TB8 при передаче и содержимым разрядов RB8 при приеме бит, принадлежащих регистру SCON.

Подп. и дата
 Подп. и дата
 Инв. № под.
 445.4
 Взам. инв. № : Инв. № дубл.
 445.3

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		62
Изм	Лист	№ докум.	Подп.	Дата		

На рисунке 36 показаны варианты форматов, используемых в режимах девятиразрядного УАПП.



Чет - бит четности

A/d - бит признака адрес/данные

Рисунок 36 - Форматы данных при работе с последовательным портом (режим "1")

Режим "3" последовательного порта программируется аналогично режиму "1" с учетом девятиразрядной передачи. Флаг RI в режиме "3" устанавливается в момент девятого бита, а не стоп-бита, как в режиме "1". Переменная скорость приема/передачи в режиме "3" задается либо таймером/счетчиком T/C1, либо таймером/счетчиком T/C2 (аналогично режиму "1"). Выбор того или иного таймера/счетчика определяется битом TCLK в регистре T2CON.

Режим "2" последовательного порта отличается от режима "3" лишь скоростью приема/передачи и тем, что в режиме "2" прием синхронизируется внешней частотой, а не частотой переполнения T/C1 или T/C2.

В режимах "2" и "3" для организации многопроцессорной работы используется бит SM2 в регистре SCON. Если бит SM2 устанавливается в "1", то при условии, что бит RB8="0", происходит прерывание от последовательного порта и принятая информация не фиксируется в регистре SBUF. Такая организация соответствует передаче данных в мультипроцессорной системе. Состояние принятого девятого байта равно "1" при условии, что бит SM2="1" воспринимается как признак передачи адреса выбранного устройства. При этом адресуемый процессор выполняет прерывание от последовательного порта и сбрасывает бит SM2.

В командах инициализации "Чтение SBUF" и "Запись SBUF" одного из четырех режимов приема/передачи идентификатор SBUF относится к двум независимым регистрам: SBUF - регистр передаваемого слова, в который возможна только запись, и SBUF - регистр принятого слова, доступный только для чтения.

В режиме "0" (биты SM0, SM1, а также флаг окончания приема RI в регистре SCON должны быть обнулены) частота пересылки одного бита (скорость последовательного обмена) $F_{П0}$, МГц, максимальна и определяется по формуле

$$F_{П0} = f_{Х1}/12, \quad (3)$$

где $f_{Х1}$ - частота тактового генератора, МГц.

Подп. и дата
445.3
Взам. инв. № : Инв. № дубл.
445.4
Инд. № под.
Подп. и дата

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		63
Изм	Лист	№ докум.	Подп.	Дата		

При необходимости работы с переменной скоростью используется режим "2" последовательного порта (биты SM0 и SM1 регистра SCON устанавливаются соответственно в "1" и "0"). В этом режиме скорость последовательной передачи $F_{П2}$, МГц, зависит от состояния бита SMOD и определяется по формуле

$$F_{П2} = (2^{SMOD} / 64) f_{Х1}, \quad (4)$$

где $f_{Х1}$ - частота тактового генератора, МГц.

По сигналу сброса бит SMOD в регистре PCON устанавливается в "0". Установка бита SMOD в "1" осуществляется программно, например, с помощью команды MOV 87H,#80H.

В режимах "1" и "3" также имеется возможность изменить скорость последовательной передачи. Скорость последовательной передачи $F_{П1}$, $F_{П3}$, МГц, определяется по формуле

$$F_{П1} = F_{П3} = (2^{SMOD} / 32) f_{OV}, \quad (5)$$

где f_{OV} - частота переполнения таймера (T/C1 или T/C2), МГц.

При этом напомним, что таймер/счетчик T/C1 инкрементируется один раз в течение машинного цикла, а T/C2 - шесть раз.

Для использования T/C1 в качестве источника для задания частоты $F_{П1}$ или $F_{П3}$ необходимо:

- сбросить бит TCLK в регистре T2CON (TCLK=0);
- запретить прерывания, поступающие от T/C1;
- запрограммировать работу T/C1 в качестве таймера, установив при этом для него один из режимов "0", "1" или "2";
- запустить T/C1 на счет.

Обычно для синхронизации последовательного порта таймер/счетчик T/C1 включается в режим автозагрузки (старшие разряды регистра TMOD содержат двоичный код 0010).

В этом случае скорость приема/передачи $F_{П1,3}$, бит/с, определяется по формуле

$$F_{П1,3} = (2^{SMOD} \times f_{Х1}) / (32 \times 12 \times [256 - (TH1)]), \quad (6)$$

где (TH1) - десятичный код содержимого регистра TH1.

При использовании в качестве источника задания скорости последовательной передачи данных таймера/счетчика T/C2 скорость передачи в бодах равна 1/16 скорости его переполнения. При этом последний может работать как в режиме таймера, так и в режиме счетчика. Как генератор скорости передачи в бодах T/C2 инкрементирует свое значение с частотой, равной $f/2$.

Скорость передачи $F_{П1,3}$, бод, в зависимости от состояния бита SMOD в регистре PCON и значений содержимого регистров RCAP2L, RCAP2H определяется отношением

$$F_{П1,3} = (2^{SMOD} \times f_{Х1}) / (32 \times 2 \times [65536 - (RCAP2H, RCAP2L)]), \quad (7)$$

где $f_{Х1}$ - частота тактового генератора, МГц;
(RCAP2H, RCAP2L) - содержимое регистров RCAP2H и RCAP2L, взятое как 16-битное целое без знака.

Подп. и дата
 Подп. и дата
 Взам. инв. № : Инв. № дубл
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		64
Изм	Лист	N докум.	Подп.	Дата		

Если необходим последовательный обмен с очень низкой скоростью, то можно использовать Т/С1 в режиме шестнадцатиразрядного таймера, разрешив при этом прерывание от Т/С1 с целью перезагрузки регистров TL1 или TH1 в подпрограмме обслуживания прерывания.

Функциональная схема задания скорости обмена показана на рисунке 37.

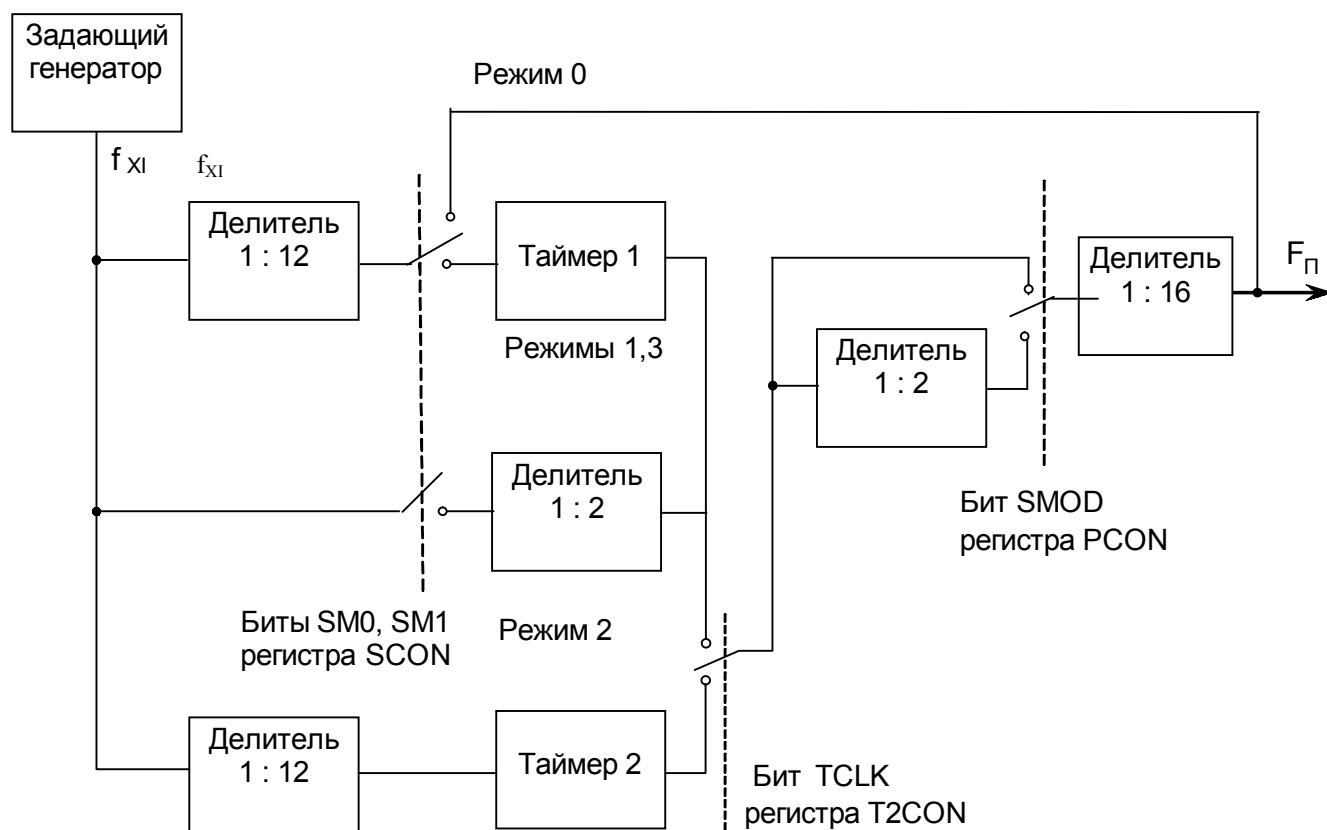


Рисунок 37 - Функциональная схема задания скорости обмена для последовательного порта

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		65

4.5 Структура прерываний

4.5.1 Механизм прерываний в ОЭВМ позволяет автоматически реагировать на внешние и внутренние события (переполнение таймеров/счетчиков, завершение последовательного обмена). Алгоритм обработки прерывания при обнаружении запроса прерывания показан на рисунке 38.

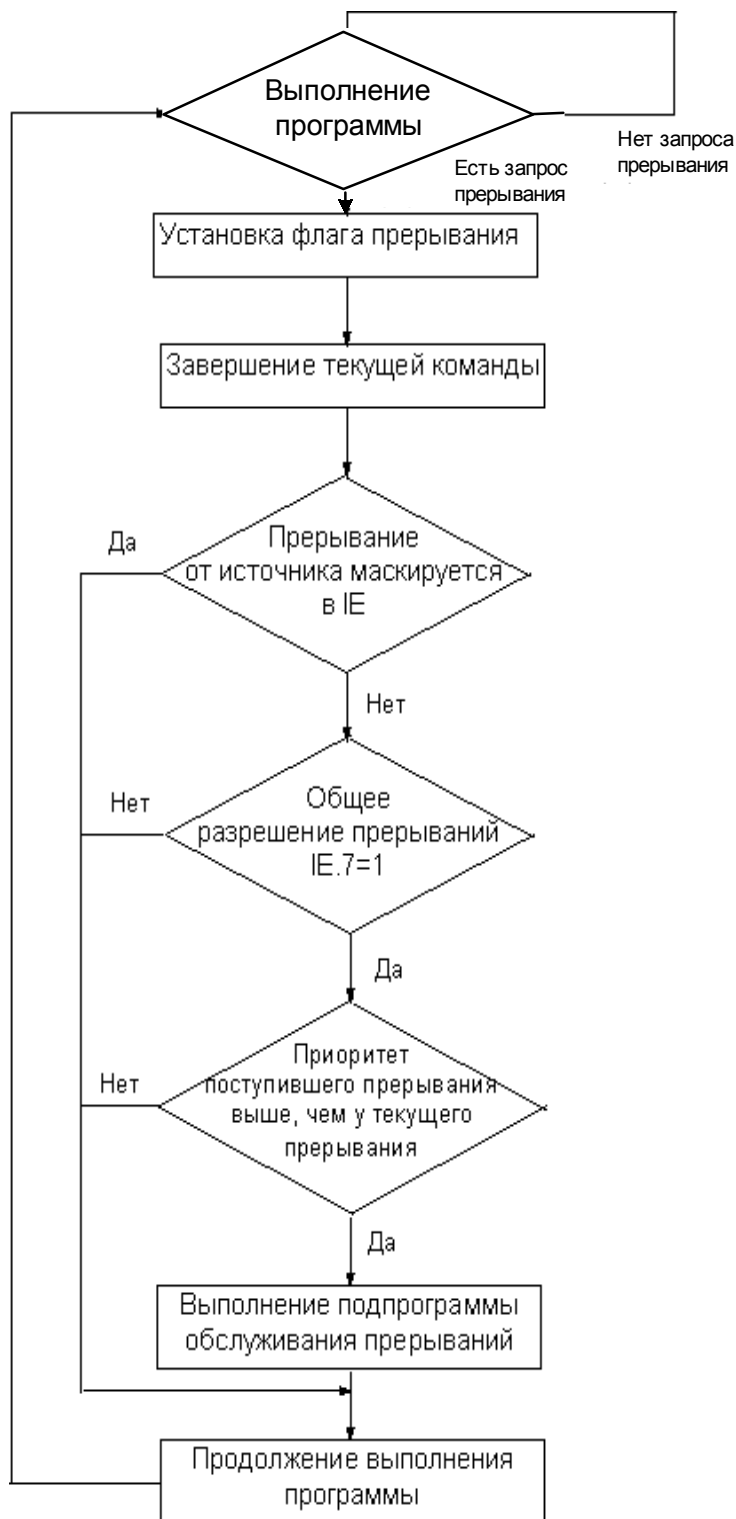


Рисунок 38 - Алгоритм обработки прерывания

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жартун	17.09.13
Изм	Лист	№ докум.	Подп.	Дата

СКФН.431295.172 РЭ

Лист

66

4.5.2 Каждое из внешних прерываний, поступающее на выходы РЗ.2, РЗ.3, может быть активизировано по уровню или по фронту сигналов РЗ.2, РЗ.3 с помощью битов IT0 и IT1 регистра TCON. При поступлении запроса внешнего прерывания на вывод РЗ.2 (РЗ.3) устанавливается флаг IEX* регистра TCON. Очистка флага IEX производится аппаратно: при прерывании по фронту флаг IEX сбрасывается (при обращении к соответствующей подпрограмме обработки прерывания); при прерывании по уровню флаг очищается (при снятии запроса внешнего прерывания), то есть в флаге IEX отслеживается состояние вывода РЗ.2 (РЗ.3).

4.5.3 Чтобы внешнее прерывание по уровню было распознано, необходимо, чтобы низкий уровень на выводе РЗ.2 (РЗ.3) удерживался в течение не менее 12 периодов сигнала тактовой частоты. Это объясняется тем, что проверка выводов ОЭВМ РЗ.2, РЗ.3 выполняется внутренними аппаратными средствами ОЭВМ один раз в каждом машинном цикле. В случае внешнего прерывания по фронту флаг IEX будет установлен, если две последовательные проверки входа РЗ.2 (РЗ.3) покажут в одном машинном цикле "1", а в следующем "0". Поэтому, если внешнее прерывание активизируется по переходу из состояния высокого уровня в состояние низкого уровня, то минимум одному машинному циклу низкого уровня должен предшествовать минимум один машинный цикл высокого уровня на выводе РЗ.2 (РЗ.3). Если внешнее прерывание активизируется по уровню, то запрос должен удерживаться до начала обслуживаемой подпрограммы и сниматься перед завершением этой подпрограммы для предотвращения повторного обслуживания.

4.5.4 Прерывания от таймеров/счетчиков выполняются установкой флагов TF0, TF1 регистра TCON и TF2 регистра T2CON, которые устанавливаются при переполнении соответствующих регистров таймеров/счетчиков (за исключением режима "3"). Очистка флагов TF0 и TF1 происходит при переходе к подпрограмме обслуживания прерывания, флаг TF2 сбрасывается программно.

4.5.5 Прерывание от последовательного порта выполняется по флагу окончания приема RI или по флагу окончания передачи TI, которые устанавливаются в регистре SCON.

В отличие от всех остальных флагов, флаги RI и TI сбрасываются только программным путем обычно в пределах подпрограммы обработки прерывания, где определяется, какому из флагов (RI или TI) соответствует прерывание.

4.5.6 Следует иметь в виду, что в ОЭВМ имеются программные средства, искусственно вызывающие прерывание, устанавливающие или очищающие соответствующие биты регистров IE и IP, как показано в нижеследующем примере.

```

Пример – MAIN:  MOV IE, #00000101B ; Разрешение прерывания от INT0, INT1.
                MOV IP, #04H      ; Присвоение INT1 старшего приоритета.
                SET EA             ; Общее разрешение прерывания.
                MOV P3, #11110011B ; Имитация внешних прерываний.
SUBR:   ORG013H      ; Переход к подпрограмме обслуживания INT1.
  
```

В предложенном примере запросы прерывания с выводов РЗ.2 и РЗ.3, имеющие разный приоритет, поступают одновременно. При этом обслуживается прерывание с высшим приоритетом по запросу.

4.5.7 Необходимым условием прерывания должно быть разрешение установленных в регистре IE бита EA и бита, ответственного за данный тип прерывания. В случае одновременного поступления запросов прерывания с одинаковым уровнем приоритета, равным "0" или "1", обработка их производится в порядке внутреннего опроса флагов:

IE0 → TF0 → IE1 → TF1 → ИМК → (TI + RI) → (TF2 + EXF2).

* IEX – условное обозначение IE0, IE1.

Инв. № под. 445.4
 Подп. и дата
 Взам. инв. № : Инв. № дубл. 445.3
 Подп. и дата

					СКФН.431295.172 РЭ	<i>Лист</i>
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		67
<i>Изм</i>	<i>Лист</i>	<i>N докум.</i>	<i>Подп.</i>	<i>Дата</i>		

4.5.8 Установка всех флагов прерывания (за исключением TF2) происходит в конце машинного цикла (в событии S5F2), а их опрос - в том или ином событии следующего машинного цикла в соответствии с индивидуальным уровнем приоритета каждого. Флаг переполнения таймера/счетчика T/C2 TF2 устанавливается в событии S2F2 и его опрос производится уже в текущем машинном цикле. Но только после выполнения последнего цикла текущей команды производится аппаратный вызов соответствующей подпрограммы обслуживания, эквивалентный команде LCALL.

Флаги IE0, IE1, TF0, TF1, TF2, EXF2, TI, RI устанавливаются независимо от того, разрешено или нет соответствующее прерывание в регистре IE.

4.5.9 В общем случае обращение к подпрограмме обслуживания задерживается при выполнении хотя бы одного из следующих условий:

- производится обработка прерывания с таким же или высшим приоритетом;
- текущий машинный цикл (цикл опроса флага) не является последним циклом выполняемой команды;
- выполняется команда RETI текущей программы или любая команда обращения к регистрам IE, IP.

В последнем условии после окончания одной из вышеуказанных команд обязательно выполняется еще одна команда текущей программы перед вызовом подпрограммы обслуживания прерывания.

4.5.10 Флаг прерывания, установленный во время действия блокировки прерывания по одному из трех указанных условий и сброшенный до их снятия, не вызовет обслуживания соответствующего запроса прерывания.

4.5.11 Если запрос прерывания с более высоким уровнем приоритета зафиксирован во время аппаратного вызова подпрограммы обслуживания, а именно в первом цикле исполнения аппаратной команды LCALL, то по окончании процедуры текущего вызова сразу же начнет выполняться процедура аппаратного вызова по поступившему запросу.

4.5.12 Аппаратно-реализуемая команда LCALL загружает содержимое счетчика команд PC в стек (без запоминания в регистре PSW), затем в программный счетчик PC записывается адрес соответствующей подпрограммы обработки прерывания:

- адрес подпрограммы 0003H (источник прерывания IE0);
- адрес подпрограммы 000BH (источник прерывания TF0);
- адрес подпрограммы 0013H (источник прерывания IE1);
- адрес подпрограммы 001BH (источник прерывания TF1);
- адрес подпрограммы 0023H (источник прерывания TI+RI);
- адрес подпрограммы 002BH (источник прерывания TF2+EXF2);
- адрес подпрограммы 0033H (источник прерывания M_CI+M_RI).

При выполнении аппаратно-реализуемой команды LCALL в ячейку стека с младшим адресом загружаются разряды 0-7 счетчика команд, а в следующую ячейку стека - разряды 8-15 счетчика команд.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		68
Изм	Лист	N докум.	Подп.	Дата		

Подпрограмма обслуживания продолжается до выполнения команды RETI. Команда RETI восстанавливает состояние логики прерывания и загружает в счетчик команд РС два байта адреса возврата из двух верхних ячеек стека. Восстановление состояния логики прерывания заключается в следующем: при переходе по вектору на подпрограмму обработки прерывания автоматически до выполнения команды RETI независимо от состояния бит регистра IE запрещаются все прерывания с уровнем приоритета, равным уровню приоритета обслуживаемого прерывания, т. е. вложенные прерывания с равными уровнями приоритета невозможны. Команда RETI снимает этот запрет. При использовании команды RETI восстанавливается только состояние счетчика команд, т. е. происходит возврат в прерванную программу. Состояние логики прерывания команда RETI не меняет, т. е. логика управления обслуживанием прерываний по-прежнему считает, что продолжает обслуживаться прерывание, подпрограмма обработки которого была закончена командой RETI.

4.5.13 В ОЭВМ может быть реализована организация пошагового режима работы с использованием особенностей системы прерывания при очень небольших затратах в плане дополнительного программного обеспечения. Как уже отмечалось, при переходе по вектору на подпрограмму обработки прерывания автоматически до выполнения команды RETI запрещаются все прерывания с уровнем приоритета, равным уровню приоритета обслуживаемого прерывания. После выполнения команды RETI обязательно будет выполнена минимум одна команда прерванной программы, после чего возможен следующий переход на обработку прерывания.

Использовать эту особенность для организации пошагового режима можно следующим образом:

- запрограммировать одно из внешних прерываний (к примеру, INT0) на активизацию по уровню;

- закончить подпрограмму обработки прерывания от INT0 следующей последовательностью команд:

LABEL1: JNB P3.2.LABEL1 ;ожидание "1" на входе P3.2;

LABEL2: JB P3.2,LABEL2 ; ожидание "0" на входе P3.2;

RETI ; возврат и исполнение одной команды;

-здать на входе P3.2 постоянный уровень "0" с возможностью подачи единичных импульсов, к примеру, с помощью кнопки "ШАГ".

После того, как указанные манипуляции выполнены, будет происходить следующее: выполнится одна команда основной программы, после чего управление будет передано подпрограмме обработки прерывания по $\overline{INT0}$, которая не сможет завершиться до тех пор, пока на входе P3.2 не будет зафиксирован импульс "0"- "1"- "0". После прохождения такого импульса, задаваемого кнопкой "ШАГ", выполнится команда RETI. Управление возвратится в основную программу, где будет выполнена одна команда, после чего вновь начнет обрабатываться прерывание по $\overline{INT0}$. Таким образом, одно нажатие кнопки "ШАГ" (один импульс "0"- "1"- "0" на входе P3.2) вызывает выполнение одной команды основной программы.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		69
Изм	Лист	№ докум.	Подп.	Дата		

4.6 Организация памяти

4.6.1 Архитектура ОЭВМ предполагает наличие нескольких различных физических адресных пространств, функционально разделенных на уровне оборудования за счет разницы в механизмах адресации и сигналов управления записью и чтением:

- внутренняя память программ;
- внешняя память программ;
- внутренняя память данных;
- внешняя память данных;
- регистры специальных функций.

4.6.2 Память программ имеет 16-битовую адресную шину, ее элементы адресуются с использованием счетчика команд (РС) или инструкций, которые вырабатывают 16-разрядные адреса. Память программ доступна только по чтению. ОЭВМ не имеет команд и управляющих сигналов, предназначенных для записи в память программ. Память программ имеет байтовую организацию и общий объем до 64 Кбайт. ОЭВМ содержит расположенную на кристалле внутреннюю память программ емкостью 8 Кбайт, которая может быть расширена до 64 Кбайт за счет подключения микросхем внешней памяти программ. Таким образом, внутренняя и внешняя память программ разделены в соотношении 8 К/56 К.

Внутренняя память программ представляет собой масочное ПЗУ.

4.6.3 С точки зрения программиста имеется только один вид памяти программ объемом 64 К. Тот факт, что он образуется комбинацией массивов, находящихся на кристалле и вне его, в соотношении 8 К/56 К для программиста неощутим, так как АЛУ автоматически выбирает байт из соответствующего массива в соответствии с его адресом.

Сигналом, стробирующим выборку и ввод байта из внешней памяти программ в ОЭВМ, является сигнал \overline{PSEN} . Этот сигнал формируется только в том случае, если адрес в счетчике команд превосходит максимальный адрес внутренней памяти программ 1FFFFH (т. е. для выборок из внутренней памяти программ \overline{PSEN} не формируется).

ОЭВМ имеет внешний вывод \overline{EA} , с помощью которого можно запретить работу внутренней памяти программ, для чего необходимо подать на вывод \overline{EA} "0". При этом внутренняя память программ отключается и, начиная с нулевого адреса, все обращения происходят к внешней памяти программ с формированием сигнала \overline{PSEN} . В случае, если $\overline{EA}=1$, работают и внутренняя и внешняя память программ. Для работы только с внешней памятью программ всегда необходимо задавать $\overline{EA}=0$.

4.6.4 Массив программной памяти хранит информацию даже при потере питания. Эта память может использоваться для информационных целей. Каждый раз при включении питания производится инициализация величин, калибровка постоянных, привязка таблиц распределения клавиатуры и т.д.

4.6.5 Доступ к внешней памяти программ осуществляется в двух случаях:

- при действии сигнала $\overline{EA}=0$;
- в любом случае, если РС содержит число больше, чем 1FFFFH.

4.6.6 Внешняя память программ подключается через вентили на шину внешних данных сигналом \overline{PSEN} , который не активизируется для внутренних выборок. Если центральный процессор осуществляет доступ к внешней программной памяти, то сигнал \overline{PSEN} вырабатывается дважды во время каждого цикла (исключение составляет команда MOVX), независимо от того, необходим выбираемый байт для текущей команды или нет. При выборке из внешней памяти программ всегда используется 16-битовый адрес, младший байт которого выдается через порт P0, а старший байт - через порт P2. Байт из внешней памяти программ вводится в ОЭВМ через порт P0, который в этом случае используется как шина адреса/данных в режиме мультиплексирования.

Име. № под. 445.4

Подп. и дата

Взам. инв. № : Инв. № дубл. 445.3

Подп. и дата

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		70
Изм	Лист	N докум.	Подп.	Дата		

В таблице 20 приведены адреса памяти программ, которые, как правило, отводятся под обработку прерываний и начало работы ОЭВМ после сброса.

Таблица 20 - Адреса памяти программ под обработку прерываний и начало работы ОЭВМ после сброса

Источник прерывания	Адрес
Внешнее прерывание "0"	0003H
Переполнение таймера "0"	000BH
Внешнее прерывание "1"	0013H
Переполнение таймера "1"	001BH
Последовательный порт	0023H
Переполнение таймера "2"	002BH
ИМК	0033H

4.6.7 Внутренняя область памяти данных (256 байт) разделена на 128 младших байт оперативной памяти (ОЗУ) с прямой и косвенной адресацией, 128 старших байт только с косвенной адресацией и 128 байт регистров специальных функций.

Режимы адресации описаны в описании системы команд. Распределение пространства внутренней памяти данных показано на рисунке 39. Младшие 32 байта внутреннего ОЗУ данных сгруппированы в четыре банка по восемь регистров в каждом (БАНК0-БАНК3). Команды программы могут обращаться к регистрам, используя их имена R0-R7. Два бита PSW (указатели банка рабочих регистров RS0 и RS1) определяют, с регистрами какого банка производятся манипуляции. Наличие такого механизма работы с ячейками ОЗУ позволяет экономить память программ, т. к. команды, работающие с регистрами R0-R7, короче команд, использующих прямую адресацию. Следующие после банков регистров внутреннего ОЗУ данных 16 байт (адрес 20H-2FH) образуют область ячеек, к которым возможна побитовая адресация. Набор команд ОЭВМ содержит значительное количество инструкций, позволяющих работать с отдельными битами, используя при этом прямую адресацию. 128 бит, составляющих рассматриваемую область внутреннего ОЗУ данных, имеют адреса 00H-7FH и предназначены для работы с такими инструкциями. Следующие (верхние) 128 байт могут быть доступны только при косвенной адресации.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		71

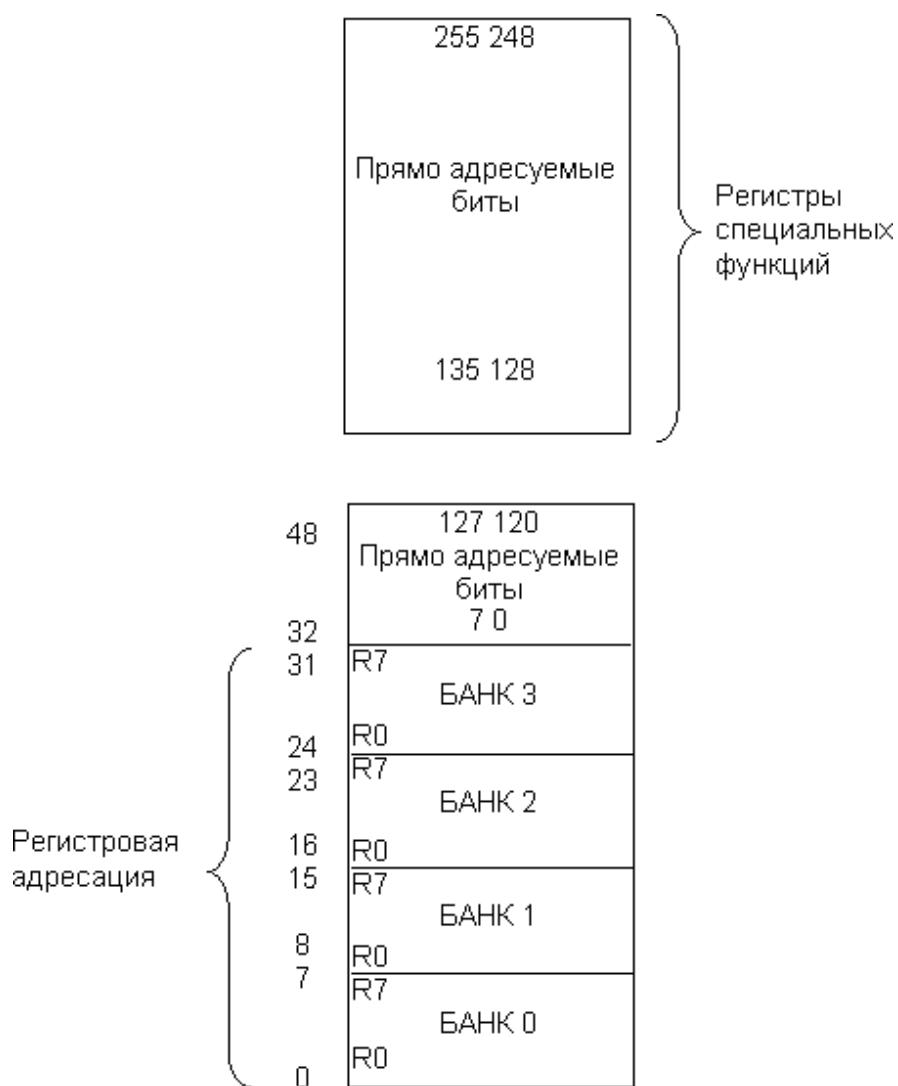


Рисунок 39 - Адресное поле внутренней памяти данных

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		72
Изм	Лист	N докум.	Подп.	Дата		

Битовая адресация ОЗУ показана на рисунке 40, где в квадратах, символизирующих биты, указаны их адреса.

Адрес байта	Старший бит							Младший бит	
2FH	7F	7E	7D	7C	7B	7A	79	78	
2EH	77	76	75	74	73	72	71	70	
2DH	6F	6E	6D	6C	6B	6A	69	68	
2CH	67	66	65	64	63	62	61	60	
2BH	5F	5E	5D	5C	5B	5A	59	58	
2AH	57	56	55	54	53	52	51	50	
29H	4F	4E	4D	4C	4B	4A	49	48	
28H	47	46	45	44	43	42	41	40	
27H	3F	3E	3D	3C	3B	3A	39	38	
26H	37	36	35	34	33	32	31	30	
25H	2F	2E	2D	2C	2B	2A	29	28	
24H	27	26	25	24	23	22	21	20	
23H	1F	1E	1D	1C	1B	1A	19	18	
22H	17	16	15	14	13	12	11	10	
21H	0F	0E	0D	0C	0B	0A	09	08	
20H	07	06	05	04	03	02	01	00	
(1FH)	БАНК 3							R7	
(18H)								R0	
(17H)	БАНК 2							R7	
(10H)								R0	
(0FH)	БАНК 1							R7	
(08H)								R0	
(07H)	БАНК 0							R7	
(00)								R0	

Рисунок 40 - Битовая адресация ОЗУ

Обращение к внутреннему ОЗУ данных всегда осуществляется с использованием 8-разрядного адреса. При включении питания содержимое ОЗУ будет иметь случайное значение.

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		73
Изм	Лист	№ докум.	Подп.	Дата		

Инв. № под. 445.4
 Подп. и дата
 Взам. инв. № : Инв. № дубл 445.3
 Подп. и дата

4.6.8 Параллельно старшим 128 байтам ОЗУ в верхней области внутренней памяти данных (ячейки 128-255) расположены регистры специальных функций.

Область регистров специальных функций содержит защелки портов, регистры таймеров/счетчиков, регистры управления и т.п. Полный список регистров специальных функций с их адресами приведен в таблице 4. Эти регистры допускают только прямую адресацию. Тринадцать байт в области регистров специальных функций допускают как байтовую, так и побитовую адресацию. Побитовую адресацию допускают те регистры специальных функций, чей адрес заканчивается 000В. Биты в рассматриваемой области регистров специальных функций имеют адреса 80Н-F7Н.

4.6.9 Внешняя память данных формируется дополнительным контроллером памяти, подключаемыми к ОЭВМ, и может иметь емкость до 64 Кбайт. Пространства внутренней и внешней памяти данных не пересекаются, т.к. доступ к ним осуществляется с помощью разных команд. Для работы с внешней памятью данных существуют специальные команды MOVX, которые не влияют на внутреннюю память данных ОЭВМ. Таким образом, в системе могут одновременно присутствовать внутренняя память данных с адресами 00Н-FFН и внешняя память данных с адресами 0000Н-FFFFН.

Обращение к ячейкам внешней памяти данных осуществляется только с использованием косвенной адресации по регистрам R0 и R1 активного банка регистров внутреннего ОЗУ (команды типа MOV @Ri) или по регистру специальных функций DPTR (команды типа MOV @DPTR). Соответственно в первом случае будет формироваться 8-разрядный, а во втором случае 16-разрядный адреса внешней памяти данных.

При обращениях к внешней памяти данных адрес выводится через порт P0 (младший байт) и порт P2 (старший байт) ОЭВМ. Обмен байтом данных (запись и чтение) производится через порт P0 ОЭВМ, т. е. порт P0 используется как шина адреса/данных в режиме мультиплексирования.

Считывание данных из внешней памяти данных в ОЭВМ производится с помощью выходного сигнала ОЭВМ RD, а запись данных из ОЭВМ во внешнюю память данных с помощью выходного сигнала ОЭВМ WR.

Каждый тип внешней памяти (память программ, память данных) может быть добавлен независимо от другого и каждый использует те же адреса и шины данных, но различные сигналы управления.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		74
Изм	Лист	№ докум.	Подп.	Дата		

4.7 Режимы адресации

4.7.1 В ОЭВМ используется четыре режима адресации:

- регистровая адресация;
- прямая адресация;
- косвенная регистровая адресация;
- непосредственная адресация.

4.7.2 Регистровая адресация осуществляет доступ к восьми регистрам общего назначения R0-R7 выбранного банка. Три младших разряда кода операции инструкции указывают на один из используемых регистров. Выбор одного из четырех регистровых банков осуществляется программированием битов селектора банка (RS1, RS0) в регистре PSW.

Пример - MOV A, R1.

4.7.3 Прямая адресация является одним из способов обращения к младшим 128 байтам ОЗУ и единственным способом обращения к регистрам специальных функций SFR. В зависимости от назначения старшего бита байта адреса выбирается одно из двух физических адресных пространств (ОЗУ или SFR). Если прямая адресация обращена к регистрам SFR (адреса этих регистров приведены в таблице 4), то результат действия инструкции не определен.

4.7.4 Язык ассемблер допускает обращение к регистрам специальных функций при помощи цифрового адреса или соответствующего данному адресу предварительно определенного символического имени.

Пример - ADD A, 90H; ADD A, R1.

4.7.5 Косвенная регистровая адресация использует содержимое регистров R0 и R1 (выбранного банка регистров), которое определяет адрес младших 128 байт внутреннего ОЗУ или младшие 256 байт внешней памяти данных. Доступ к полному 64-килобайтному адресному пространству внешней памяти данных осуществляется с помощью шестнадцатитбитного указателя данных DPTR. Содержимое ячеек памяти, адресуемых таким образом, используется в качестве непосредственных данных.

Если содержимое регистра-указателя (R0, R1) превышает число 7FH для внутреннего ОЗУ и число FFH для внешней памяти данных, то результат операции непредсказуем.

Инструкции POP и PUSH также используют этот вид адресации. Указатель стека может находиться в любом месте внутреннего ОЗУ.

Пример –

- MOV A,@ R1 - чтение содержимого ОЗУ по адресу R1 в аккумулятор A;
- MOVX A,@ R0 - чтение содержимого внешней памяти данных по адресу R0 в аккумулятор A.

4.7.6 Непосредственная адресация использует в качестве операнда источника константу. Эта константа находится непосредственно в коде операции и не может быть изменена во время выполнения программ. В языке ассемблер константе предшествует символ #.

Пример –

- ADD A, # 0A3BCH;
- MOV A, # (12H+34).

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		75
Изм	Лист	N докум.	Подп.	Дата		

4.7.7 При необходимости оперативной адресации для просмотра таблиц данных, находящихся в любом месте внешней памяти программ, может быть использована косвенная адресация с переменным смещением. В этом случае используется программный счетчик PC или указатель данных DPTR.

Таким образом, адрес ячейки памяти программ определяется как сумма содержимого двух регистров A и PC или A и DPTR.

Пример –

- MOVC A, @ (A+PC);

- MOVC A, @ (A+DPTR).

5 Система команд

Система команд ОЭВМ включает базовых 111 команд, из которых 50 - однобайтные, 45 - двухбайтные, 16 - трехбайтные. Первый байт команд любого типа и формата всегда содержит код операции, второй и третий байты содержат либо адреса операндов, либо непосредственные операнды.

Большинство команд (37 однобайтных, 27 двухбайтных) выполняются за один машинный цикл, 45 команд выполняются за два машинных цикла (19 двухбайтных, 16 трехбайтных, 10 однобайтных). Однобайтные команды в большинстве случаев выполняются за один машинный цикл. Команды, требующие обращения к внешней памяти данных, к внешней памяти программ, а также команды RET и RETI выполняются за два машинных цикла. Две однобайтные команды DIV и MUL выполняются за четыре машинных цикла. В двухбайтных командах адрес приемника определяется первым, а источника - вторым байтом.

Перечень и описание команд ОЭВМ приведены на рисунке 41.

В таблице 21 приведены инструкции, влияющие на установку флагов.

В таблице 22 приведены обозначения и символы, используемые в системе команд.

Инв. № под.					Подп. и дата		
						445.4	
Взам. инв. №					Подп. и дата		
						445.3	
Инв. № дубл.					Подп. и дата		
						445.3	
4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ		Лист
Изм	Лист	№ докум.	Подп.	Дата			76

	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	
00	NOP 00XX 2	AJMP 00XX 2	LJMP 3	RR A	INC A	INC XX 2	INC @R0	INC @R1	INC R0	INC R1	INC R2	INC R3	INC R4	INC R5	INC R6	INC R7	00
10	JBC 2+X,Y, ±ZZ 3	ACALL 00XX 2	LCALL XXXX 3	RRC A	DEC A	DEC XX 2	DEC @R0	DEC @R1	DEC R0	DEC R1	DEC R2	DEC R3	DEC R4	DEC R5	DEC R6	DEC R7	10
20	JB 2+X,Y, ±ZZ 3	AJMP 01XX 2	RET	RL A	ADD A,#XX 2	ADD A,XX 2	ADD A,@R0	ADD A,@R1	ADD R0	ADD R1	ADD R2	ADD R3	ADD R4	ADD R5	ADD R6	ADD R7	20
30	JNB 2+X,Y, ±ZZ 3	ACALL 01XX 2	RETI	RLC A	ADDC A,#XX 2	ADDC A,XX 2	ADDC A,@R0	ADDC A,@R1	ADDC A,R0	ADDC A,R1	ADDC A,R2	ADDC A,R3	ADDC A,R4	ADDC A,R5	ADDC A,R6	ADDC A,R7	30
40	JC ±X 2	AJMP 02XX 2	ORL XX,A 2	ORL XX,#YY 3	ORL A,#XX 2	ORL A,XX 2	ORL A,@R0	ORL A,@R1	ORL A,R0	ORL A,R1	ORL A,R2	ORL A,R3	ORL A,R4	ORL A,R5	ORL A,R6	ORL A,R7	40
50	JNC ±X 2	ACALL 02XX 2	ANL XX,A 2	ANL XX,#YY 3	ANL A,#XX 2	ANL A,XX 2	ANL A,@R0	ANL A,@R1	ANL A,R0	ANL A,R1	ANL A,R2	ANL A,R3	ANL A,R4	ANL A,R5	ANL A,R6	ANL A,R7	50
60	JZ ±X 2	AJMP 03XX 2	XRL XX,A 2	XRL XX,#YY 3	XRL A,#XX 2	XRL A,XX 2	XRL A,@R0	XRL A,@R1	XRL A,R0	XRL A,R1	XRL A,R2	XRL A,R3	XRL A,R4	XRL A,R5	XRL A,R6	XRL A,R7	60
70	JNZ ±X 2	ACALL 03XX 2	ORL C,2+X .Y 2	JMP @A+ DPTR	MOV A,#XX 2	MOV XX,#YY 3	MOV @R0, #XX 2	MOV @R1, #XX 2	MOV R0,#XX 2	MOV R1,#XX 2	MOV R2,#XX 2	MOV R3,#XX 2	MOV R4,#XX 2	MOV R5,#XX 2	MOV R6,#XX 2	MOV R7,#XX 2	70
80	SJMP ±X 2	AJMP 04XX 2	ANL C,2+X .Y 2	MOVC A,@A+ PC	DIV AB	MOV XX,YY 3	MOV XX,@R0 2	MOV XX,@R1 2	MOV XX,R0 2	MOV XX,R1 2	MOV XX,R2 2	MOV XX,R3 2	MOV XX,R4 2	MOV XX,R5 2	MOV XX,R6 2	MOV XX,R7 2	80
90	MOV DPTR, #XXX 3	ACALL 04XX 2	MOV 2+X,Y, C 2	MOVC A,@A+ DPTR	SUBB A,#XX 2	SUBB A,XX 2	SUBB A,@R0 2	SUBB A,@R1 2	SUBB A,R0 2	SUBB A,R1 2	SUBB A,R2 2	SUBB A,R3 2	SUBB A,R4 2	SUBB A,R5 2	SUBB A,R6 2	SUBB A,R7 2	90
A0	ORL C,2+X .Y 2	AJMP 05XX 2	MOV C,2+X .Y 2	INC DPTR	MUL AB	-	MOV @R0,XX 2	MOV @R1,XX 2	MOV R0,XX 2	MOV R1,XX 2	MOV R2,XX 2	MOV R3,XX 2	MOV R4,XX 2	MOV R5,XX 2	MOV R6,XX 2	MOV R7,XX 2	A0
B0	ANL C,2+X .Y 2	ACALL 05XX 2	CPL 2+X,Y 2	CPL C	CJNE A,#XX, ±YY 3	CJNE A,XX, ±YY 3	CJNE @R0,#X ±Y 3	CJNE @R1,# X,±Y 3	CJNE R0,#XX, ±Y 3	CJNE R1,#XX, ±Y 3	CJNE R2,#XX, ±Y 3	CJNE R3,#XX, ±Y 3	CJNE R4,#XX, ±Y 3	CJNE R5,#XX, ±Y 3	CJNE R6,#XX, ±Y 3	CJNE R7,#XX, ±Y 3	B0
C0	PUSH XX 2	AJMP 06XX 2	CLR 2+X,Y 2	CLR C	SWAP A	XCH A,XX 2	XCH A,@R0	XCH A,@R1	XCH A,R0	XCH A,R1	XCH A,R2	XCH A,R3	XCH A,R4	XCH A,R5	XCH A,R6	XCH A,R7	C0
D0	POP XX 2	ACALL 06XX 2	SETB 2+X,Y 2	SETB C	DA A	DJNZ XX,±Y 3	XCHD A,@R0	XCHD A,@R1	DJNZ R0,±X 2	DJNZ R1,±X 2	DJNZ R2,±X 2	DJNZ R3,±X 2	DJNZ R4,±X 2	DJNZ R5,±X 2	DJNZ R6,±X 2	DJNZ R7,±X 2	D0
E0	MOVX A, @DPTR	AJMP 07XX 2	MOVX A,@R0	MOVX A,@R1	CLR A	MOV A,XX 2	MOV A,@R0	MOV A,@R1	MOV A,R0	MOV A,R1	MOV A,R2	MOV A,R3	MOV A,R4	MOV A,R5	MOV A,R6	MOV A,R7	E0
F0	MOVX @DPTR ,A	ACALL 07XX 2	MOVX @R0,A	MOVX @R1,A	CPL A	MOV XX,A 2	MOV @R0,A	MOV @R1,A	MOV R0,A	MOV R1,A	MOV R2,A	MOV R3,A	MOV R4,A	MOV R5,A	MOV R6,A	MOV R7,A	F0
	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	

Рисунок 41 - Система команд

Подп. и дата
 Взам. инв. № : Инв. № дубл.
 445.3
 Подп. и дата
 Инв. № под.
 445.4

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	N докум.	Подп.	Дата		77

Таблица 21 - Перечень инструкций, влияющих на установку флагов

Мнемоника	Флаг			Мнемоника	Флаг		
	C	OV	AC		C	OV	AC
ADD	X	X	X	CLR C	0		
ADDC	X	X	X	CPL C	X		
SUBB	X	X	X	ANL C, bit	X		
MUL	0	X		ANL C, -bit	X		
DIV	0	X		ORL C, bit	X		
DA	X			ORL C, -bit	X		
RRC	X			MOV C, -bit	X		
RLC	X			CJNE	X		
SETB C	1						

Примечания

1 X - флаг равен "0" или "1".

2 Состояние флагов может быть изменено при записи информации в соответствующие разряды PSW

Таблица 22 - Обозначения и символы, используемые в системе команд

Обозначение символа	Назначение
A	Аккумулятор
Rn	Регистры текущего выбранного банка регистров
n	Номер загружаемого регистра, указанного в команде
direct	Прямо адресуемый 8-битный внутренний адрес ячейки данных, который может быть ячейкой внутреннего ОЗУ данных (0-127) или SFR (128-255)
@Rn	Косвенно адресуемая 8-битная ячейка внутреннего ОЗУ данных
data 8	8-битное непосредственное данное, входящее в код операции
data 16	16-битное непосредственное данное, загружаемое в указатель данных DPTR
data H	Старшие биты (15-8) непосредственных 16-битных данных
data L	Младшие биты (7-0) непосредственных 16-битных данных
addr 11	11-битный адрес назначения
addr 16	16-битный адрес назначения
addr L	Младшие биты адреса назначения
disp 8	8-битный байт смещения со знаком
bit	Адрес бита в SFR или ОЗУ, имеющих побитный доступ
a15, a14-a0	Биты адреса назначения
(X)	Содержимое элемента X
((X))	Содержимое по адресу, хранящемуся в элементе X

Подп. и дата

Взам. инв. № : Инв. № дубл

445.3

Подп. и дата

Инв. № под.

445.4

4	Зам.	ФКСН.560-2013	Жаргун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	N докум.	Подп.	Дата		78

Систему команд ОМЭВМ условно можно разбить на пять групп:

- арифметические команды (арифметические операции);
- логические команды с байтовыми переменными (логические операции);
- команды передачи данных (команды пересылки);
- команды битового процессора (операции с булевыми переменными);
- команды ветвления программ и передачи управления (инструкции управления программой).

5.1 Арифметические команды

В наборе команд имеются следующие арифметические операции:

- сложение;
- сложение с учетом флага переноса;
- вычитание с заемом;
- инкрементирование;
- декрементирование;
- сравнение;
- десятичная коррекция;
- умножение;
- деление.

В АЛУ производятся действия над целыми числами без знака. В двухоперандных операциях (сложение (ADD), сложение с переносом (ADDC) и вычитание с заемом (SUBB)) аккумулятор является первым операндом и принимает результат операции. Вторым операндом может быть рабочий регистр выбранного банка рабочих регистров, регистр внутренней памяти данных с косвенно-регистровой и прямой адресацией или байт непосредственных данных. Указанные операции влияют на флаги переполнения, переноса, промежуточного переноса и флаг четности в слове состояния процессора (PSW).

Использование разряда переноса позволяет многократно повысить точность при операциях сложения (ADDC) и вычитания (SUBB).

Выполнение операций сложения и вычитания с учетом знака может быть осуществлено с помощью программного управления флагом переполнения (OV) регистра PSW. Флаг промежуточного переноса (AC) обеспечивает выполнение арифметических операций в двоично-десятичном коде.

Операции инкрементирования и декрементирования на флаги не влияют.

Операции сравнения не влияют ни на операнд назначения, ни на операнд источника, но они влияют на флаг переноса.

Существуют три арифметические операции, которые выполняются только на аккумуляторе: две команды проверки содержимого аккумулятора А (JZ, JNZ) и команда десятичной коррекции при сложении двоично-десятичных кодов.

При операции умножения содержимое аккумулятора А умножается на содержимое регистра В и результат размещается следующим образом: младший байт в регистре В, старший - в регистре А.

В случае выполнения операции деления целое от деления помещается в аккумулятор А, остаток от деления - в регистр В.

Име. № под. 445.4

Подп. и дата

Взам. име. № : Име. № дубл. 445.3

Подп. и дата

Подп. и дата

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		79
Изм	Лист	№ докум.	Подп.	Дата		

5.2 Логические команды с байтовыми переменными

Система команд ОМЭВМ позволяет реализовать логические операции: "И", "ИЛИ", "ИСКЛЮЧАЮЩЕЕ ИЛИ" на регистре-аккумуляторе (А) и байте-источнике. Вторым операндом (байтом-источником) при этом может быть рабочий регистр в выбранном банке рабочих регистров; регистр внутреннего ОЗУ, адресуемый с помощью косвенно-регистровой адресации; прямоадресуемые ячейки внутреннего ОЗУ и регистры специального назначения; непосредственная величина.

Указанные логические операции могут быть реализованы на любом прямоадресуемом регистре внутреннего ОЗУ или регистре специального назначения с использованием в качестве второго операнда содержимого аккумулятора А или непосредственных данных.

Существуют логические операции, которые выполняются только на аккумуляторе: сброс и инвертирование всех восьми разрядов А; циклический сдвиг влево и вправо; циклический сдвиг влево и вправо с учетом флага переноса; обмен местами старшей и младшей тетрад (ниблов) внутри аккумулятора.

5.3 Команды передачи данных

Таблицы символов (кодов), зашитые в ПЗУ программы, могут быть выбраны с помощью команд передачи данных с использованием косвенной адресации. Байт константы может быть передан в аккумулятор из ячейки памяти программ, адресуемой суммой базового регистра (РС или DPTR) и индексного регистра (содержимого А). Это обеспечивает, например, удобное средство реализации алгоритма преобразования кода ASCII в семисегментный код.

Любая ячейка 256-байтового блока внешнего ОЗУ данных может быть выбрана с использованием косвенно-регистровой адресации через регистры указатели R0 или R1 (выбранного блока рабочих регистров).

Ячейка внутри адресного пространства 64 Кбайт внешнего ОЗУ также может быть выбрана с использованием косвенно-регистровой адресации через регистр-указатель данных DPTR.

Команды передачи между прямоадресуемыми регистрами позволяют заносить величину из порта в ячейку внутреннего ОЗУ без использования рабочих регистров или аккумулятора.

В логическом процессоре любой прямоадресуемый бит может быть помещен в бит переноса и наоборот.

Содержимое аккумулятора может быть обменено с содержимым рабочих регистров (выбранного банка) и с содержимым адресуемых с помощью косвенно-регистровой адресации ячеек внутреннего ОЗУ, а также с содержимым прямоадресуемых ячеек внутреннего ОЗУ и с содержимым регистров специального назначения.

Младший нибл (разряды 3-0) содержимого аккумулятора, может быть обменен с младшим ниблом содержимого ячеек внутреннего ОЗУ, выбираемых с помощью косвенно-регистровой адресации.

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл.	
Подп. и дата	

					СКФН.431295.172 РЭ	<i>Лист</i>
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		80
<i>Изм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Подп.</i>	<i>Дата</i>		

5.4 Команды битового процессора

Битовый процессор является частью архитектуры ОЭВМ семейства МК51 и его можно рассматривать как независимый процессор побитовой обработки. Битовый процессор выполняет свой набор команд, имеет свое побитовоадресуемое ОЗУ и свой ввод-вывод.

Команды, оперирующие с битами, обеспечивают прямую адресацию 128 битов (0-127) в шестнадцати ячейках внутреннего ОЗУ (ячейки с адресами 20H-2FH) и прямую побитовую адресацию регистров специального назначения, адреса которых кратны восьми: P0(80H), TCON(88H), PK(90H), SCON(98H), P2(A0H), IE(A8H), P3(B0H), IP(B8H), PSW(D0H), A(E0H), B(F0H).

Каждый из отдельно адресуемых битов может быть установлен в "1", сброшен в "0", инвертирован, проверен. Могут быть реализованы переходы: если бит установлен; если бит не установлен; переход, если бит установлен, со сбросом этого бита; бит может быть перезаписан в (из) разряда переноса. Между любым прямоадресуемым битом и флагом переноса могут быть произведены логические операции "И", "ИЛИ", где результат заносится в разряд флага переноса. Команды побитовой обработки обеспечивают реализацию сложных функций комбинаторной логики и оптимизацию программ пользователя.

5.5 Команды ветвления и передачи управления

Адресное пространство памяти программ ОЭВМ не имеет страничной организации, что позволяет свободно перемещать фрагменты программы внутри адресного пространства, при этом не требуется перезагрузка (изменение) номера страницы.

Перемещение отдельных фрагментов программы обеспечивает возможность использования перемещаемых программных модулей различными программами.

Команды 16-разрядных переходов и вызовов подпрограмм позволяют осуществлять переход в любую точку адресного пространства памяти программ объемом 64 Кбайт.

Команды 11-разрядных переходов и вызовов подпрограмм обеспечивают переходы внутри программного модуля емкостью 2 Кбайт. В системе команд имеются команды условных и безусловных переходов относительно начального адреса следующей команды в пределах от (PC)-128 до (PC)+127. Команды проверки отдельных разрядов позволяют осуществлять условные переходы по состоянию "0" или "1" прямоадресуемых битов. Команды проверки содержимого аккумулятора (на ноль / не ноль) позволяют осуществлять условные переходы по содержимому A.

Косвенно-регистровые переходы в системе команд ОЭВМ обеспечивают ветвление относительно базового регистра (содержимого DPTR или PC) со смещением, находящимся в аккумуляторе A.

6 Динамические параметры

Временная диаграмма входных и выходных импульсов приведена на рисунке 42. Справочные номинальные значения параметров временной диаграммы при частоте $f_c = 20$ МГц приведены в таблице 23.

Таблица 23 – Параметры временной диаграммы

Наименование параметра, единица измерения	Буквенное обозначение параметра	Номинальное значение параметра	Температура среды, °С
Период следования импульсов тактовых сигналов, нс	T	50	25±10; -60; 125
Длительность сигнала низкого уровня на входе XI, нс	t_{WL}	T/2	
Время установления, нс	t_{SU}	31	
Время выключения, нс	t_{off}	20	
Время выборки, нс	t_d	6	

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жартун	17.09.13		81
Изм	Лист	N докум.	Подп.	Дата		

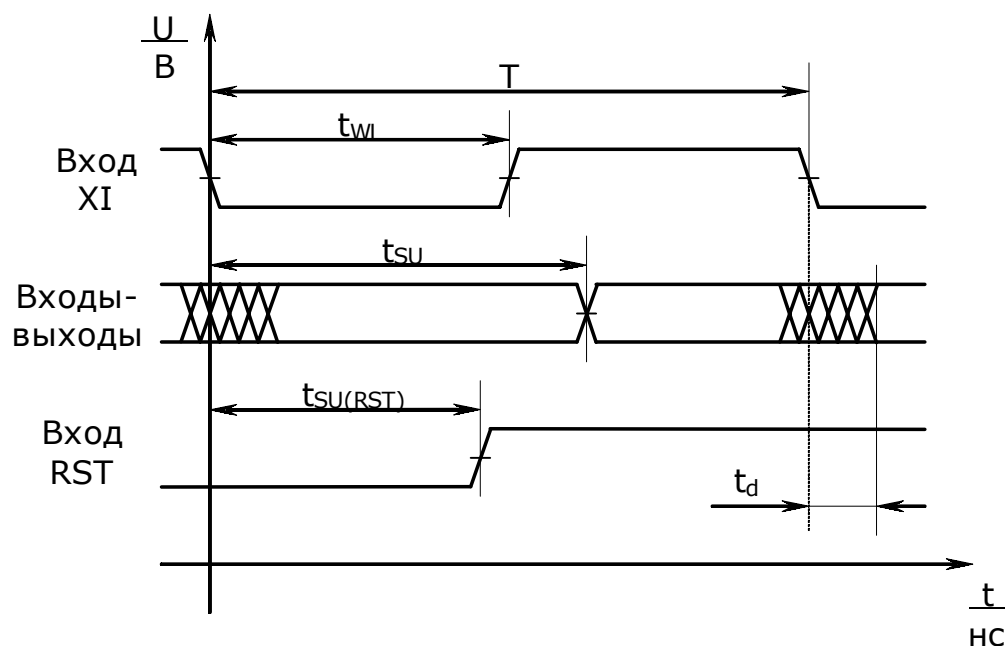


Рисунок 42 – Временная диаграмма входных и выходных импульсов

7 Указания по эксплуатации

6.1 Указания по эксплуатации микросхем по ОСТ В 11 0998-99 и АЕЯР.431280.335-01 ТУ.

6.2 При работе с микросхемами необходимо предусматривать защиту от статического электричества в соответствии с ОСТ 11 073.062-2001.

Допустимое значение потенциала статического электричества 2000 В.

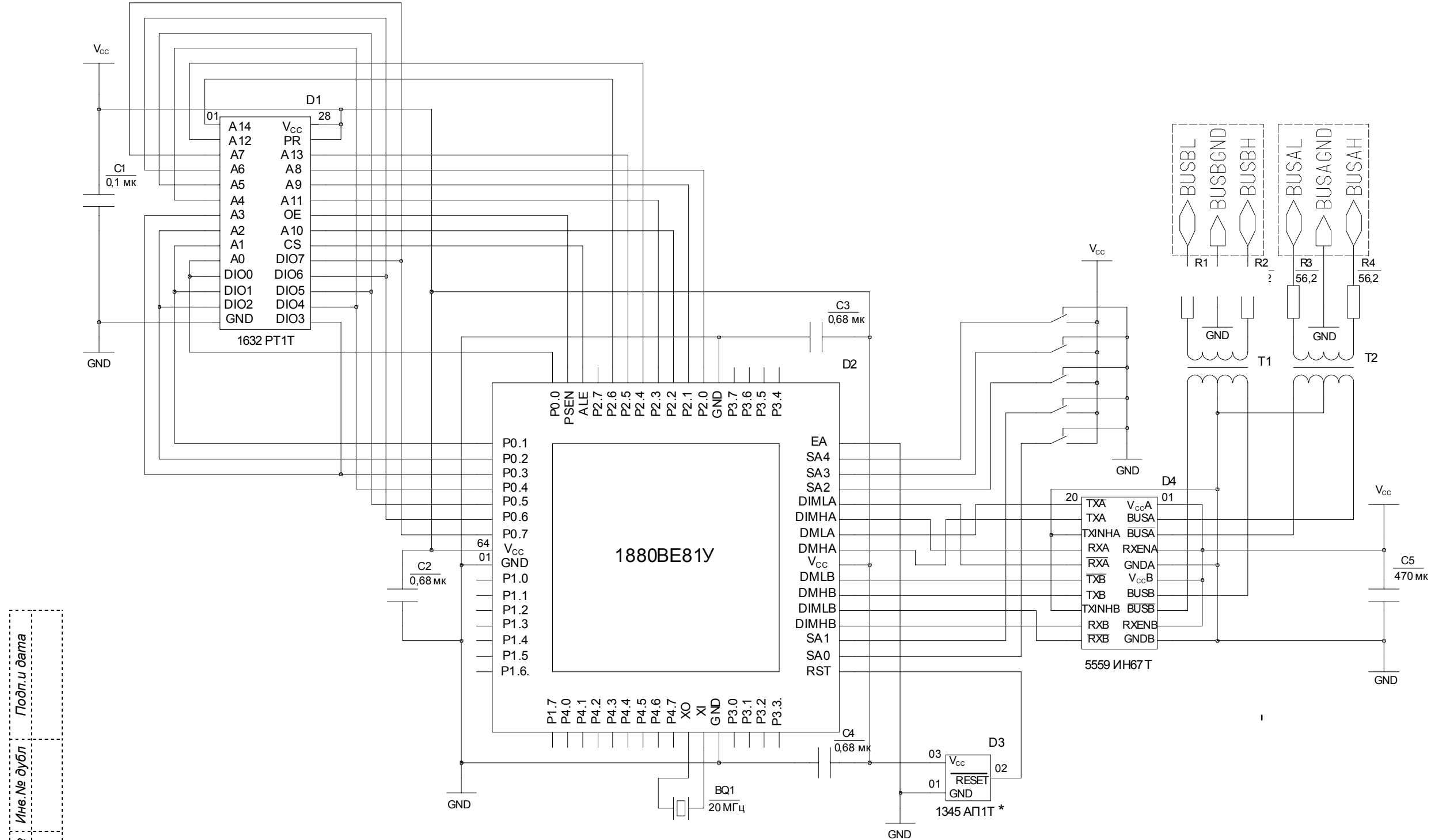
6.3 Типовая схема включения микросхем приведена на рисунке 43.

8 Транспортирование и хранение

7.1 Транспортирование и хранение – по ОСТ В 11 0998-99.

Подп. и дата
 Инв. № дубл
 Взам. инв. №
 445.3
 Подп. и дата
 Инв. № под.
 445.4

					СКФН.431295.172 РЭ	Лист
4	Зам.	ФКСН.560-2013	Жаргун	17.09.13		82
Изм	Лист	№ докум.	Подп.	Дата		



- BQ1 – кварцевый резонатор
D1 – D4 – микросхемы
T1, T2 – трансформаторы ТИЛ6В
C1 – C5 – конденсаторы
R1 – R4 – резисторы

Рисунок 43 – Типовая схема включения микросхем

* Вместо микросхемы 1345АП1Т возможно использование микросхемы 5518АП1ТБМ

Подп. и дата

Име. № дублг

Взам. име. №

445.3

Подп. и дата

Име. № под.

445.4

4	Зам.	ФКЧН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	Недокум.	Подп.	Дата		83

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

Изменение	Номера листов (страниц)				Всего листов (страниц) в документе	Номер документа	Подпись	Дата
	измененных	замененных	новых	аннулированных				
1	-	Все	-	-	79	СКФН.12-2011	Залесская	19.01.2011
	Причина и краткое содержание изменения:				Отработка документа с изменением литеры ("О")			
						Ф.И.О. инициатора: Залесская		
2	-	Все	-	-	79	СКФН.225-2011	Залесская	14.09.2011
	Причина и краткое содержание изменения:				Отработка документа с изменением литеры ("А")			
						Ф.И.О. инициатора: Залесская		
3	-	Все	-	-	84	ФКСН.186-2013	Жартун	03.04.2013
	Причина и краткое содержание изменения:				Введение п.п.3.2.2; 3.8.11 по запросу потребителей (служебная записка Филиала НТЦ «БМС» от 29.01.2013), введение типовой схемы применения (служебная записка Филиала НТЦ «БМС» от 10.04.2013)			
						Ф.И.О. инициатора: Жартун		
4	-	Все	-	-	85	ФКСН.560-2013	Жартун	17.09.2013
	Причина и краткое содержание изменения:				Введение по запросу потребителя дополнительных требований по применению микросхем (служебная записка Филиала НТЦ «БМС» от 31.07.2013)			
						Ф.И.О. инициатора: Жартун		

Име. № под.	445.4
Подп. и дата	
Взам. име. №	445.3
Име. № дубл	
Подп. и дата	

4	Зам.	ФКСН.560-2013	Жартун	17.09.13	СКФН.431295.172 РЭ	Лист
Изм	Лист	№ докум.	Подп.	Дата		84