

Микросхема IN90S2313DW представляет собой восьмиразрядный микроконтроллер с RISC-архитектурой, аналоговым компаратором, ЭСППЗУ.

Микросхема предназначена для использования в бытовой технике, средствах связи, системах управления технологическими процессами, транспортом и других областях народного хозяйства.

По функциональному назначению и техническому уровню микросхема является функциональным аналогом микросхемы AT90S2313 фирмы Atmel.

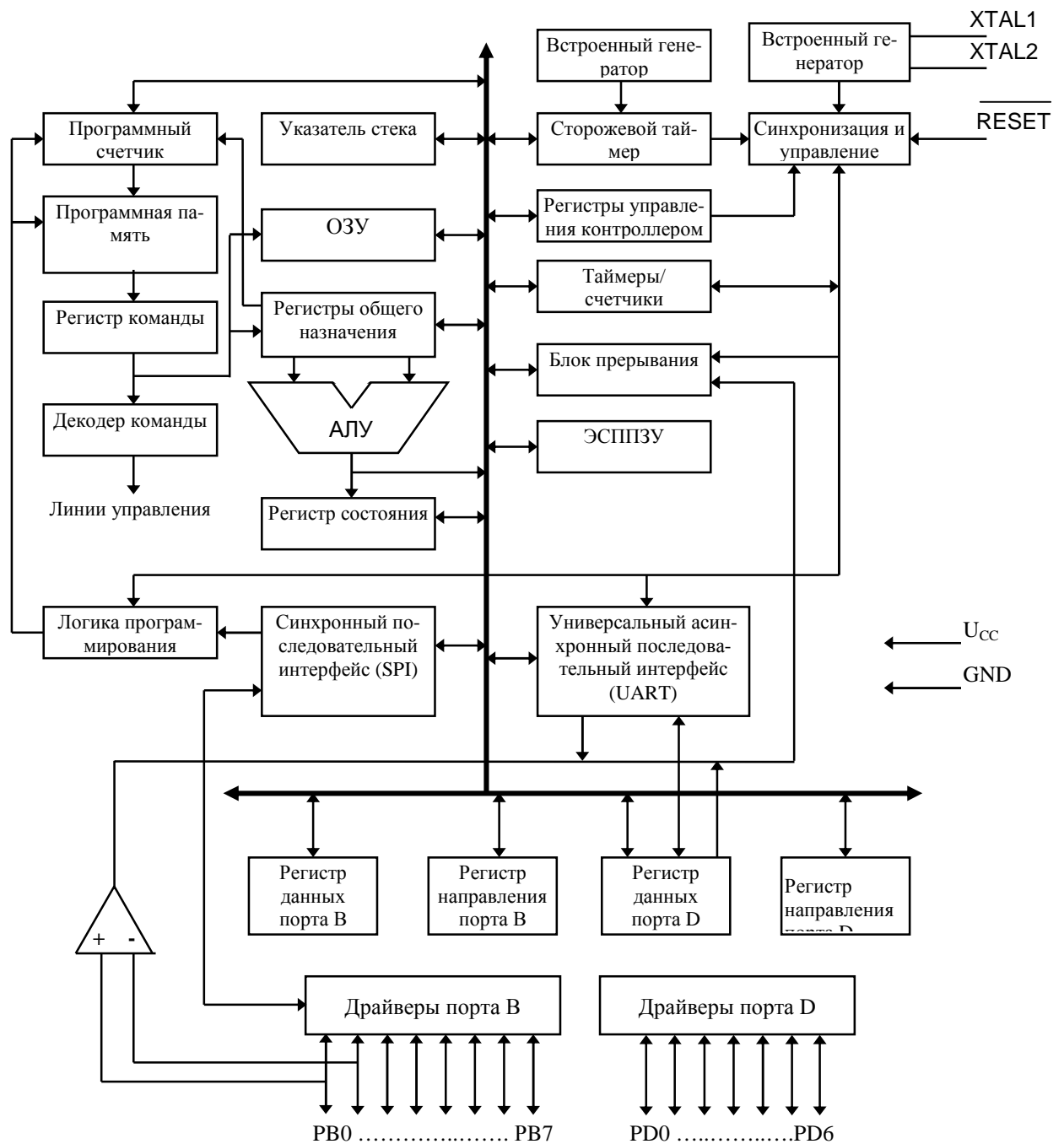
Функции и особенности:

- возможность вычислений со скоростью до 1 миллиона операций в секунду на 1 МГц тактовой частоты;
- память программ объемом 2 Кбайт (число циклов стирания/записи не менее 1000);
- память данных на основе статического ОЗУ объемом до 128 байт;
- память данных на основе ЭСППЗУ объемом до 128 байт (число циклов стирания/записи не менее 100000);
- возможность защиты от чтения и модификации памяти программ и данных;
- программирование в параллельном (с использованием программатора) либо в последовательном (непосредственно в системе через последовательный интерфейс) режимах;
- различные способы синхронизации: внешний сигнал синхронизации или внешний резонатор (пьезокерамический или кварцевый);
- наличие нескольких режимов пониженного энергопотребления;
- напряжение питания U_{CC} от 2.7 до 6.0 В;
- частота следования импульсов тактовых сигналов f_C не более 10 МГц;
- диапазон рабочих температур от минус 40 до плюс 85°C.

Конструктивно микросхема выполнена в пластмассовом 20 - выводном SO- корпусе типа 4321.20-B.



Структурная схема микросхемы



Назначение выводов микросхемы

Номер вывода	Обозначение	Назначение
01	$\overline{\text{RESET}}$	Вход сброса
02	PD0/RxD	Вход/выход разряда 0 порта D / принимаемые данные UART
03	PD1/TxD	Вход/выход разряда 1 порта D / передаваемые данные UART
04	XTAL2	Выход для подключения кварцевого резонатора
05	XTAL1	Вход для подключения кварцевого резонатора
06	PD2/INT0	Вход/выход разряда 2 порта D / внешнее прерывание 0
07	PD3/INT1	Вход/выход разряда 3 порта D / внешнее прерывание 1
08	PD4/T0	Вход/выход разряда 4 порта D / вход таймера/счетчика 0
09	PD5/T1	Вход/выход разряда 5 порта D / вход таймера/счетчика 1
10	GND	Общий вывод
11	PD6/ICP	Вход/выход разряда 6 порта D / защелкивание таймера/счетчика
12	PB0/AIN0	Вход/выход разряда 0 порта B / положительный вход компаратора
13	PB1/AIN1	Вход/выход разряда 1 порта B / отрицательный вход компаратора
14	PB2	Вход/выход разряда 2 порта B
15	PB3/OCI	Вход/выход разряда 3 порта B / выход таймера/счетчика
16	PB4	Вход/выход разряда 4 порта B
17	PB5/MOSI	Вход/выход разряда 5 порта B / вход данных при последовательном программировании (SPI)
18	PB6/MISO	Вход/выход разряда 6 порта B / выход данных при последовательном программировании (SPI)
19	PB7/SCK	Вход/выход разряда 7 порта B / вход тактового сигнала при последовательном программировании (SPI)
20	U_{CC}	Вывод питания от источника напряжения
<p>Примечания</p> <p>1 UART – универсальный асинхронный последовательный интерфейс.</p> <p>2 SPI – синхронный последовательный интерфейс</p>		

Диапазон рабочих температур

Диапазон рабочих температур от минус 40 до плюс 85°C.

Предельно – допустимый и предельный режимы эксплуатации

Наименование параметра режима, единица измерения	Буквенное обозначение	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	2.7	6.0	-0.3	6.6
Входное напряжение низкого уровня, В для входа XTAL1	U_{IL1}	-0.5	0.1	-1.0	-
Входное напряжение высокого уровня, В для входа XTAL1	U_{IH1}	$0.7U_{CC}$	$U_{CC}+0.5$	-	7.1
Входное напряжение низкого уровня, В для входов кроме XTAL1	U_{IL2}	-0.5	$0.3U_{CC}$	-1.0	-
Входное напряжение высокого уровня, В для входов кроме XTAL1, \overline{RESET}	U_{IH2}	$0.6U_{CC}$	$U_{CC}+0.5$	-	7.1
Входное напряжение высокого уровня, В для входа \overline{RESET}	U_{IH3}	$0.85U_{CC}$	$U_{CC}+0.5$	-	13.0
Частота следования импульсов тактовых сигналов, МГц при $U_{CC}=2.7-4.0$ В при $U_{CC}=4.0-6.0$ В	f_C	-	4 10	-	-

Электрические параметры микросхемы

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Режим измерения	Темпе- ратура среды, °C
		не менее	не более		
Выходное напряжение низкого уровня, В -по портам В,D	U_{OL}	-	0.6	$U_{CC}=5\text{ В}$ $I_{OL}=20\text{ мА}$	25±10 -40 85
Выходное напряжение низкого уровня, В -по портам В,D	U_{OL1}	-	0.5	$U_{CC}=3\text{ В}$ $I_{OL}=10\text{ мА}$	
Выходное напряжение высокого уровня, В -по портам В,D	U_{OH}	4.3	-	$U_{CC}=5.0\text{ В}$ $I_{OH}=-3\text{ мА}$	
Выходное напряжение высокого уровня, В -по портам В,D	U_{OH1}	2.3	-	$U_{CC}=3\text{ В}$ $I_{OH}=-1.5\text{ мА}$	
Входной ток низкого уровня, мкА -по портам В,D	I_{IL}	-	-1.5	$U_{CC}=6\text{ В}$ $U_{IN}=0\text{ В}$	
Входной ток высокого уровня, мкА -по портам В,D	I_{IH}	-	980	$U_{CC}=6\text{ В}$ $U_{IN}=U_{CC}$	
Сопротивление резистора на выводе $\overline{\text{RESET}}$, кОм	R_{RST}	100	500	$U_{CC}=5\text{ В}$	
Сопротивление резистора на выводах PB0-PB7, PD0-PD6, кОм	$R_{I/O}$	35	120	$U_{CC}=5\text{ В}$	
Входной ток аналогового компа- ратора, нА	I_{ACLK}	-	\pm 50	$U_{CC}=5\text{ В}$ $U_{IN}=U_{CC}$ или $U_{IN}=0\text{ В}$	
Динамический ток потребления в активном режиме, мА	I_{CCO}	-	3.0	$U_{CC}=3\text{ В}$ $f_C=4\text{ МГц}$	
Динамический ток потребления в режиме ожидания, мА	I_{CCOS}	-	1.0	$U_{CC}=3\text{ В}$ $f_C=4\text{ МГц}$	
Ток потребления в отключенном режиме со сторожевым тайме- ром, мкА	I_{CC1}	-	15.0	$U_{CC}=3\text{ В}$	
Ток потребления в отключенном режиме без сторожевого тайме- ра, мкА	I_{CC2}	-	2.0	$U_{CC}=3\text{ В}$	
Напряжение смещения входа аналогового компаратора, мВ	U_{ACIO}	-	40	$U_{CC}=5.0\text{ В}$ $U_{IN}=U_{CC}/2\pm 20\text{ мВ}$	
Время задержки срабатывания аналогового компаратора, нс	t_{ACPD}	-	500	$U_{CC}=4.0\text{ В}$	
Время задержки срабатывания аналогового компаратора, нс	t_{ACPD1}	-	750	$U_{CC}=2.7\text{ В}$	

Перечень команд микросхемы

Группа команд логических операций

Мнемоника	Описание	Операция	Циклы	Флаги
AND Rd,Rr	«Логическое И» двух РОН	$Rd = Rd \bullet Rr$	1	Z,N,V,S
ANDI Rd,K	«Логическое И» РОН и константы	$Rd = Rd \bullet K$	1	Z,N,V,S
EOR Rd,Rr	«Исключающее ИЛИ» двух РОН	$Rd = Rd \oplus Rr$	1	Z,N,V,S
OR Rd,Rr	«Логическое ИЛИ» двух РОН	$Rd = Rd \vee Rr$	1	Z,N,V,S
ORI Rd,K	«Логическое ИЛИ» РОН и константы	$Rd = Rd \vee K$	1	Z,N,V,S
COM Rd	Перевод в обратный код	$Rd = \$FF - Rd$	1	Z,C,N,V,S
NEG Rd	Перевод в дополнительный код	$Rd = \$00 - Rd$	1	Z,C,N,V,H,S
CLR Rd	Сброс всех разрядов РОН	$Rd = Rd \oplus Rd$	1	Z,N,V,S
SER Rd	Установка всех разрядов РОН	$Rd = \$FF$	1	—
TST Rd	Проверка РОН на отрицательное или нулевое значение	$Rd \bullet Rd$	1	Z,N,V,S
SWAP Rd	Обмен местами тетрад в РОН	$Rd(3..0) = Rd(7..4),$ $Rd(7..4) = Rd(3..0)$	1	—

Группа команд арифметических операций

Мнемоника	Описание	Операция	Циклы	Флаги
ADD Rd,Rr	Сложение двух РОН	$Rd = Rd + Rr$	1	Z,C,N,V,H,S
ADC Rd,Rr	Сложение двух РОН с переносом	$Rd = Rd + Rr + C$	1	Z,C,N,V,H,S
ADIW Rd,K	Сложение регистровой пары с константой	$Rdh:Rdl = Rdh:Rdl + K$	2	Z,C,N,V,S
SUB Rd,Rr	Вычитание двух РОН	$Rd = Rd - Rr$	1	Z,C,N,V,H,S
SUBI Rd,K	Вычитание константы из РОН	$Rd = Rd - K$	1	Z,C,N,V,H,S
SBC Rd,Rr	Вычитание двух РОН с заемом	$Rd = Rd - Rr - C$	1	Z,C,N,V,H,S
SBCI Rd,K	Вычитание константы из РОН с заемом	$Rd = Rd - K - C$	1	Z,C,N,V,H,S
SBIW Rd,K	Вычитание константы из регистровой пары	$Rdh:Rdl = Rdh:Rdl - K$	2	Z,C,N,V,S
DEC Rd	Декремент РОН	$Rd = Rd - 1$	1	Z,N,V,S
INC Rd	Инкремент РОН	$Rd = Rd + 1$	1	Z,N,V,S
ASR Rd	Арифметический сдвиг вправо	$Rd(n) = Rd(n+1), n=0..6$	1	Z,C,N,V,S
LSL Rd	Логический сдвиг влево	$Rd(n+1) = Rd(n), Rd(0) = 0$	1	Z,C,N,V,H,S
LSR Rd	Логический сдвиг вправо	$Rd(n) = Rd(n+1), Rd(7) = 0$	1	Z,C,N,V,S
ROL Rd	Сдвиг влево через перенос	$Rd(0) = C, Rd(n+1) = Rd(n),$ $C = Rd(7)$	1	Z,C,N,V,H,S
ROR Rd	Сдвиг вправо через перенос	$Rd(7) = C, Rd(n) = Rd(n+1),$ $C = Rd(0)$	1	Z,C,N,V,S

Группа команд операций с разрядами

Мнемоника	Описание	Операция	Циклы	Флаги
CBR Rd,K	Сброс разряда(ов) POH	$Rd = Rd \cdot (\$FF-K)$	1	Z,N,V,S
SBR Rd,K	Установка разряда(ов) POH	$Rd = Rd \vee K$	1	Z,N,V,S
CBI A,b	Сброс разряда PBB	$A.b = 0$	2	—
SBI A,b	Установка разряда PBB	$A.b = 1$	2	—
BCLR s	Сброс флага	$SREG.s = 0$	1	SREG.s
BSET s	Установка флага	$SREG.s = 1$	1	SREG.s
BLD Rd,b	Загрузка разряда POH из флага T (SREG)	$Rd.b = T$	1	—
BST Rr,b	Запись разряда POH в флаг T (SREG)	$T = Rr.b$	1	T
CLC	Сброс флага переноса	$C = 0$	1	C
SEC	Установка флага переноса	$C = 1$	1	C
CLN	Сброс флага отр. числа	$N = 0$	1	N
SEN	Установка флага отр. числа	$N = 1$	1	N
CLZ	Сброс флага нуля	$Z = 0$	1	Z
SEZ	Установка флага нуля	$Z = 1$	1	z
CLI	Общее запрещение прерываний	$I = 0$	1	I
SEI	Общее разрешение прерываний	$I = 1$	1	I
CLS	Сброс флага знака	$S = 0$	1	S
SES	Установка флага знака	$S = 1$	1	S
CLV	Сброс флага переполнения доп. кода	$V = 0$	1	V
SEV	Установка флага переполнения доп. кода	$V = 1$	1	V
CLT	Сброс флага T	$T = 0$	1	T
SET	Установка флага T	$T = 1$	1	T
CLH	Сброс флага половинного переноса	$H = 0$	1	H
SEH	Установка флага половинного переноса	$H = 1$	1	H

Группа команд пересылки данных

Мнемоника	Описание	Операция	Циклы	Флаги
MOV Rd,Rr	Пересылка между РОН	$Rd=Rr$	1	—
LDI Rd,K	Загрузка константы в РОН	$Rd=K$	1	—
LD Rd,X	Косвенное чтение	$Rd=[X]$	2	—
LD Rd,X+	Косвенное чтение с постинкрементом	$Rd=[X], X=X+1$	2	—
LD Rd,-X	Косвенное чтение с преддекрементом	$X=X-1, Rd=[X]$	2	—
LD Rd,Y	Косвенное чтение	$Rd=[Y]$	2	—
LD Rd,Y +	Косвенное чтение с постинкрементом	$Rd=[Y], Y=Y+1$	2	—
LD Rd,-Y	Косвенное чтение с преддекрементом	$Y=Y-1, Rd=[Y]$	2	—
LDD Rd,Y+q	Косвенное относительное чтение	$Rd=[Y+q]$	2	—
LD Rd,Z	Косвенное чтение	$Rd=[Z]$	2	—
LD Rd,Z+	Косвенное чтение с постинкрементом	$Rd=[Z], Z=Z-1$	2	—
LD Rd,-Z	Косвенное чтение с преддекрементом	$Z=Z-1, Rd=[Z]$	2	—
LDD Rd,Z+q	Косвенное относительное чтение	$Rd=[Z+q]$	2	—
LDS Rd,k	Непосредственное чтение из ОЗУ	$Rd=[k]$	2	—
ST X,Rr	Косвенная запись	$[X]=Rr$	2	—
ST X+,Rr	Косвенная запись с постинкрементом	$[X]=Rr, X=X+1$	2	—
ST -X,Rr	Косвенная запись с преддекрементом	$X=X-1, [X]=Rr$	2	—
ST Y,Rr	Косвенная запись	$[Y]=Rr$	2	—
ST Y+,Rr	Косвенная запись с постинкрементом	$[Y]=Rr, Y=Y+1$	2	—
ST -Y,Rr	Косвенная запись с преддекрементом	$Y=Y-1, [Y]=Rr$	2	—
STD Y+q,Rr	Косвенная относительная запись	$[Y+q]=Rr$	2	—
ST Z,Rr	Косвенная запись	$[Z]=Rr$	2	—
ST Z+,Rr	Косвенная запись с постинкрементом	$[Z]=Rr, Z=Z+1$	2	—
ST -Z,Rr	Косвенная запись с преддекрементом	$Z = Z-1, [Z] = Rr$	2	—
STD Z+q,Rr	Косвенная относительная запись	$[Z+q] = Rr$	2	—
STS k,Rr	Непосредственная запись в ОЗУ	$[k] = Rr$	2	—
LPM	Загрузка данных из памяти программ	$R0 = \{Z\}$	3	—
IN Rd,A	Пересылка из PBB в РОН	$Rd = A$	1	—
OUT A,Rr	Пересылка из РОН в PBB	$A = Rr$	1	—
PUSH Rr	Сохранение байта в стеке	$STACK = Rr$	2	—
POP Rd	Извлечение байта из стека	$Rd = STACK$	2	—

Группа команд передачи управления

Мнемоника	Описание	Операция	Циклы	Флаги
RJMP k	Относительный безусловный переход	$PC = PC + k + 1$	2	—
IJMP	Косвенный безусловный переход	$PC = Z$	2	—
RCALL	Относительный вызов подпрограммы	$PC = PC + k + 1$	3	—
ICALL	Косвенный вызов подпрограммы	$PC = Z$	3	—
RET	Возврат из подпрограммы	$PC = STACK$	4	—
RET I	Возврат из подпрограммы обработки прерывания	$PC = STACK$	4	I
CP Rd,Rr	Сравнение POH	Rd-Rr	1	Z,N,V,C, H,S
CPC Rd,Rr	Сравнение POH с учетом переноса	$Rd - Rr - C$	1	Z,N,V,C, H,S
CPI Rd,K	Сравнение POH с константой	Rd-K	1	Z,N,V,C, H,S
CPSE Rd,Rr	Сравнение и пропуск следующей команды при равенстве	Если $Rd = Rr$, то $PC = PC + 2$ (3)	1/2/3	—
SBRC Rr,b	Пропуск след. команды, если разряд POH сброшен	Если $Rr.b = 0$, то $PC = PC + 2$ (3)	1/2/3	—
SBRS Rr,b	Пропуск след. команды, если разряд POH установлен	Если $Rr.b = 1$, то $PC = PC + 2$ (3)	1/2/3	—
SBIC A,b	Пропуск след. команды, если разряд PVB сброшен	Если $A.b = 0$, то $PC = PC + 2$ (3)	1/2/3	—
SBIS A,b	Пропуск след. команды, если разряд PVB установлен	Если $A.b = 1$, то $PC = PC + 2$ (3)	1/2/3	—
BRBC s,k	Переход, если флаг s регистра SREG сброшен	Если $SREG.s = 0$, то $PC = PC + k + 1$	1/2	—
BRBS s,k	Переход, если флаг s регистра SREG установлен	Если $SREG.s = 1$, то $PC = PC + k + 1$	1/2	—
BRCS k	Переход по переносу	Если $C = 1$, то $PC = PC + k + 1$	1/2	—
BRCC k	Переход, если нет переноса	Если $C = 0$, то $PC = PC + k + 1$	1/2	—
BREQ k	Переход по условию «равно»	Если $Z = 1$, то $PC = PC + k + 1$	1/2	—
BRNE k	Переход по условию «не равно»	Если $Z = 0$, то $PC = PC + k + 1$	1/2	—
BRSH k	Переход по условию «выше или равно»	Если $C = 0$, то $PC = PC + k + 1$	1/2	—
BRLO k	Переход по условию «меньше»	Если $C = 1$, то $PC = PC + k + 1$	1/2	-
BRMI	Переход по условию «отрицательное значение»	Если $N = 1$, то $PC = PC + k + 1$	1/2	—
BRPL	Переход по условию «положительное значение»	Если $N = 0$, то $PC = PC + k + 1$	1/2	-
BRGE	Переход по условию «больше или равно» (числа со знаком)	Если $(N (+) V) = 0$, то $PC = PC + k + 1$	1/2	—
BRLT	Переход по условию «меньше нуля» (числа со знаком)	Если $(N (+) V) = 1$, то $PC = PC + k + 1$	1/2	—

Продолжение

Мнемоника	Описание	Операция	Циклы	Флаги
BPHS	Переход по половинному переносу	Если $H = 1$, то $PC = PC + k + 1$	1/2	—
BRHC	Переход, если нет половинного переноса	Если $H = 0$, то $PC = PC + k + 1$	1/2	—
BRTS	Переход, если флаг T установлен	Если $T = 1$, то $PC = PC + k + 1$	1/2	—
BRTC	Переход, если флаг T сброшен	Если $T = 0$, то $PC = PC + k + 1$	1/2	—
BRVS	Переход по переполнению доп. кода	Если $V = 1$, то $PC = PC + k + 1$	1/2	—
BRVC	Переход, если нет переполнения доп. кода	Если $V = 0$, то $PC = PC + k + 1$	1/2	—
BRID	Переход, если прерывания запрещены	Если $I = 0$, то $PC = PC + k + 1$	1/2	—
BRIE	Переход, если прерывания разрешены	Если $I = 1$, то $PC = PC + k + 1$	1/2	—

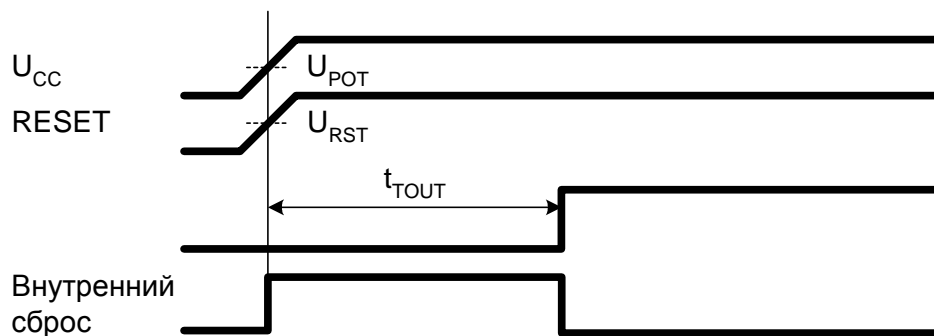
Группа команд управления системой

Мнемоника	Описание	Операции	Циклы	Флаги
NOP	Нет операции	-	1	—
SLEEP	Переход в «спящий» режим	В соответствии с подразделом 4.3	1	—
WDR	Сброс сторожевого таймера	В соответствии с подразделом 6.10	1	—

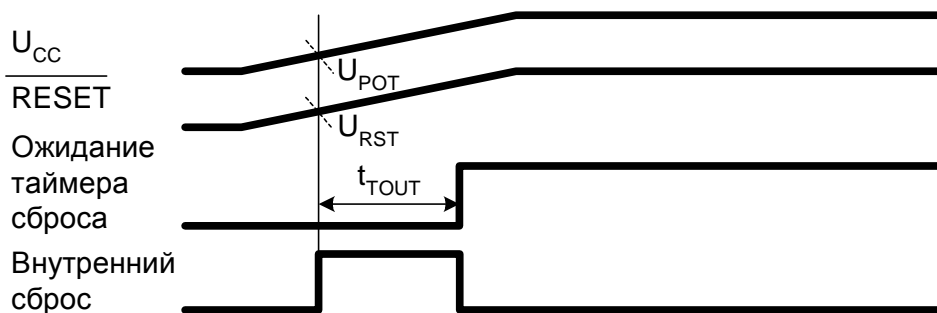
Обозначения, используемые при описании команд

Обозначение, символ	Описание
Регистр состояния	
SREG	Регистр состояния микроконтроллера
C	Флаг переноса (0-й разряд регистра SREG)
Z	Флаг нуля (1-й разряд регистра SREG)
N	Флаг отрицательного значения (2-й разряд регистра SREG)
V	Флаг переполнения дополнительного кода (3-й разряд регистра SREG)
S	Флаг знака (4-й разряд регистра SREG); S = N (+) V
H	Флаг половинного переноса (5-й разряд регистра SREG)
T	Пользовательский флаг (6-й разряд регистра SREG)
I	Флаг общего разрешения прерываний (7-й разряд регистра SREG)
Регистры и операнды	
Rd	Регистр-приемник (иногда также регистр-источник) в регистровом файле
Rr	Регистр-источник в регистровом файле
K	Константа (данные)
k	Адрес — константа
b	Номер разряда ПОН или PBB (0...7)
s	Номер разряда регистра состояния SREG (0...7)
X,Y,Z	Регистры-указатели (X = R27:R26, Y = R29:R28, Z = R31 :R30)
I/O	Регистр ввода/вывода
A	Адрес в пространстве ввода/вывода
q	Смещение при относительной косвенной адресации (6-разрядное значение)
.	Разделитель между названием (адресом) регистра и номером разряда
[XX]	Содержимое ячейки памяти данных по адресу XX
{XX}	Содержимое ячейки памяти программ по адресу XX
Операции	
-	Инверсия
•	Логическое И
v	Логическое ИЛИ
⊕	Исключающее ИЛИ
Система	
PC	Счетчик команд
STACK	Текущий уровень стека
SP	Указатель стека
Флаги	
⇔	Команда воздействует на флаг
0	Флаг сбрасывается командой в «0»
1	Флаг устанавливается командой в «1»
—	Команда не влияет на состояние флага

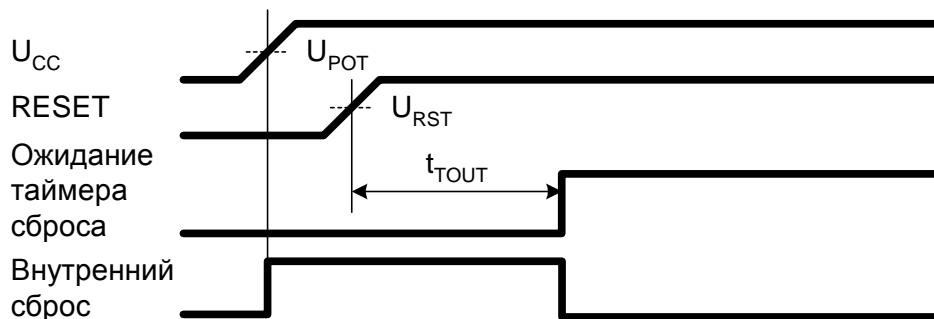
Временные диаграммы сигналов при сбросе по включении питания; вывод $\overline{\text{RESET}}$ подключен к U_{CC}



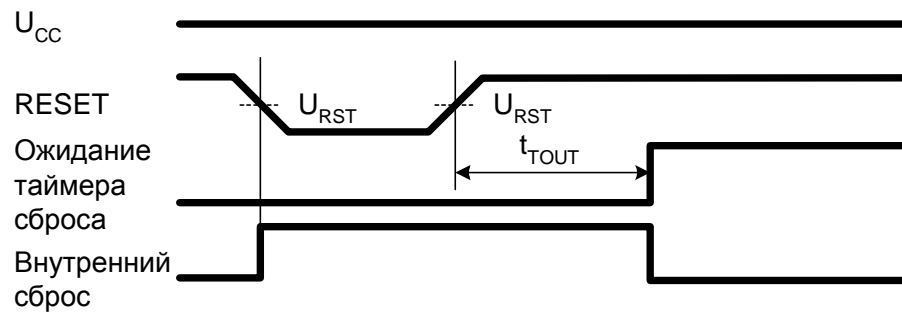
Временные диаграммы сигналов при сбросе по включении питания; вывод $\overline{\text{RESET}}$ подключен к U_{CC} (время нарастания напряжения питания очень велико)



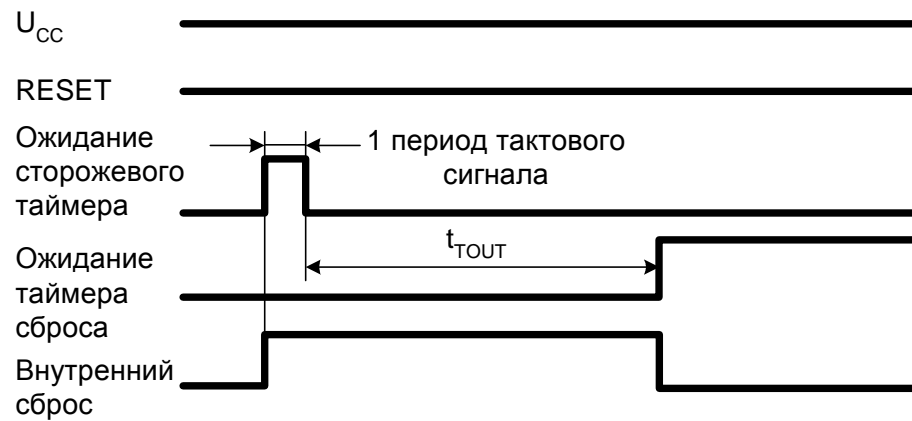
Временные диаграммы сигналов при сбросе по включении питания; 2 вывод $\overline{\text{RESET}}$ управляется внешней схемой



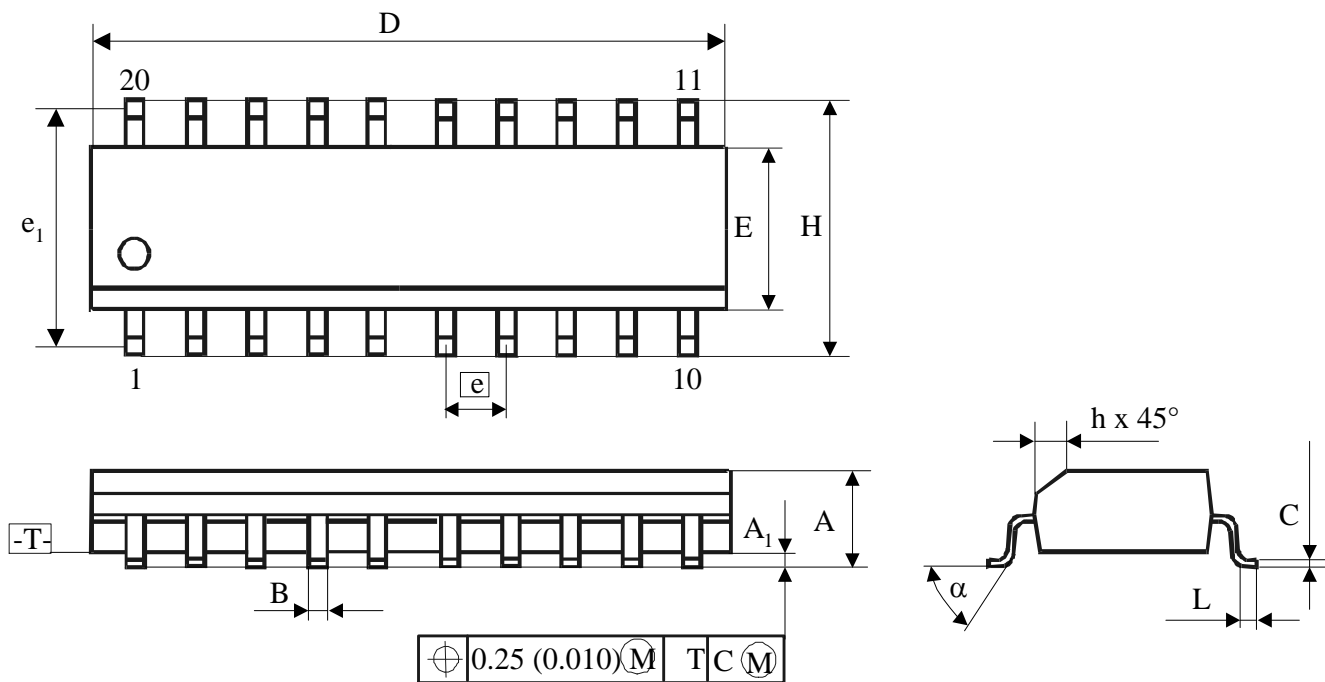
Временные диаграммы сигналов при аппаратном сбросе



Временные диаграммы сигналов при сбросе от сторожевого таймера



Габаритные размеры корпуса 4321.20-B



	A	A ₁	B	C	D	E	e	e ₁	H	h	L	α
	MM											$^\circ$
min	2.35	0.10	0.33	0.23	12.60	7.40	1.27	9.53	10.00	0.25	0.40	0
max	2.65	0.30	0.51	0.32	13.00	7.60	(nom)	(nom)	10.65	0.75	1.27	8