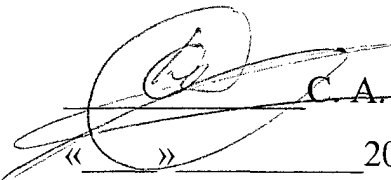


ИИВ № 4847, а "

СОГЛАСОВАНО

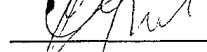
Начальник 166 ВП МО РФ

 С. А. Дрожжин  
«  »    2007 г.

УТВЕРЖДАЮ

Генеральный директор

ОАО «КТЦ «ЭЛЕКТРОНИКА»

 С. А. Цыбин  
«31» 10 2007 г.

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

5576XC1T, 5576XC1T1

Техническое описание

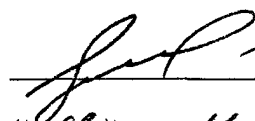
ГПКФ.431262.001ТО

Справ. №	Перв. изменен.
	ГПК 431262.001

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Ожст 29.12.07			

СОГЛАСОВАНО

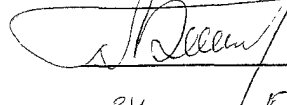
Руководитель группы ВП

 Ю. П. Петров  
«09» 11 2007 г.

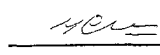
ЭКЗ. № 010  
«Радионьос»

Главный конструктор


ОАО «КТЦ «ЭЛЕКТРОНИКА»

 А. В. Быстрицкий  
«24» 10 2007 г.

Разработчик

 С. А. Ушаков  
«23» 10 2007 г.

Нормоконтроль

 Н. И. Васина  
«12» 11 2007 г.

## Содержание

1	Введение.....	3
2	Назначение.....	3
3	Основные технические характеристики.....	3
3.1	Основные функциональные параметры.....	3
3.2	Особенности ПЛИС.....	4
3.3	Особенности внутренних межсоединений.....	4
3.4	Особенности элементов ввода–вывода.....	5
3.5	Особенности САПР для ПЛИС.....	5
3.6	Значения электрических параметров ПЛИС при приемке и поставке..	5
3.7	Предельно–допустимые и предельные режимы эксплуатации ПЛИС..	7
4	Условное обозначение и назначение выводов микросхем.....	8
4.1	Условное графическое обозначение микросхем.....	8
4.2	Функциональное назначение выводов микросхем.....	14
5	Описание архитектуры ПЛИС.....	37
5.1	Блок встроенной памяти.....	39
5.2	Логический блок.....	41
5.3	Логический элемент.....	43
5.3.1	Режимы работы логического элемента.....	44
5.3.1.1	Нормальный режим.....	45
5.3.1.2	Арифметический режим.....	46
5.3.1.3	Режим суммирующего/вычитающего счетчика.....	47
5.3.1.4	Режим сбрасываемого счетчика.....	47
5.3.2	Управление логикой сброса и установки.....	48
5.4	Система межсоединений.....	50
5.5	Элемент ввода–вывода.....	53
5.5.1	Соединение элементов ввода–вывода с горизонтальными каналами...	55
5.5.2	Соединение элементов ввода–вывода с вертикальными каналами.....	56
5.5.3	Контроль скорости нарастания выходного напряжения.....	57
5.5.4	Выход с открытым стоком.....	57
5.6	Поддержка периферийного сканирования.....	58
5.6.1	Функциональная модель СПС.....	59
5.6.2	Архитектура Boundary–Scan регистра.....	62
6	Тестирование.....	63
7	Расчет мощности потребления ПЛИС.....	64

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Октябрь 29.12.07			

## 1 Введение

Настоящее техническое описание (ТО) предназначено для изучения программируемых логических интегральных схем 5576XC1T, 5576XC1T1 (далее ПЛИС) и содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

## 2 Назначение

Данные микросхемы являются результатом разработки нового поколения КМОП БИС – программируемых пользователем логических ИС с возможностью многократного изменения конфигурации.

ПЛИС предназначены для замещения серии импортных ПЛИС с числом эквивалентных вентилях (30–50) тысяч, а также для использования в системах управления при разработке аппаратуры специального назначения с высокими технико-экономическими показателями, для замены устаревшей отечественной и импортной элементной базы.

Функциональным аналогом ПЛИС является изделие EPF10K50 ф. Altera.

## 3 Основные технические характеристики

Кристаллы ПЛИС изготовлены по 0,35 мкм КМОП – технологии на эпитаксиальных структурах с одним уровнем поликремния и четырьмя уровнями металлизации.

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2000 В.

3.1 Основные функциональные параметры ПЛИС приведены в таблице 1.

Инв. № подл. 031	Подп. и дата Октябрь 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------------	----------------------------------	--------------	--------------	--------------

Таблица 1

Параметр	Значение	
	5576XC1T	5576XC1T1
Число эквивалентных вентиляей	50000	
Максимальное число системных вентиляей	116000	
Количество логических элементов	2880	
Количество логических блоков	360	
Емкость встроенной памяти, бит	20480	
Количество триггеров	3184	
Количество пользовательских выводов	182	189

### 3.2 Особенности ПЛИС:

- блоки встроенной памяти для реализации мегафункций;
- логические блоки для основных логических функций;
- напряжение питания 3,3 В;
- толерантность входов-выходов к 5 В внешним сигналам;
- встроенный блок тестирования (Joint Test Action Group (JTAG)) с использованием схемы периферийного сканирования (BST), совместимый с IEEE Std. 1149.1-1990;
- встроенная система реконфигурации (ICR), осуществляемая посредством внешних конфигурационных устройств, интеллектуальным контроллером или JTAG портом.

### 3.3 Особенности внутренних межсоединений ПЛИС:

- внутренние быстрые межсоединения (Fast Track Interconnect), являющиеся быстродействующими структурами с определенными задержками;
- специализированная цепь переноса, обеспечивающая поддержку арифметических функций, таких как быстродействующие сумматоры, счётчики и компараторы (используются автоматически программным обеспечением);
- специализированная цепь каскадирования, обеспечивающая поддержку высокоскоростных функций с высоким коэффициентом разветвления на входе (используются автоматически программным обеспечением);
- шесть внешних глобальных тактовых сигналов и четыре глобальных сигнала сброса.

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Олеф 29.12.07			

## 3.4 Особенности элементов ввода–вывода ПЛИС:

- индивидуальный сигнал разрешения третьего состояния для каждого вывода;
- возможность использования опции "открытый сток" для каждого вывода;
- снижение помех при переключениях за счёт программируемой опции «slew-rate control»;
- наличие периферийного регистра минимизирует задержку от тактового импульса до изменения информации на выходе.

## 3.5 Особенности САПР для ПЛИС:

- для создания проектов используется САПР ф. Altera для ПК на базе Windows, Sun SPARCstation, HP 9000 Series 700/800 рабочих станций – MAX+PLUS II или Quartus II (возможен ввод проекта и функциональное моделирование, автоматическое размещение элементов и трассировка межсоединений, конфигурирование ПЛИС);

- для ввода проекта и моделирования можно использовать EDIF 200 и EDIF 300 нетлист-файлы, библиотеки параметризованных функций (LPM), DesignWare компоненты, Verilog HDL, VHDL и другие интерфейсы популярных инструментов САПР из таких программ как Cadence, Exemplar Logic, Mentor Graphics, OrCAD, Synopsys, Synplicity, VeriBest и Viewlogic.

3.6 Значения электрических параметров ПЛИС при приемке и поставке приведены в таблице 2.

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
134	Ожид- 29.12.07			

Таблица 2 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С	Примечание
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В, $U_{CC}=3,0$ В, $U_{IL}=0,8$ В, $U_{IH}=2,2$ В, $I_{OL}=12$ мА	$U_{OL}$	-	0,45	- 60±3 25±3 100±5	Контролируется по одному произвольному пользовательскому выходу
Выходное напряжение высокого уровня, В, $U_{CC}=3,0$ В, $U_{IL}=0,8$ В, $U_{IH}=2,2$ В, $I_{OH}=-4$ мА	$U_{OH}$	2,4	-		
Ток потребления, мА, $U_{CC}=3,6$ В, $U_{IL}=0$ В, $U_{IH}=U_{CC}$	$I_{CC}$	-	15		-
Входной ток низкого уровня, мкА, $U_{CC}=3,6$ В, $U_{IL}=0$ В	$I_{IL}$	-10	-		Для пользовательских входов
Входной ток высокого уровня, мкА, $U_{CC}=3,6$ В, $U_{IH}=5,5$ В	$I_{IH}$	-	10		
Выходной ток в состоянии «Выключено», мкА, $U_{CC}=3,6$ В, $U_{IL}=0$ В, $U_{IH}=3,3$ В, $U_{OL}=0$ В;  $U_{CC}=3,6$ В, $U_{IL}=0$ В, $U_{IH}=3,3$ В, $U_{OH}=5,5$ В	$I_{OZ}$	-25	25		Выходной ток буфера с третьим состоянием в состоянии «Выключено» для пользовательских входов-выходов
Длительность тактового интервала межрегистровой пересылки, нс, $U_{CC}=3,0$ В, $U_{IL}=0$ В, $U_{IH}=U_{CC}$	$t_{DRR}$	-	17,2		-

Подп. и дата

Взам. инв. № Инв. № дубл.

Взам. инв. №

Подп. и дата

Инв. № дубл.

29.12.07

131

Окончание таблицы 2

1	2	3	4	5	6
Максимальная частота следования импульсов тактовых сигналов, МГц, $U_{CC}=3,0 В, U_{IL}=0 В,$ $U_{IH}=U_{CC}$	$f_{Cmax}$	100	-	$-60\pm3$ $25\pm3$ $100\pm5$	Контролируется на тестовой конфигурации 8-разрядного счетчика

3.7 Предельно-допустимые и предельные режимы эксплуатации ПЛИС приведены в таблице 3.

Таблица 3 – Предельно – допустимые и предельные режимы эксплуатации микросхем

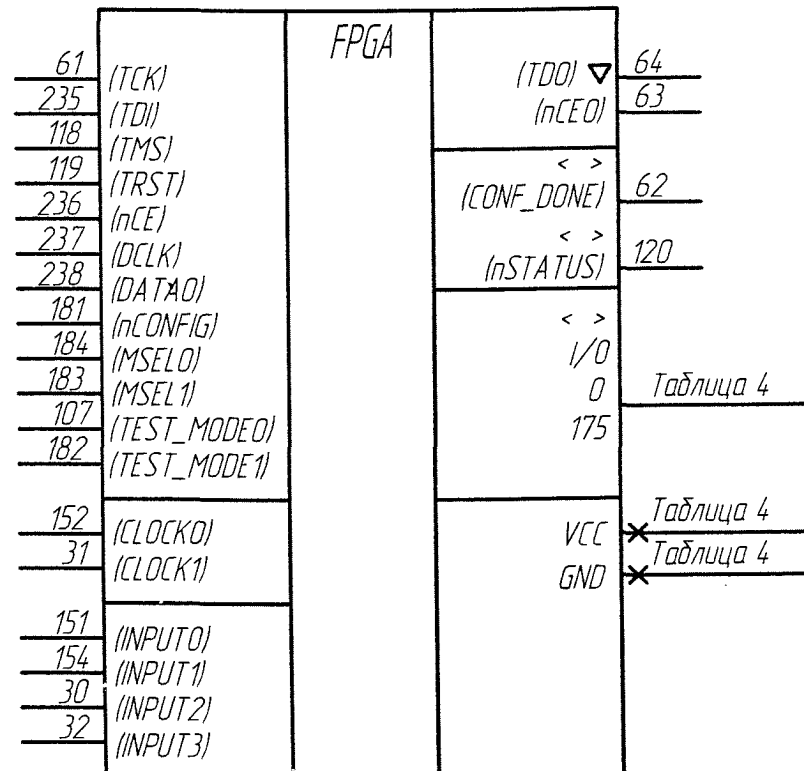
Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	$U_{CC}$	3,0	3,6	-	4,5
Входное напряжение низкого уровня, В	$U_{IL}$	-0,2	0,8	-0,5	-
Входное напряжение высокого уровня, В	$U_{IH}$	2,2	5,5	-	6,0
Выходной ток низкого уровня, мА	$I_{OL}$	-	12	-	32
Выходной ток высокого уровня, мА	$I_{OH}$	-4,0	-	-11	-
Емкость нагрузки, пФ	$C_L$	-	100	-	200

Ишв. № подл. 131	Подп. и дата Олеф 29.12.07	Взам. инв. №	Ишв. № дубл.	Подп. и дата
---------------------	-------------------------------	--------------	--------------	--------------

## 4 Условное обозначение и назначение выводов микросхем

4.1 Разработанные ПЛИС выполнены в планарных металлокерамических корпусах с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота. ПЛИС 5576XC1Т разработана в корпусе 240 CQFP, ПЛИС 5576XC1Т1 – в корпусе 4244.256-1.

Условное графическое обозначение микросхем 5576XC1Т, 5576XC1Т1 приведено на рисунках 1 и 2 соответственно.



FPGA – программируемая логическая интегральная схема;  
 TCK – тактовый вход JTAG;  
 TDI – вход данных JTAG;  
 TMS – управление состоянием TAP контроллера JTAG;  
 TRST – асинхронный сброс TAP контроллера JTAG;  
 nCE – разрешение конфигурирования в режиме Download;  
 DCLK – тактовый вход Download;  
 DATA0 – вход данных Download;  
 nCONFIG – сброс конфигурации;  
 MSEL – выбор типа конфигурирования в режиме Download;  
 TEST\_MODE – управление тестовым режимом;  
 CLOCK – глобальный тактовый вход;

Рисунок 1, лист 1 – Условное графическое обозначение микросхемы интегральной 5576XC1Т в корпусе 240 CQFP

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Октяб-29 12.07			



INPUT – выделенный вход;  
 TDO – выход данных JTAG;  
 nCEO – разрешение конфигурирования следующей схемы в цепочке;  
 CONF DONE – окончание конфигурирования;  
 nSTATUS – готовность к конфигурированию или ошибка при конфигурировании;  
 I/O – программируемый ввод-вывод

Таблица 4

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
66	I/O0	91	I/O21	123	I/O42	147	I/O63	180	I/O84
67	I/O1	93	I/O22	125	I/O43	148	I/O64	175	I/O85
68	I/O2	94	I/O23	122	I/O44	149	I/O65	177	I/O86
69	I/O3	95	I/O24	127	I/O45	156	I/O66	179	I/O87
71	I/O4	97	I/O25	126	I/O46	155	I/O67	186	I/O88
72	I/O5	98	I/O26	129	I/O47	157	I/O68	187	I/O89
73	I/O6	99	I/O27	128	I/O48	160	I/O69	188	I/O90
74	I/O7	100	I/O28	131	I/O49	159	I/O70	189	I/O91
75	I/O8	102	I/O29	130	I/O50	162	I/O71	191	I/O92
77	I/O9	103	I/O30	133	I/O51	161	I/O72	192	I/O93
78	I/O10	104	I/O31	135	I/O52	163	I/O73	193	I/O94
79	I/O11	105	I/O32	134	I/O53	166	I/O74	194	I/O95
80	I/O12	108	I/O33	137	I/O54	168	I/O75	196	I/O96
81	I/O13	109	I/O34	136	I/O55	165	I/O76	197	I/O97
83	I/O14	110	I/O35	139	I/O56	170	I/O77	198	I/O98
84	I/O15	111	I/O36	138	I/O57	167	I/O78	200	I/O99
85	I/O16	113	I/O37	140	I/O58	169	I/O79	201	I/O100
86	I/O17	114	I/O38	142	I/O59	174	I/O80	202	I/O101
88	I/O18	115	I/O39	143	I/O60	171	I/O81	203	I/O102
89	I/O19	116	I/O40	144	I/O61	176	I/O82	205	I/O103
90	I/O20	121	I/O41	145	I/O62	173	I/O83	206	I/O104

Рисунок 1, лист 2

Инв. № 131	Подп. и дата Рисун. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------	---------------------------------	--------------	--------------	--------------

Окончание таблицы 4

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
207	I/O105	226	I/O120	6	I/O135	26	I/O150	50	I/O165
208	I/O106	227	I/O121	11	I/O136	27	I/O151	47	I/O166
210	I/O107	228	I/O122	8	I/O137	28	I/O152	49	I/O167
211	I/O108	230	I/O123	10	I/O138	34	I/O153	54	I/O168
212	I/O109	231	I/O124	15	I/O139	36	I/O154	51	I/O169
213	I/O110	232	I/O125	12	I/O140	35	I/O155	56	I/O170
215	I/O111	233	I/O126	14	I/O141	37	I/O156	53	I/O171
216	I/O112	239	I/O127	17	I/O142	40	I/O157	55	I/O172
217	I/O113	240	I/O128	19	I/O143	39	I/O158	60	I/O173
218	I/O114	1	I/O129	18	I/O144	42	I/O159	57	I/O174
220	I/O115	3	I/O130	21	I/O145	41	I/O160	59	I/O175
221	I/O116	5	I/O131	20	I/O146	44	I/O161		
222	I/O117	7	I/O132	23	I/O147	46	I/O162		
223	I/O118	4	I/O133	22	I/O148	45	I/O163		
225	I/O119	9	I/O134	25	I/O149	48	I/O164		

## Примечания

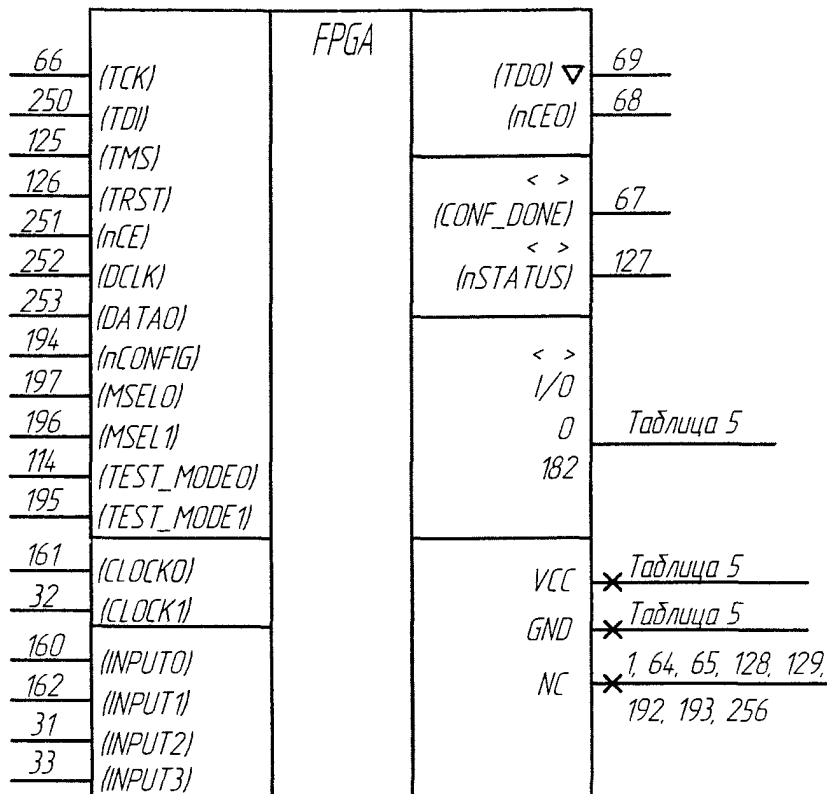
1 Выводы VCC: 2, 16, 29, 38, 52, 65, 76, 87, 96, 106, 117, 132, 146, 150, 164, 178, 190, 199, 209, 219, 229.

2 Выводы GND: 13, 24, 33, 43, 58, 70, 82, 92, 101, 112, 124, 141, 153, 158, 172, 185, 195, 204, 214, 224, 234.

3 Выводы I/O0 – I/O175: 66-69, 71-75, 77-81, 83-86, 88-91, 93-95, 97-100, 102-105, 108-111, 113-116, 121, 123, 125, 122, 127, 126, 129, 128, 131, 130, 133, 135, 134, 137, 136, 139, 138, 140, 142-145, 147-149, 156, 155, 157, 160, 159, 162, 161, 163, 166, 168, 165, 170, 167, 169, 174, 171, 176, 173, 180, 175, 177, 179, 186-189, 191-194, 196-198, 200-203, 205-208, 210-213, 215-218, 220-223, 225-228, 230-233, 239, 240, 1, 3, 5, 7, 4, 9, 6, 11, 8, 10, 15, 12, 14, 17, 19, 18, 21, 20, 23, 22, 25-28, 34, 36, 35, 37, 40, 39, 42, 41, 44, 46, 45, 48, 50, 47, 49, 54, 51, 56, 53, 55, 60, 57, 59.

Рисунок 1, лист 3

Ивл. № 131	Подп. и дата Ожид. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп.
------------	--------------------------------	--------------	--------------	-------



FPGA – программируемая логическая интегральная схема;  
TCK – тактовый вход JTAG;  
TDI – вход данных JTAG;  
TMS – управление состоянием TAP контроллера JTAG;  
TRST – асинхронный сброс TAP контроллера JTAG;  
nCE – разрешение конфигурирования в режиме Download;  
DCLK – тактовый вход Download;  
DATA0 – вход данных Download;  
nCONFIG – сброс конфигурации;  
MSEL – выбор типа конфигурирования в режиме Download;  
TEST\_MODE – управление тестовым режимом;  
CLOCK – глобальный тактовый вход;  
INPUT – выделенный вход;  
TDO – выход данных JTAG;  
nCEO – разрешение конфигурирования следующей схемы в цепочке;  
CONF\_DONE – окончание конфигурирования;  
nSTATUS – готовность к конфигурированию или ошибка при конфигурировании;  
I/O – программируемый ввод-вывод

Рисунок 2, лист 1 – Условное графическое обозначение микросхемы интегральной 5576XC1T1 в корпусе 4244.256-1

Инт. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп.
131	Ожид. 29.12.07			

Таблица 5

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
71	I/O0	101	I/O24	136	I/O48	170	I/O72	205	I/O96
72	I/O1	102	I/O25	139	I/O49	171	I/O73	206	I/O97
73	I/O2	104	I/O26	138	I/O50	173	I/O74	207	I/O98
74	I/O3	105	I/O27	141	I/O51	174	I/O75	209	I/O99
76	I/O4	106	I/O28	140	I/O52	176	I/O76	210	I/O100
77	I/O5	107	I/O29	142	I/O53	175	I/O77	211	I/O101
78	I/O6	109	I/O30	145	I/O54	178	I/O78	212	I/O102
79	I/O7	110	I/O31	144	I/O55	177	I/O79	214	I/O103
80	I/O8	111	I/O32	147	I/O56	179	I/O80	215	I/O104
82	I/O9	112	I/O33	146	I/O57	182	I/O81	216	I/O105
83	I/O10	115	I/O34	149	I/O58	181	I/O82	217	I/O106
84	I/O11	116	I/O35	150	I/O59	184	I/O83	219	I/O107
85	I/O12	117	I/O36	151	I/O60	183	I/O84	220	I/O108
86	I/O13	118	I/O37	152	I/O61	186	I/O85	221	I/O109
88	I/O14	120	I/O38	153	I/O62	188	I/O86	222	I/O110
89	I/O15	121	I/O39	154	I/O63	187	I/O87	224	I/O111
90	I/O16	122	I/O40	156	I/O64	190	I/O88	225	I/O112
91	I/O17	123	I/O41	157	I/O65	189	I/O89	226	I/O113
93	I/O18	131	I/O42	158	I/O66	191	I/O90	227	I/O114
94	I/O19	130	I/O43	164	I/O67	199	I/O91	229	I/O115
95	I/O20	133	I/O44	165	I/O68	200	I/O92	230	I/O116
96	I/O21	132	I/O45	167	I/O69	201	I/O93	231	I/O117
99	I/O22	135	I/O46	168	I/O70	202	I/O94	232	I/O118
100	I/O23	137	I/O47	169	I/O71	204	I/O95	234	I/O119

Рисунок 2, лист 2

Инв. № 134	Подп. и дата Оккуп. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	---------------------------------	--------------	--------------	--------------

## Окончание таблицы 5

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
235	I/O120	255	I/O133	17	I/O146	36	I/O159	51	I/O172
236	I/O121	3	I/O134	16	I/O147	37	I/O160	54	I/O173
237	I/O122	2	I/O135	18	I/O148	39	I/O161	53	I/O174
239	I/O123	5	I/O136	21	I/O149	40	I/O162	56	I/O175
240	I/O124	7	I/O137	20	I/O150	41	I/O163	55	I/O176
241	I/O125	6	I/O138	22	I/O151	42	I/O164	58	I/O177
242	I/O126	9	I/O139	23	I/O152	43	I/O165	60	I/O178
244	I/O127	8	I/O140	24	I/O153	44	I/O166	59	I/O179
245	I/O128	11	I/O141	26	I/O154	46	I/O167	62	I/O180
246	I/O129	10	I/O142	27	I/O155	48	I/O168	61	I/O181
247	I/O130	12	I/O143	28	I/O156	47	I/O169	63	I/O182
248	I/O131	15	I/O144	29	I/O157	50	I/O170		
254	I/O132	14	I/O145	35	I/O158	49	I/O171		

## Примечания

1 Выводы VCC: 4, 19, 30, 38, 52, 70, 81, 92, 103, 113, 124, 143, 155, 159, 172, 185, 203, 213, 223, 233, 243.

2 Выводы GND: 13, 25, 34, 45, 57, 75, 87, 97, 98, 108, 119, 134, 148, 163, 166, 180, 198, 208, 218, 228, 238, 249.

3 Выводы I/O0 – I/O182: 71-74, 76-80, 82-86, 88-91, 93-96, 99-102, 104-107, 109-112, 115-118, 120-123, 131, 130, 133, 132, 135, 137, 136, 139, 138, 141, 140, 142, 145, 144, 147, 146, 149-154, 156-158, 164, 165, 167-171, 173, 174, 176, 175, 178, 177, 179, 182, 181, 184, 183, 186, 188, 187, 190, 189, 191, 199, 200-202, 204-207, 209-212, 214-217, 219-222, 224-227, 229-232, 234-237, 239-242, 244-248, 254, 255, 3, 2, 5, 7, 6, 9, 8, 11, 10, 12, 15, 14, 17, 16, 18, 21, 20, 22, 23, 24, 26-29, 35-37, 39-44, 46, 48, 47, 50, 49, 51, 54, 53, 56, 55, 58, 60, 69, 62, 61, 63.

Рисунок 2, лист 3

Инд. № инв.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Ожнев 29.12.07			

4.2 Функциональное назначение выводов микросхем 5576XC1T и 5576XC1T1 приведено в таблицах 6 и 7 соответственно.

Таблица 6 – Назначение выводов микросхемы интегральной 5576XC1T

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	I/O129 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
2	VCC	Питание		
3	I/O130	Программируемый ввод-вывод	Вход-выход	Пользовательский
4	I/O133	Программируемый ввод-вывод	Вход-выход	Пользовательский
5	I/O131 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
6	I/O135 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
7	I/O132 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
8	I/O137	Программируемый ввод-вывод	Вход-выход	Пользовательский
9	I/O134 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
10	I/O138	Программируемый ввод-вывод	Вход-выход	Пользовательский
11	I/O136	Программируемый ввод-вывод	Вход-выход	Пользовательский
12	I/O140	Программируемый ввод-вывод	Вход-выход	Пользовательский
13	GND	Общий		
14	I/O141	Программируемый ввод-вывод	Вход-выход	Пользовательский
15	I/O139	Программируемый ввод-вывод	Вход-выход	Пользовательский
16	VCC	Питание		
17	I/O142	Программируемый ввод-вывод	Вход-выход	Пользовательский
18	I/O144	Программируемый ввод-вывод	Вход-выход	Пользовательский
19	I/O143	Программируемый ввод-вывод	Вход-выход	Пользовательский
20	I/O146	Программируемый ввод-вывод	Вход-выход	Пользовательский
21	I/O145	Программируемый ввод-вывод	Вход-выход	Пользовательский
22	I/O148	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. № 131	Подп. и дата 0.Инд. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп.
------------	---------------------------------	--------------	--------------	-------

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
23	I/O147	Программируемый ввод-вывод	Вход-выход	Пользовательский
24	GND	Общий		
25	I/O149	Программируемый ввод-вывод	Вход-выход	Пользовательский
26	I/O150	Программируемый ввод-вывод	Вход-выход	Пользовательский
27	I/O151	Программируемый ввод-вывод	Вход-выход	Пользовательский
28	I/O152 <sup>4)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
29	VCC	Питание		
30	INPUT2	Выделенный вход	Вход	Пользовательский
31	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
32	INPUT3	Выделенный вход	Вход	Пользовательский
33	GND	Общий		
34	I/O153 <sup>5)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
35	I/O155	Программируемый ввод-вывод	Вход-выход	Пользовательский
36	I/O154	Программируемый ввод-вывод	Вход-выход	Пользовательский
37	I/O156	Программируемый ввод-вывод	Вход-выход	Пользовательский
38	VCC	Питание		
39	I/O158	Программируемый ввод-вывод	Вход-выход	Пользовательский
40	I/O157	Программируемый ввод-вывод	Вход-выход	Пользовательский
41	I/O160	Программируемый ввод-вывод	Вход-выход	Пользовательский
42	I/O159	Программируемый ввод-вывод	Вход-выход	Пользовательский
43	GND	Общий		
44	I/O161	Программируемый ввод-вывод	Вход-выход	Пользовательский
45	I/O163	Программируемый ввод-вывод	Вход-выход	Пользовательский
46	I/O162	Программируемый ввод-вывод	Вход-выход	Пользовательский
47	I/O166	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп.	Дата
134	Оклад. 29.12.07				

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
48	I/O164	Программируемый ввод-вывод	Вход-выход	Пользовательский
49	I/O167	Программируемый ввод-вывод	Вход-выход	Пользовательский
50	I/O165	Программируемый ввод-вывод	Вход-выход	Пользовательский
51	I/O169	Программируемый ввод-вывод	Вход-выход	Пользовательский
52	VCC	Питание		
53	I/O171	Программируемый ввод-вывод	Вход-выход	Пользовательский
54	I/O168	Программируемый ввод-вывод	Вход-выход	Пользовательский
55	I/O172 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
56	I/O170	Программируемый ввод-вывод	Вход-выход	Пользовательский
57	I/O174 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
58	GND	Общий		
59	I/O175 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
60	I/O173 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
61	TCK	Тактовый вход JTAG	Вход	Служебный
62	CONF_DONE	Окончание конфигурирования	Вход-выход	Служебный
63	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный
64	TDO	Выход данных JTAG	Выход	Служебный
65	VCC	Питание		
66	I/O0	Программируемый ввод-вывод	Вход-выход	Пользовательский
67	I/O1	Программируемый ввод-вывод	Вход-выход	Пользовательский
68	I/O2	Программируемый ввод-вывод	Вход-выход	Пользовательский
69	I/O3	Программируемый ввод-вывод	Вход-выход	Пользовательский
70	GND	Общий		
71	I/O4 <sup>1)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский

Интв. № п/п	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Жуф. 29.12.07			



Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
72	I/O5	Программируемый ввод-вывод	Вход-выход	Пользовательский
73	I/O6	Программируемый ввод-вывод	Вход-выход	Пользовательский
74	I/O7	Программируемый ввод-вывод	Вход-выход	Пользовательский
75	I/O8	Программируемый ввод-вывод	Вход-выход	Пользовательский
76	VCC	Питание		
77	I/O9	Программируемый ввод-вывод	Вход-выход	Пользовательский
78	I/O10	Программируемый ввод-вывод	Вход-выход	Пользовательский
79	I/O11	Программируемый ввод-вывод	Вход-выход	Пользовательский
80	I/O12	Программируемый ввод-вывод	Вход-выход	Пользовательский
81	I/O13	Программируемый ввод-вывод.	Вход-выход	Пользовательский
82	GND	Общий		
83	I/O14 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
84	I/O15	Программируемый ввод-вывод	Вход-выход	Пользовательский
85	I/O16	Программируемый ввод-вывод	Вход-выход	Пользовательский
86	I/O17 <sup>1)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
87	VCC	Питание		
88	I/O18	Программируемый ввод-вывод	Вход-выход	Пользовательский
89	I/O19	Программируемый ввод-вывод	Вход-выход	Пользовательский
90	I/O20	Программируемый ввод-вывод	Вход-выход	Пользовательский
91	I/O21	Программируемый ввод-вывод	Вход-выход	Пользовательский
92	GND	Общий		
93	I/O22	Программируемый ввод-вывод	Вход-выход	Пользовательский
94	I/O23	Программируемый ввод-вывод	Вход-выход	Пользовательский
95	I/O24	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Оклад 29.12.07			

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
96	VCC	Питание		
97	I/O25	Программируемый ввод-вывод	Вход-выход	Пользовательский
98	I/O26	Программируемый ввод-вывод	Вход-выход	Пользовательский
99	I/O27	Программируемый ввод-вывод	Вход-выход	Пользовательский
100	I/O28	Программируемый ввод-вывод	Вход-выход	Пользовательский
101	GND	Общий		
102	I/O29	Программируемый ввод-вывод	Вход-выход	Пользовательский
103	I/O30	Программируемый ввод-вывод	Вход-выход	Пользовательский
104	I/O31	Программируемый ввод-вывод	Вход-выход	Пользовательский
105	I/O32	Программируемый ввод-вывод	Вход-выход	Пользовательский
106	VCC	Питание		
107	TEST_MODE0 <sup>6)</sup>	Управление тестовым режимом	Вход	Служебный
108	I/O33	Программируемый ввод-вывод	Вход-выход	Пользовательский
109	I/O34	Программируемый ввод-вывод	Вход-выход	Пользовательский
110	I/O35	Программируемый ввод-вывод	Вход-выход	Пользовательский
111	I/O36	Программируемый ввод-вывод	Вход-выход	Пользовательский
112	GND	Общий		
113	I/O37	Программируемый ввод-вывод	Вход-выход	Пользовательский
114	I/O38	Программируемый ввод-вывод	Вход-выход	Пользовательский
115	I/O39	Программируемый ввод-вывод	Вход-выход	Пользовательский
116	I/O40	Программируемый ввод-вывод	Вход-выход	Пользовательский
117	VCC	Питание		
118	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный

Инд. № п/п 131	Подп. и дата Октябрь 29.12.07	Взам. инв. № Инв. № дубл.	Подп. и дата
-------------------	----------------------------------	------------------------------	--------------

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
119	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
120	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход-выход	Служебный
121	I/O41	Программируемый ввод-вывод	Вход-выход	Пользовательский
122	I/O44	Программируемый ввод-вывод	Вход-выход	Пользовательский
123	I/O42	Программируемый ввод-вывод	Вход-выход	Пользовательский
124	GND	Общий		
125	I/O43	Программируемый ввод-вывод	Вход-выход	Пользовательский
126	I/O46	Программируемый ввод-вывод	Вход-выход	Пользовательский
127	I/O45	Программируемый ввод-вывод	Вход-выход	Пользовательский
128	I/O48	Программируемый ввод-вывод	Вход-выход	Пользовательский
129	I/O47	Программируемый ввод-вывод	Вход-выход	Пользовательский
130	I/O50	Программируемый ввод-вывод	Вход-выход	Пользовательский
131	I/O49	Программируемый ввод-вывод	Вход-выход	Пользовательский
132	VCC	Питание		
133	I/O51	Программируемый ввод-вывод	Вход-выход	Пользовательский
134	I/O53	Программируемый ввод-вывод	Вход-выход	Пользовательский
135	I/O52	Программируемый ввод-вывод	Вход-выход	Пользовательский
136	I/O55	Программируемый ввод-вывод	Вход-выход	Пользовательский
137	I/O54	Программируемый ввод-вывод	Вход-выход	Пользовательский
138	I/O57	Программируемый ввод-вывод	Вход-выход	Пользовательский
139	I/O56	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инв. № 131	Подп. и дата Мед. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. Дата
---------------	-------------------------------	--------------	--------------	------------

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
140	I/O58	Программируемый ввод-вывод	Вход-выход	Пользовательский
141	GND	Общий		
142	I/O59	Программируемый ввод-вывод	Вход-выход	Пользовательский
143	I/O60	Программируемый ввод-вывод	Вход-выход	Пользовательский
144	I/O61	Программируемый ввод-вывод	Вход-выход	Пользовательский
145	I/O62	Программируемый ввод-вывод	Вход-выход	Пользовательский
146	VCC	Питание		
147	I/O63	Программируемый ввод-вывод	Вход-выход	Пользовательский
148	I/O64	Программируемый ввод-вывод	Вход-выход	Пользовательский
149	I/O65	Программируемый ввод-вывод	Вход-выход	Пользовательский
150	VCC	Питание		
151	INPUT0	Выделенный вход	Вход	Пользовательский
152	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
153	GND	Общий		
154	INPUT1	Выделенный вход	Вход	Пользовательский
155	I/O67	Программируемый ввод-вывод	Вход-выход	Пользовательский
156	I/O66	Программируемый вход-выход	Вход-выход	Пользовательский
157	I/O68	Программируемый ввод-вывод	Вход-выход	Пользовательский
158	GND	Общий		
159	I/O70	Программируемый ввод-вывод	Вход-выход	Пользовательский
160	I/O69	Программируемый ввод-вывод	Вход-выход	Пользовательский
161	I/O72	Программируемый ввод-вывод	Вход-выход	Пользовательский
162	I/O71	Программируемый ввод-вывод	Вход-выход	Пользовательский
163	I/O73	Программируемый ввод-вывод	Вход-выход	Пользовательский
164	VCC	Питание		
165	I/O76	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. №	Подп. и дата	Взам. инв. №	Индв. № дубл.	Подп. дата
131	Ожид. 29.12.07			

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
166	I/O74	Программируемый ввод-вывод	Вход-выход	Пользовательский
167	I/O78	Программируемый ввод-вывод	Вход-выход	Пользовательский
168	I/O75	Программируемый ввод-вывод	Вход-выход	Пользовательский
169	I/O79	Программируемый ввод-вывод	Вход-выход	Пользовательский
170	I/O77	Программируемый ввод-вывод	Вход-выход	Пользовательский
171	I/O81	Программируемый ввод-вывод	Вход-выход	Пользовательский
172	GND	Общий		
173	I/O83	Программируемый ввод-вывод	Вход-выход	Пользовательский
174	I/O80	Программируемый ввод-вывод	Вход-выход	Пользовательский
175	I/O85	Программируемый ввод-вывод	Вход-выход	Пользовательский
176	I/O82	Программируемый ввод-вывод	Вход-выход	Пользовательский
177	I/O86	Программируемый ввод-вывод	Вход-выход	Пользовательский
178	VCC	Питание		
179	I/O87	Программируемый ввод-вывод	Вход-выход	Пользовательский
180	I/O84	Программируемый ввод-вывод	Вход-выход	Пользовательский
181	nCONFIG	Сброс конфигурации	Вход	Служебный
182	TEST_MODE1 <sup>7)</sup>	Управление тестовым режимом	Вход	Служебный
183	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
184	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
185	GND	Общий		
186	I/O88	Программируемый ввод-вывод	Вход-выход	Пользовательский
187	I/O89	Программируемый ввод-вывод	Вход-выход	Пользовательский
188	I/O90	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Оксф. 29.12.07			

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
189	I/O91	Программируемый ввод-вывод	Вход-выход	Пользовательский
190	VCC	Питание		
191	I/O92	Программируемый ввод-вывод	Вход-выход	Пользовательский
192	I/O93	Программируемый ввод-вывод	Вход-выход	Пользовательский
193	I/O94	Программируемый ввод-вывод	Вход-выход	Пользовательский
194	I/O95	Программируемый ввод-вывод	Вход-выход	Пользовательский
195	GND	Общий		
196	I/O96	Программируемый ввод-вывод	Вход-выход	Пользовательский
197	I/O97	Программируемый ввод-вывод	Вход-выход	Пользовательский
198	I/O98	Программируемый ввод-вывод	Вход-выход	Пользовательский
199	VCC	Питание		
200	I/O99	Программируемый ввод-вывод	Вход-выход	Пользовательский
201	I/O100	Программируемый ввод-вывод	Вход-выход	Пользовательский
202	I/O101	Программируемый ввод-вывод	Вход-выход	Пользовательский
203	I/O102	Программируемый ввод-вывод	Вход-выход	Пользовательский
204	GND	Общий		
205	I/O103	Программируемый ввод-вывод	Вход-выход	Пользовательский
206	I/O104	Программируемый ввод-вывод	Вход-выход	Пользовательский
207	I/O105	Программируемый ввод-вывод	Вход-выход	Пользовательский
208	I/O106	Программируемый ввод-вывод	Вход-выход	Пользовательский
209	VCC	Питание		
210	I/O107	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
13	Оксф. 20.12.07			

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
211	I/O108	Программируемый ввод-вывод	Вход-выход	Пользовательский
212	I/O109	Программируемый ввод-вывод	Вход-выход	Пользовательский
213	I/O110	Программируемый ввод-вывод	Вход-выход	Пользовательский
214	GND	Общий		
215	I/O111	Программируемый ввод-вывод	Вход-выход	Пользовательский
216	I/O112	Программируемый ввод-вывод	Вход-выход	Пользовательский
217	I/O113	Программируемый ввод-вывод	Вход-выход	Пользовательский
218	I/O114	Программируемый ввод-вывод	Вход-выход	Пользовательский
219	VCC	Питание		
220	I/O115	Программируемый ввод-вывод	Вход-выход	Пользовательский
221	I/O116	Программируемый ввод-вывод	Вход-выход	Пользовательский
222	I/O117	Программируемый ввод-вывод	Вход-выход	Пользовательский
223	I/O118	Программируемый ввод-вывод	Вход-выход	Пользовательский
224	GND	Общий		
225	I/O119	Программируемый ввод-вывод	Вход-выход	Пользовательский
226	I/O120	Программируемый ввод-вывод	Вход-выход	Пользовательский
227	I/O121	Программируемый ввод-вывод	Вход-выход	Пользовательский
228	I/O122	Программируемый ввод-вывод	Вход-выход	Пользовательский
229	VCC	Питание		
230	I/O123	Программируемый ввод-вывод	Вход-выход	Пользовательский
231	I/O124	Программируемый ввод-вывод	Вход-выход	Пользовательский
232	I/O125	Программируемый ввод-вывод	Вход-выход	Пользовательский
233	I/O126	Программируемый ввод-вывод	Вход-выход	Пользовательский
234	GND	Общий		
235	TDI	Вход данных JTAG	Вход	Служебный

Инв. № докум. 131	Подп. и дата Оккуп. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
----------------------	---------------------------------	--------------	--------------	--------------

Окончание таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
236	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
237	DCLK	Тактовый вход Download	Вход	Служебный
238	DATA0	Вход данных Download	Вход	Служебный
239	I/O127 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
240	I/O128 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский

<sup>1)</sup> Выводы I/O17 и I/O4 могут быть использованы как служебные INIT\_DONE и CLKUSR соответственно, если это указано пользователем.

<sup>2)</sup> При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O127, I/O128, I/O129, I/O131, I/O132, I/O134, I/O135, I/O14 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7, RDYnBSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 6.

<sup>3)</sup> При конфигурировании ПЛИС в режиме PPA выводы I/O172, I/O173, I/O174, I/O175 используются как служебные nRS, nWS, CS, nCS соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 6.

<sup>4)</sup> После выхода ПЛИС в рабочий режим вывод I/O152 может быть использован как глобальный сигнал сброса всех триггеров DEV\_CLRn, если это указано пользователем.

<sup>5)</sup> После выхода ПЛИС в рабочий режим вывод I/O153 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода DEV\_OE, если это указано пользователем.

<sup>6)</sup> Сигнал TEST\_MODE0 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 107 вывод должен быть соединен с общим выводом.

<sup>7)</sup> Сигнал TEST\_MODE1 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 182 вывод должен быть соединен с выводом питания.

Инт. № дубл.	131
Взам. инв. №	
Инт. № дубл.	
Подп. и дата	Октябрь 29. 12. 07
Подп. и дата	



Таблица 7 – Назначение выводов микросхемы интегральной 5576ХС1Т1

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	NC	Не имеет ни одного внутреннего соединения в элементе		
2	I/O135	Программируемый ввод-вывод	Вход-выход	Пользовательский
3	I/O134 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
4	VCC	Питание		
5	I/O136 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
6	I/O138	Программируемый ввод-вывод	Вход-выход	Пользовательский
7	I/O137 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
8	I/O140 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
9	I/O139 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
10	I/O142	Программируемый ввод-вывод	Вход-выход	Пользовательский
11	I/O141	Программируемый ввод-вывод	Вход-выход	Пользовательский
12	I/O143	Программируемый ввод-вывод	Вход-выход	Пользовательский
13	GND	Общий		
14	I/O145	Программируемый ввод-вывод	Вход-выход	Пользовательский
15	I/O144	Программируемый ввод-вывод	Вход-выход	Пользовательский
16	I/O147	Программируемый ввод-вывод	Вход-выход	Пользовательский
17	I/O146	Программируемый ввод-вывод	Вход-выход	Пользовательский
18	I/O148	Программируемый ввод-вывод	Вход-выход	Пользовательский
19	VCC	Питание		
20	I/O150	Программируемый ввод-вывод	Вход-выход	Пользовательский
21	I/O149	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. № по 131	Подп. и дата 09.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	-----------------------	--------------	--------------	--------------

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
22	I/O151	Программируемый ввод-вывод	Вход-выход	Пользовательский
23	I/O152	Программируемый ввод-вывод	Вход-выход	Пользовательский
24	I/O153	Программируемый ввод-вывод	Вход-выход	Пользовательский
25	GND	Общий		
26	I/O154	Программируемый ввод-вывод	Вход-выход	Пользовательский
27	I/O155	Программируемый ввод-вывод	Вход-выход	Пользовательский
28	I/O156	Программируемый ввод-вывод	Вход-выход	Пользовательский
29	I/O157 <sup>4)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
30	VCC	Питание		
31	INPUT2	Выделенный вход	Вход	Пользовательский
32	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
33	INPUT3	Выделенный вход	Вход	Пользовательский
34	GND	Общий		
35	I/O158 <sup>5)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
36	I/O159	Программируемый ввод-вывод	Вход-выход	Пользовательский
37	I/O160	Программируемый ввод-вывод	Вход-выход	Пользовательский
38	VCC	Питание		
39	I/O161	Программируемый ввод-вывод	Вход-выход	Пользовательский
40	I/O162	Программируемый ввод-вывод	Вход-выход	Пользовательский
41	I/O163	Программируемый ввод-вывод	Вход-выход	Пользовательский
42	I/O164	Программируемый ввод-вывод	Вход-выход	Пользовательский
43	I/O165	Программируемый ввод-вывод	Вход-выход	Пользовательский
44	I/O166	Программируемый ввод-вывод	Вход-выход	Пользовательский
45	GND	Общий		
46	I/O167	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. № п/п 131	Подп. и дата Ожнев 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	--------------------------------	--------------	--------------	--------------

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
47	I/O169	Программируемый ввод-вывод	Вход-выход	Пользовательский
48	I/O168	Программируемый ввод-вывод	Вход-выход	Пользовательский
49	I/O171	Программируемый ввод-вывод	Вход-выход	Пользовательский
50	I/O170	Программируемый ввод-вывод	Вход-выход	Пользовательский
51	I/O172	Программируемый ввод-вывод	Вход-выход	Пользовательский
52	VCC	Питание		
53	I/O174	Программируемый ввод-вывод	Вход-выход	Пользовательский
54	I/O173	Программируемый ввод-вывод	Вход-выход	Пользовательский
55	I/O176	Программируемый ввод-вывод	Вход-выход	Пользовательский
56	I/O175	Программируемый ввод-вывод	Вход-выход	Пользовательский
57	GND	Общий		
58	I/O177	Программируемый ввод-вывод	Вход-выход	Пользовательский
59	I/O179	Программируемый ввод-вывод	Вход-выход	Пользовательский
60	I/O178 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
61	I/O181 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
62	I/O180 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
63	I/O182 <sup>3)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
64	NC	Не имеет ни одного внутреннего соединения в элементе		
65	NC	Не имеет ни одного внутреннего соединения в элементе		
66	TCK	Тактовый вход JTAG	Вход	Служебный
67	CONF_DONE	Окончание конфигурирования	Вход-выход	Служебный

Инв. № по 1.3.1	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
	Олеф 29.12.07			

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
68	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный
69	TDO	Выход данных JTAG	Выход	Служебный
70	VCC	Питание		
71	I/O0	Программируемый ввод-вывод	Вход-выход	Пользовательский
72	I/O1	Программируемый ввод-вывод	Вход-выход	Пользовательский
73	I/O2	Программируемый ввод-вывод	Вход-выход	Пользовательский
74	I/O3	Программируемый ввод-вывод	Вход-выход	Пользовательский
75	GND	Общий		
76	I/O4 <sup>1)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
77	I/O5	Программируемый ввод-вывод	Вход-выход	Пользовательский
78	I/O6	Программируемый ввод-вывод	Вход-выход	Пользовательский
79	I/O7	Программируемый ввод-вывод	Вход-выход	Пользовательский
80	I/O8	Программируемый ввод-вывод	Вход-выход	Пользовательский
81	VCC	Питание		
82	I/O9	Программируемый ввод-вывод	Вход-выход	Пользовательский
83	I/O10	Программируемый ввод-вывод	Вход-выход	Пользовательский
84	I/O11	Программируемый ввод-вывод	Вход-выход	Пользовательский
85	I/O12	Программируемый ввод-вывод	Вход-выход	Пользовательский
86	I/O13	Программируемый ввод-вывод	Вход-выход	Пользовательский
87	GND	Общий		
88	I/O14 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
89	I/O15	Программируемый ввод-вывод	Вход-выход	Пользовательский
90	I/O16	Программируемый ввод-вывод	Вход-выход	Пользовательский

Исп. № 131	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
	0/кв. 29.12.07			

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
91	I/O17 <sup>1)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
92	VCC	Питание		
93	I/O18	Программируемый ввод-вывод	Вход-выход	Пользовательский
94	I/O19	Программируемый ввод-вывод	Вход-выход	Пользовательский
95	I/O20	Программируемый ввод-вывод	Вход-выход	Пользовательский
96	I/O21	Программируемый ввод-вывод	Вход-выход	Пользовательский
97	GND	Общий		
98	GND	Общий		
99	I/O22	Программируемый ввод-вывод	Вход-выход	Пользовательский
100	I/O23	Программируемый ввод-вывод	Вход-выход	Пользовательский
101	I/O24	Программируемый ввод-вывод	Вход-выход	Пользовательский
102	I/O25	Программируемый ввод-вывод	Вход-выход	Пользовательский
103	VCC	Питание		
104	I/O26	Программируемый ввод-вывод	Вход-выход	Пользовательский
105	I/O27	Программируемый ввод-вывод	Вход-выход	Пользовательский
106	I/O28	Программируемый ввод-вывод	Вход-выход	Пользовательский
107	I/O29	Программируемый ввод-вывод	Вход-выход	Пользовательский
108	GND	Общий		
109	I/O30	Программируемый ввод-вывод	Вход-выход	Пользовательский
110	I/O31	Программируемый ввод-вывод	Вход-выход	Пользовательский
111	I/O32	Программируемый ввод-вывод	Вход-выход	Пользовательский
112	I/O33	Программируемый ввод-вывод	Вход-выход	Пользовательский
113	VCC	Питание		
114	TEST_MODE0 <sup>6)</sup>	Управление тестовым режимом	Вход	Служебный
115	I/O34	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инв. № п/л 134	Подп. и дата Оксей. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	---------------------------------	--------------	--------------	--------------

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
116	I/O35	Программируемый ввод-вывод	Вход-выход	Пользовательский
117	I/O36	Программируемый ввод-вывод	Вход-выход	Пользовательский
118	I/O37	Программируемый ввод-вывод	Вход-выход	Пользовательский
119	GND	Общий		
120	I/O38	Программируемый ввод-вывод	Вход-выход	Пользовательский
121	I/O39	Программируемый ввод-вывод	Вход-выход	Пользовательский
122	I/O40	Программируемый ввод-вывод	Вход-выход	Пользовательский
123	I/O41	Программируемый ввод-вывод	Вход-выход	Пользовательский
124	VCC	Питание		
125	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
126	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
127	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход-выход	Служебный
128	NC	Не имеет ни одного внутреннего соединения в элементе		
129	NC	Не имеет ни одного внутреннего соединения в элементе		
130	I/O43	Программируемый ввод-вывод	Вход-выход	Пользовательский
131	I/O42	Программируемый ввод-вывод	Вход-выход	Пользовательский
132	I/O45	Программируемый ввод-вывод	Вход-выход	Пользовательский
133	I/O44	Программируемый ввод-вывод	Вход-выход	Пользовательский
134	GND	Общий		
135	I/O46	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инв. № 134	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
134	Октябрь 29.12.07			

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
136	I/O48	Программируемый ввод-вывод	Вход-выход	Пользовательский
137	I/O47	Программируемый ввод-вывод	Вход-выход	Пользовательский
138	I/O50	Программируемый ввод-вывод	Вход-выход	Пользовательский
139	I/O49	Программируемый ввод-вывод	Вход-выход	Пользовательский
140	I/O52	Программируемый ввод-вывод	Вход-выход	Пользовательский
141	I/O51	Программируемый ввод-вывод	Вход-выход	Пользовательский
142	I/O53	Программируемый ввод-вывод	Вход-выход	Пользовательский
143	VCC	Питание		
144	I/O55	Программируемый ввод-вывод	Вход-выход	Пользовательский
145	I/O54	Программируемый ввод-вывод	Вход-выход	Пользовательский
146	I/O57	Программируемый ввод-вывод	Вход-выход	Пользовательский
147	I/O56	Программируемый ввод-вывод	Вход-выход	Пользовательский
148	GND	Общий		
149	I/O58	Программируемый ввод-вывод	Вход-выход	Пользовательский
150	I/O59	Программируемый ввод-вывод	Вход-выход	Пользовательский
151	I/O60	Программируемый ввод-вывод	Вход-выход	Пользовательский
152	I/O61	Программируемый ввод-вывод	Вход-выход	Пользовательский
153	I/O62	Программируемый ввод-вывод	Вход-выход	Пользовательский
154	I/O63	Программируемый ввод-вывод	Вход-выход	Пользовательский
155	VCC	Питание		
156	I/O64	Программируемый ввод-вывод	Вход-выход	Пользовательский
157	I/O65	Программируемый ввод-вывод	Вход-выход	Пользовательский
158	I/O66	Программируемый ввод-вывод	Вход-выход	Пользовательский
159	VCC	Питание		

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
134	01.04.2012			

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
160	INPUT0	Выделенный вход	Вход	Пользовательский
161	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
162	INPUT1	Выделенный вход	Вход	Пользовательский
163	GND	Общий		
164	I/O67	Программируемый ввод-вывод	Вход-выход	Пользовательский
165	I/O68	Программируемый ввод-вывод	Вход-выход	Пользовательский
166	GND	Общий		
167	I/O69	Программируемый ввод-вывод	Вход-выход	Пользовательский
168	I/O70	Программируемый ввод-вывод	Вход-выход	Пользовательский
169	I/O71	Программируемый ввод-вывод	Вход-выход	Пользовательский
170	I/O72	Программируемый ввод-вывод	Вход-выход	Пользовательский
171	I/O73	Программируемый ввод-вывод	Вход-выход	Пользовательский
172	VCC	Питание		
173	I/O74	Программируемый ввод-вывод	Вход-выход	Пользовательский
174	I/O75	Программируемый ввод-вывод	Вход-выход	Пользовательский
175	I/O77	Программируемый ввод-вывод	Вход-выход	Пользовательский
176	I/O76	Программируемый ввод-вывод	Вход-выход	Пользовательский
177	I/O79	Программируемый ввод-вывод	Вход-выход	Пользовательский
178	I/O78	Программируемый ввод-вывод	Вход-выход	Пользовательский
179	I/O80	Программируемый ввод-вывод	Вход-выход	Пользовательский
180	GND	Общий		
181	I/O82	Программируемый ввод-вывод	Вход-выход	Пользовательский
182	I/O81	Программируемый ввод-вывод	Вход-выход	Пользовательский
183	I/O84	Программируемый ввод-вывод	Вход-выход	Пользовательский
184	I/O83	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. № 137	Подп. и дата Олеф-29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------	-------------------------------	--------------	--------------	--------------



Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
185	VCC	Питание		
186	I/O85	Программируемый ввод-вывод	Вход-выход	Пользовательский
187	I/O87	Программируемый ввод-вывод	Вход-выход	Пользовательский
188	I/O86	Программируемый ввод-вывод	Вход-выход	Пользовательский
189	I/O89	Программируемый ввод-вывод	Вход-выход	Пользовательский
190	I/O88	Программируемый ввод-вывод	Вход-выход	Пользовательский
191	I/O90	Программируемый ввод-вывод	Вход-выход	Пользовательский
192	NC	Не имеет ни одного внутреннего соединения в элементе		
193	NC	Не имеет ни одного внутреннего соединения в элементе		
194	nCONFIG	Сброс конфигурации	Вход	Служебный
195	TEST_MODE1 <sup>7)</sup>	Управление тестовым режимом	Вход	Служебный
196	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
197	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
198	GND	Общий		
199	I/O91	Программируемый ввод-вывод	Вход-выход	Пользовательский
200	I/O92	Программируемый ввод-вывод	Вход-выход	Пользовательский
201	I/O93	Программируемый ввод-вывод	Вход-выход	Пользовательский
202	I/O94	Программируемый ввод-вывод	Вход-выход	Пользовательский
203	VCC	Питание		
204	I/O95	Программируемый ввод-вывод	Вход-выход	Пользовательский
205	I/O96	Программируемый ввод-вывод	Вход-выход	Пользовательский
206	I/O97	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инв. № по 131	Подп. и дата Оксид-29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	-----------------------------	--------------	--------------	--------------

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
207	I/O98	Программируемый ввод-вывод	Вход-выход	Пользовательский
208	GND	Общий		
209	I/O99	Программируемый ввод-вывод	Вход-выход	Пользовательский
210	I/O100	Программируемый ввод-вывод	Вход-выход	Пользовательский
211	I/O101	Программируемый ввод-вывод	Вход-выход	Пользовательский
212	I/O102	Программируемый ввод-вывод	Вход-выход	Пользовательский
213	VCC	Питание		
214	I/O103	Программируемый ввод-вывод	Вход-выход	Пользовательский
215	I/O104	Программируемый ввод-вывод	Вход-выход	Пользовательский
216	I/O105	Программируемый ввод-вывод	Вход-выход	Пользовательский
217	I/O106	Программируемый ввод-вывод	Вход-выход	Пользовательский
218	GND	Общий		
219	I/O107	Программируемый ввод-вывод	Вход-выход	Пользовательский
220	I/O108	Программируемый ввод-вывод	Вход-выход	Пользовательский
221	I/O109	Программируемый ввод-вывод	Вход-выход	Пользовательский
222	I/O110	Программируемый ввод-вывод	Вход-выход	Пользовательский
223	VCC	Питание		
224	I/O111	Программируемый ввод-вывод	Вход-выход	Пользовательский
225	I/O112	Программируемый ввод-вывод	Вход-выход	Пользовательский
226	I/O113	Программируемый ввод-вывод	Вход-выход	Пользовательский
227	I/O114	Программируемый ввод-вывод	Вход-выход	Пользовательский
228	GND	Общий		
229	I/O115	Программируемый ввод-вывод	Вход-выход	Пользовательский
230	I/O116	Программируемый ввод-вывод	Вход-выход	Пользовательский

Инд. № 134	Подп. и дата Скел. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------	--------------------------------	--------------	--------------	--------------

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
231	I/O117	Программируемый ввод-вывод	Вход-выход	Пользовательский
232	I/O118	Программируемый ввод-вывод	Вход-выход	Пользовательский
233	VCC	Питание		
234	I/O119	Программируемый ввод-вывод	Вход-выход	Пользовательский
235	I/O120	Программируемый ввод-вывод	Вход-выход	Пользовательский
236	I/O121	Программируемый ввод-вывод	Вход-выход	Пользовательский
237	I/O122	Программируемый ввод-вывод	Вход-выход	Пользовательский
238	GND	Общий		
239	I/O123	Программируемый ввод-вывод	Вход-выход	Пользовательский
240	I/O124	Программируемый ввод-вывод	Вход-выход	Пользовательский
241	I/O125	Программируемый ввод-вывод	Вход-выход	Пользовательский
242	I/O126	Программируемый ввод-вывод	Вход-выход	Пользовательский
243	VCC	Питание		
244	I/O127	Программируемый ввод-вывод	Вход-выход	Пользовательский
245	I/O128	Программируемый ввод-вывод	Вход-выход	Пользовательский
246	I/O129	Программируемый ввод-вывод	Вход-выход	Пользовательский
247	I/O130	Программируемый ввод-вывод	Вход-выход	Пользовательский
248	I/O131	Программируемый ввод-вывод	Вход-выход	Пользовательский
249	GND	Общий		
250	TDI	Вход данных JTAG	Вход	Служебный
251	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
252	DCLK	Тактовый вход Download	Вход	Служебный
253	DATA0	Вход данных Download	Вход	Служебный
254	I/O132 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский

Интв. № 131	Подп. и дата Ожид. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп.
----------------	--------------------------------	--------------	--------------	-------

Окончание таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
255	I/O133 <sup>2)</sup>	Программируемый ввод-вывод	Вход-выход	Пользовательский
256	NC	Не имеет ни одного внутреннего соединения в элементе		

<sup>1)</sup> Выводы I/O17 и I/O4 могут быть использованы как служебные INIT\_DONE и CLKUSR соответственно, если это указано пользователем.

<sup>2)</sup> При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O132, I/O133, I/O134, I/O136, I/O137, I/O139, I/O140, I/O14 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7, RDYnBSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 7.

<sup>3)</sup> При конфигурировании ПЛИС в режиме PPA выводы I/O178, I/O180, I/O181, I/O182 используются как служебные nRS, nWS, CS, nCS соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 7.

<sup>4)</sup> После выхода ПЛИС в рабочий режим вывод I/O157 может быть использован как глобальный сигнал сброса всех триггеров DEV\_CLRn, если это указано пользователем.

<sup>5)</sup> После выхода ПЛИС в рабочий режим вывод I/O158 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода DEV\_OE, если это указано пользователем.

<sup>6)</sup> Сигнал TEST\_MODE0 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 114 вывод должен быть соединен с общим выводом.

<sup>7)</sup> Сигнал TEST\_MODE1 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 195 вывод должен быть соединен с выводом питания.

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
134	Ожид 29.12.07			

## 5 Описание архитектуры ПЛИС

ПЛИС обладают встроенной программируемой логикой с возможностью реконфигурации в составе аппаратуры. Такая возможность позволяет на 100 % протестировать ИС до её использования потребителем и делает не обязательной для разработчика генерацию векторов для тестирования по выявлению конкретных ошибок. Базой реконфигурируемых элементов служат 566796 ячеек СОЗУ, распределенных по площади микросхемы. В основе архитектуры ПЛИС лежат следующие компоненты: логические элементы (ЛЭ), объединенные в логические блоки (ЛБ), блоки формирования глобальных сигналов управления, система межсоединений, а также обслуживающие блоки: блоки тестирования (БТ) и блоки программирования (БП). ЛЭ объединены в группы по 8 – логические блоки, число которых составляет 360. ЛБ составляют матрицу из 10 рядов и 36 столбцов. Встроенная память разделена на 10 блоков встроенной памяти (БВП), в каждом ряду расположено по одному БВП. Блок управления программированием (БУП) вместе с БП образуют систему конфигурирования ПЛИС, основанную на элементах СОЗУ. Встроенный блок управления тестированием (БУТ) с использованием схемы периферийного сканирования, включающей БТ, составляют систему тестирования JTAG (Joint Test Action Group), совместимую с IEEE Std. 1149.1-1990.

БВП используется для реализации разнообразных функций памяти или сложных логических функций. ЛБ используются для реализации простой логики, счетчиков, сумматоров, машин конечных состояний и мультиплексоров. Плотнупакованная комбинация ЛБ и БВП позволяет разработчикам реализовывать законченные системы в одном устройстве. Вокруг матричной части ПЛИС расположены общие выводы и выводы питания, служебные выводы, пользовательские элементы ввода-вывода и 6 выделенных входов, два из которых можно использовать в качестве формирователей тактовых импульсов. ЛБ, БВП и элементы ввода-вывода связаны друг с другом системой межсоединений.

ПЛИС поддерживают внутрисистемное конфигурирование с использованием специальных микросхем памяти EPС2, EPС8, EPС16. Конфигурационные данные могут быть так же загружены через загрузочные кабели BitBlaster

Инд. № по 134	Подп. и дата Октяб. 29. 12. 07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	-----------------------------------	--------------	--------------	--------------

(ф. Altera), ByteBlasterMV (ф. Altera) или MasterBlaster (ф. Altera). ПЛИС содержат оптимизированный интерфейс, который позволяет микропроцессорам программировать их последовательно или параллельно, синхронно или асинхронно. Интерфейс также даёт возможность микропроцессорам рассматривать ПЛИС как память и конфигурировать их путем записи в памяти, расположенной виртуально, делая это очень простым устройством для разработчика. ПЛИС может быть переконфигурирована путем загрузки новых данных. Реконфигурация занимает менее 70 мс при частоте 10 МГц.

На рисунке 3 показана электрическая структурная схема ПЛИС.

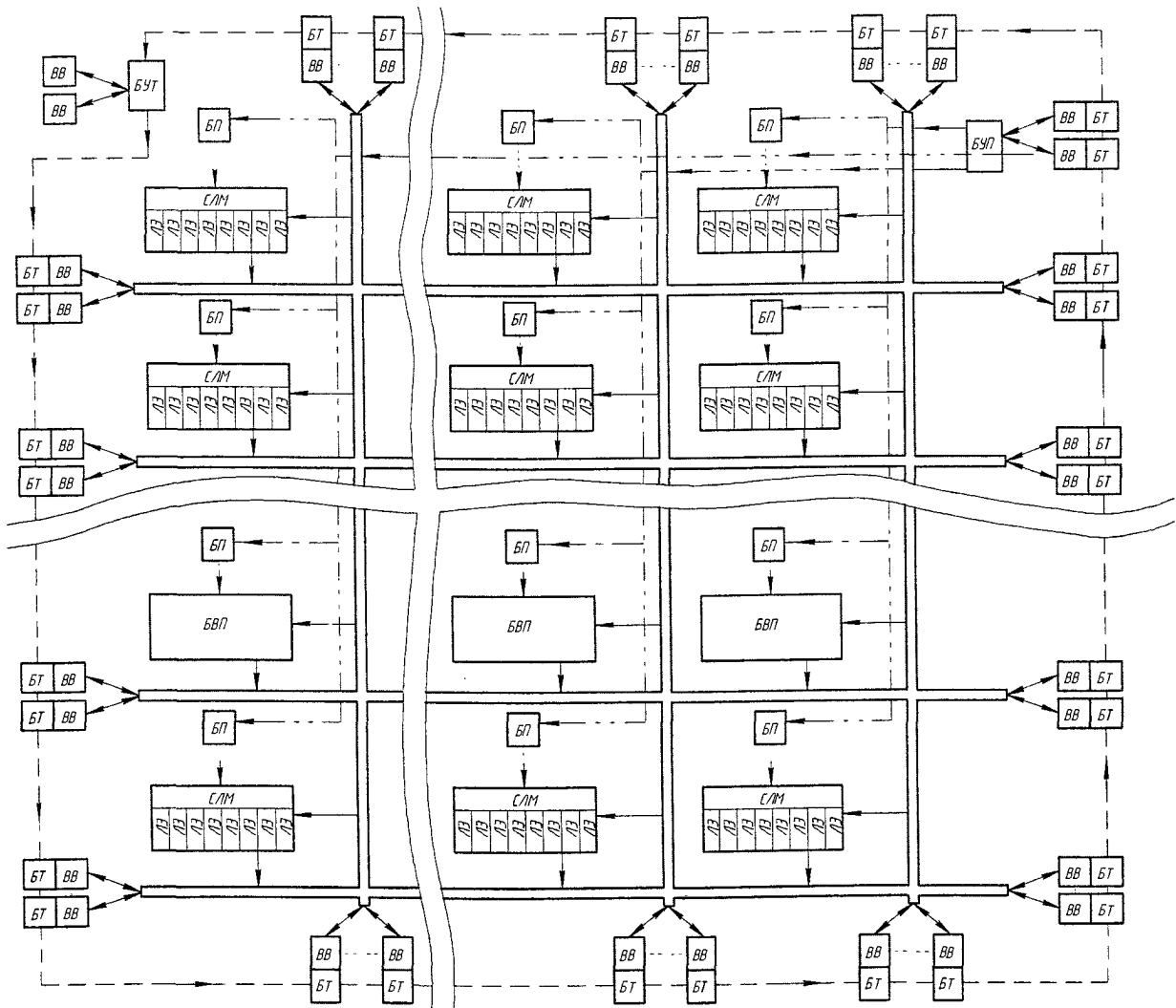


Рисунок 3, лист 1 – Схема электрическая структурная ПЛИС

Интв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
131	01.09.2012.07			

СЛМ – система локальных межсоединений;  
 ЛЭ – логический элемент;  
 БВП – блок встроенной памяти;  
 ВВ – элемент ввода-вывода;  
 БП – блок программирования;  
 БУП – блок управления программированием (Download, JTAG);  
 БТ – блок тестирования;  
 БУТ – блок управления тестированием (JTAG);  
 — — система глобальных межсоединений

Рисунок 3, лист 2

## 5.1 Блок встроенной памяти

Встроенная матрица памяти содержит 10 БВП. Каждый БВП предоставляет 2048 бит с регистрами на входе и выходе блока. Когда реализуются функции памяти, БВП могут быть использованы для создания синхронного или асинхронного ОЗУ, ПЗУ или функций «первым прибыл, первым обслужен» (FIFO). Возможны следующие конфигурации БВП: 256×8, 512×4, 1024×2 или 2048×1. Каждый БВП может реализовывать сложные логические функции от 100 до 600 вентилей, такие как умножители, микроконтроллеры, машины конечных состояний (state machines) и функции цифровой обработки сигналов.

Для управления входными и выходными регистрами БВП можно использовать разные тактовые сигналы, источником которых могут быть специализированные входы, глобальные сигналы или внутренние сигналы СЛМ БВП. Эти же источники можно применять для генерации сигнала разрешения записи. Входные данные и адрес БВП подключены через СЛМ к рядам системы межсоединений. Выходные данные можно коммутировать на ряды и на столбцы системы межсоединений.

Структурная схема БВП показана на рисунке 4.

Интв. № г	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп.
131	08.12.07			

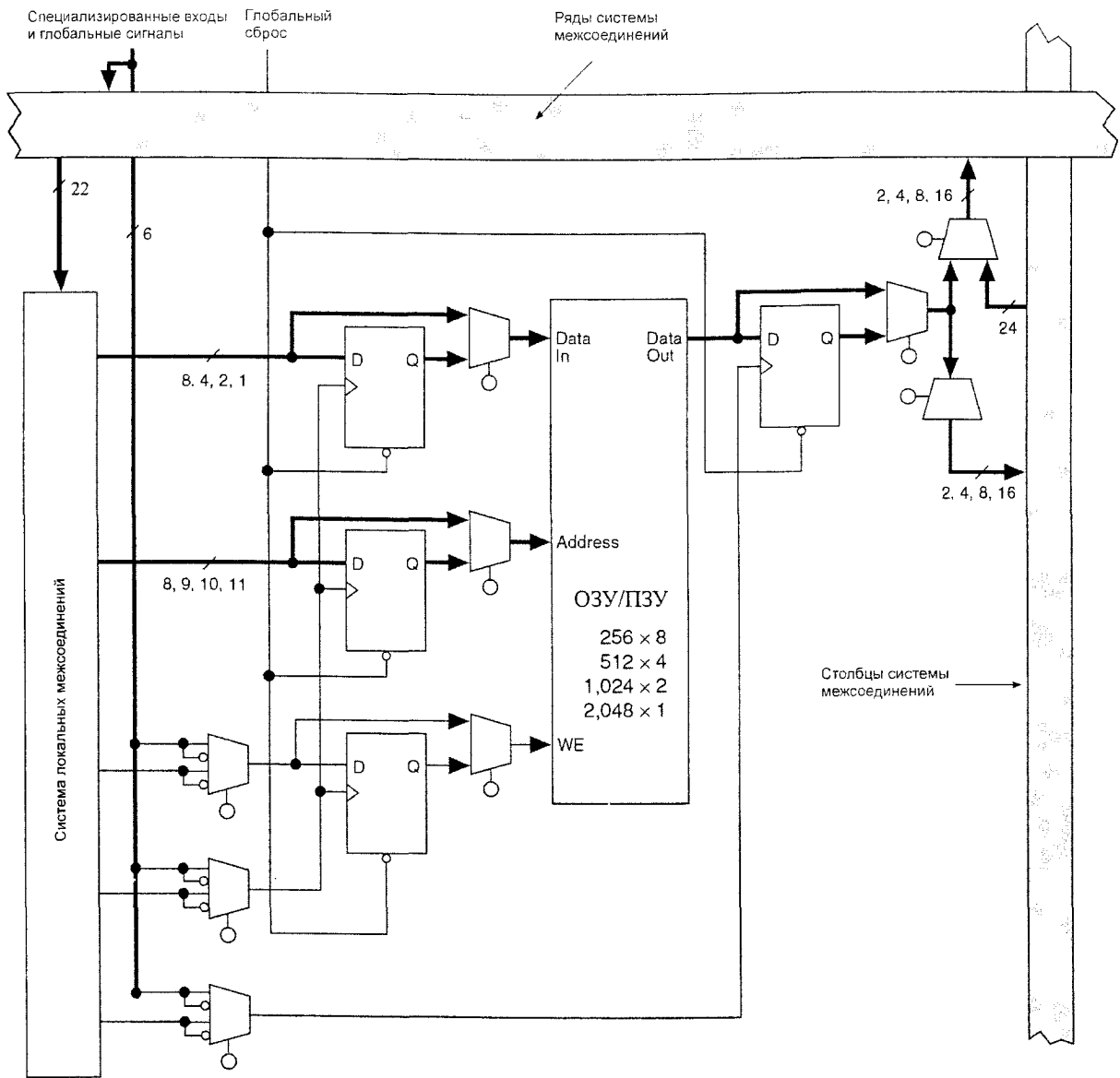


Рисунок 4 – Структурная схема блока встроенной памяти

Инв. № полн.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Ожиг. 29.12.07			



## 5.2 Логический блок

ЛБ является основным элементом крупнозернистой архитектуры, основанной на эффективной трассировке с оптимальным использованием элементов и высокой производительностью, и служит для обеспечения эффективного размещения большинства проектов на ПЛИС.

ЛБ имеет СЛМ, выводы управления триггерами ЛБ, каналы переноса и каскадирования. ЛБ подключен к системе межсоединений 22-входными и 8-выходными каналами. Управление триггерами, расположенными в ЛБ, осуществляется по четырем сигналам с программируемой инверсией, каждый из которых может быть использован во всех восьми ЛЭ. Два из этих сигналов используются как тактовые, остальные – как сигналы сброса и установки. Источником управляющих сигналов могут быть выделенные (специализированные) входы, сигналы с элементов ввода-вывода или внутренние сигналы СЛМ ЛБ. Как правило, в качестве внешних источников глобальных тактовых сигналов или сигналов сброса и установки используются выделенные (специализированные) входы. Структурная схема ЛБ приведена на рисунке 5.

Инв. № д. л. ч. 134	Подп. и дата Оклад 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------------	--------------------------------	--------------	--------------	--------------

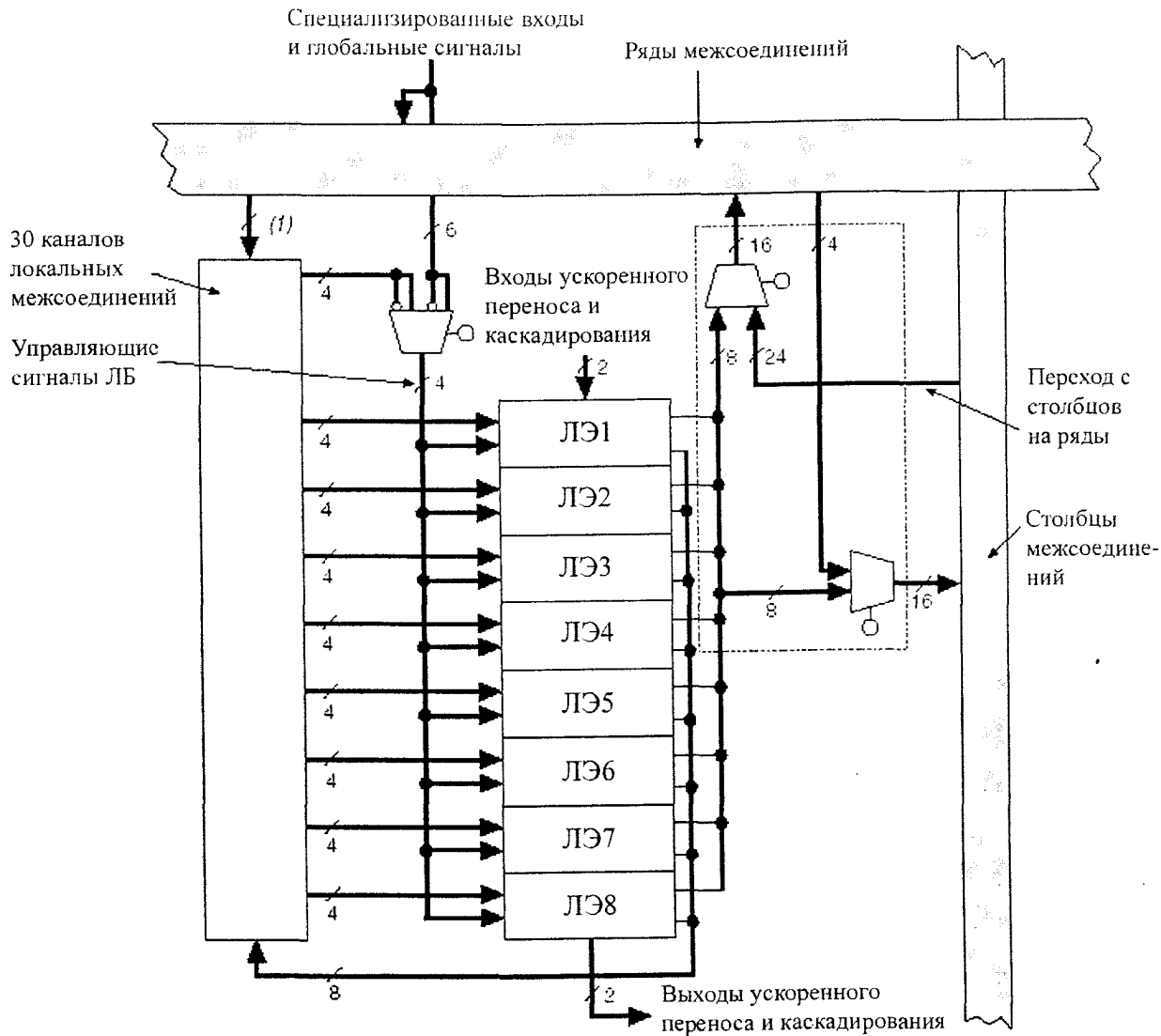


Рисунок 5 – Структурная схема логического блока

Инв. № по 131	Подп. и дата 08.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	-----------------------	--------------	--------------	--------------

## 5.3. Логический элемент

ЛЭ является минимальным элементом логики, имеет компактные размеры и предоставляет эффективные средства для реализации различных логических функций. Каждый ЛЭ содержит четырехвходовую таблицу преобразования (look-up table - LUT), которая представляет собой генератор функций (ГФ), способный реализовать функцию четырех переменных. ГФ четырех переменных может быть представлен как два ГФ трех переменных и мультиплексор 3 в 1. Кроме того, каждый ЛЭ содержит программируемый триггер, цепи переноса и каскадирования, а также имеет выход как на локальные межсоединения ЛБ, так и на систему глобальных межсоединений. Структурная схема ЛЭ показана на рисунке 6.

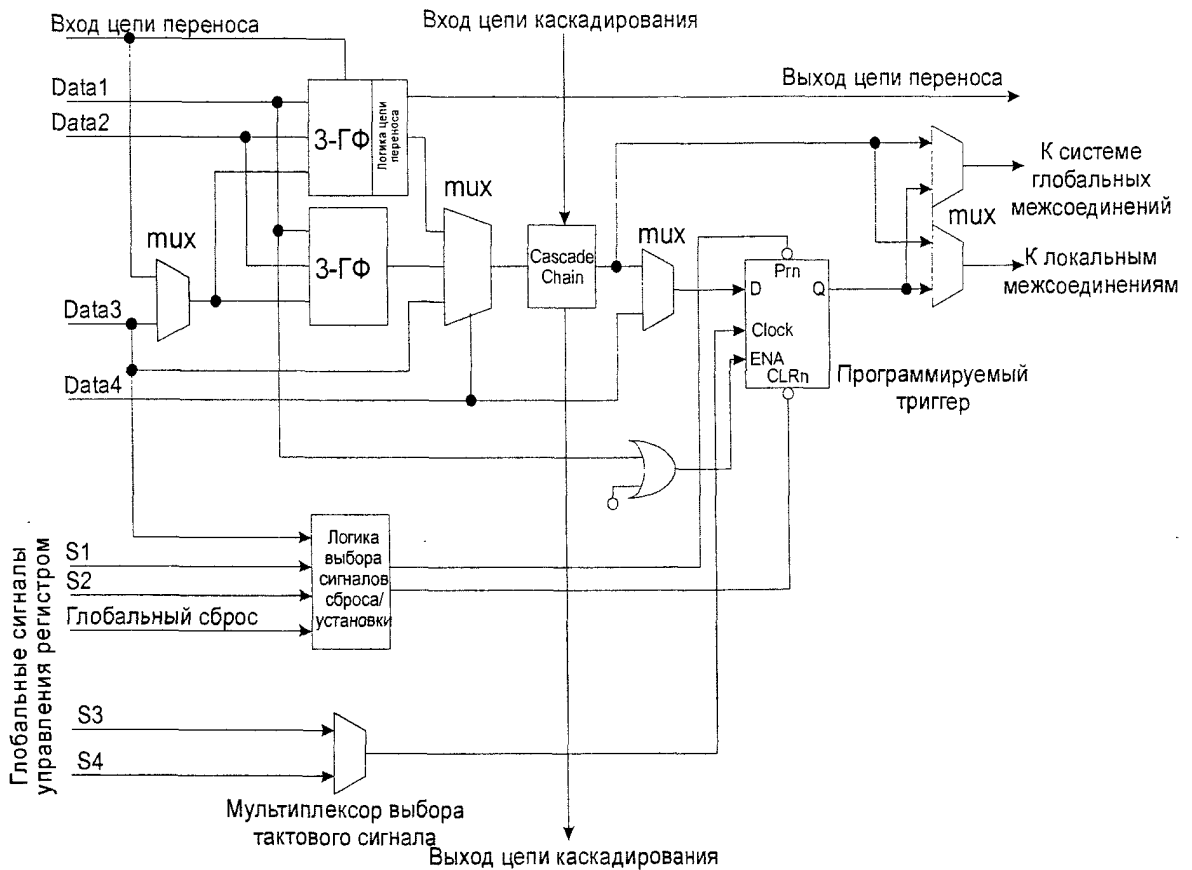


Рисунок 6 – Структурная схема логического элемента

Инд. № инв.	131
Подп. и дата	Ожид. 29.12.07
Взам. инв. №	
Инд. № дубл.	
Подп. и	

Программируемый триггер ЛЭ может быть сконфигурирован как триггер D, T, JK или SR типа. Источником сигналов управления триггером (тактовый сигнал, сброс, установка) могут быть выделенные (специализированные) входы, сигналы с элементов ввода-вывода общего назначения или сигналы с внутренней логики. При реализации комбинаторных функций триггер не используется и сигнал с входа ГФ будет поступать на выход ЛЭ.

Цель переноса представляет собой быстродействующую функцию переноса между ЛЭ. Эта функция позволяет реализовывать быстродействующие счетчики и сумматоры произвольной ширины.

С помощью цепи каскадирования реализуются функции, имеющие большой коэффициент объединения по входу. Соседние ЛЭ могут быть использованы для параллельного вычисления частей функции, а цепь каскадирования последовательно соединяет промежуточные результаты. Цепь каскадирования может использовать логические функции «ИЛИ» и «И» для соединения входов соседних ЛЭ. Каждый дополнительный ЛЭ добавляет четыре входа к эффективной ширине функции.

Цепи каскадирования, объединяющие более восьми ЛЭ, реализуются путем соединения либо четных, либо нечетных ЛБ в строке.

### 5.3.1 Режимы работы логического элемента

ЛЭ может функционировать в одном из следующих четырех режимов:

- нормальный режим;
- арифметический (счетный) режим;
- режим суммирующего/вычитающего счетчика;
- режим сбрасываемого счетчика.

Архитектура ПЛИС обеспечивает синхронный сигнал разрешения тактового сигнала Data1 во всех четырех режимах, который может быть использован для синхронного разрешения триггера.

Инв. № по 131	Подп. и дата Октябрь 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
------------------	----------------------------------	--------------	--------------	---------

## 5.3.1.1 Нормальный режим

Нормальный режим (рисунок 7) подходит для большинства логических приложений и функций декодирования, использующих преимущества цепи каскадирования. В данном режиме четыре сигнала Data1, Data2, Data3, Data4 или Data1, Data2, Data4 и сигнал с входа цепи переноса являются входными для ГФ. Сигнал с выхода ГФ может быть скомбинирован с сигналом с входа цепи каскадирования для формирования цепи каскадирования. В зависимости от состояния программируемого мультиплексора, выходным сигналом ЛЭ является либо этот комбинированный сигнал, либо выходные данные программируемого триггера.

ГФ и триггер в ЛЭ могут использоваться независимо друг от друга. Как триггер, так и ГФ могут коммутироваться с локальными и глобальными межсоединениями. Например, триггер может коммутироваться с глобальными межсоединениями, в то время как ГФ – с локальными, и наоборот.

Сигнал Data4 может быть скоммутирован непосредственно на вход триггера, позволяя ГФ вычислять функцию, независимую от сигнала на триггере. Функция трех переменных может быть задана в ГФ, а четвертый независимый сигнал может быть подан на триггер. В качестве альтернативного варианта функция четырех переменных реализуется в ГФ и один из входов ГФ является так же входом триггера.

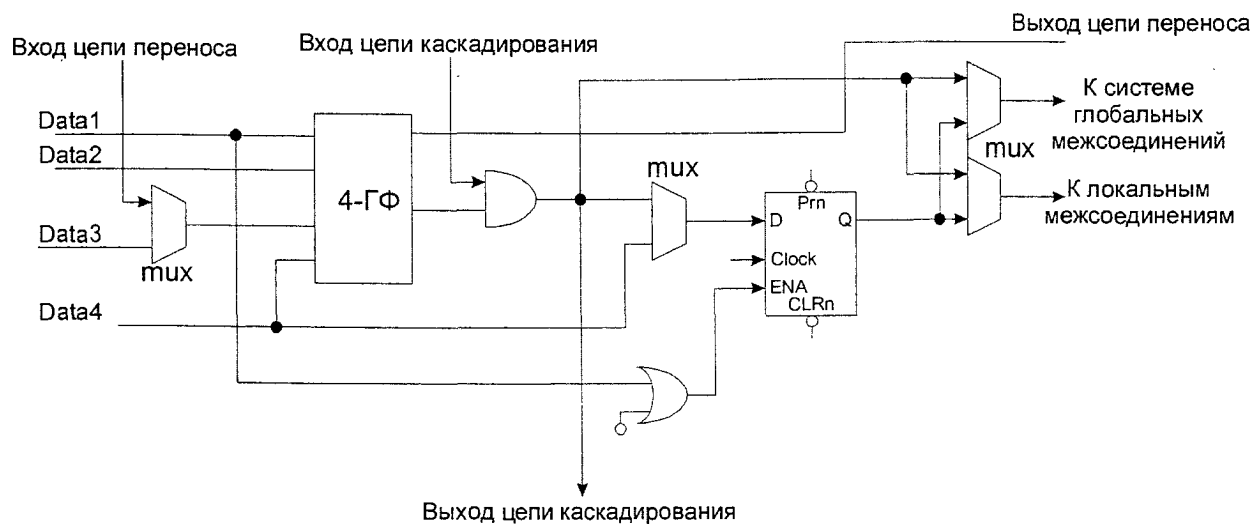


Рисунок 7 –Нормальный режим работы логического элемента

Инд. №	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп.
131	Ожид. 29.12.07			

## 5.3.1.2 Арифметический режим

Арифметический режим (рисунок 8) предназначен для реализации сумматоров, аккумуляторов и компараторов. В данном режиме сигналы Data1, Data2 и сигнал с входа цепи переноса являются входными сигналами для двух трех-входовых ГФ, один из которых реализует функцию трех переменных, а другой формирует сигнал цепи переноса. Первый ГФ использует сигнал с входа цепи переноса и двух входов данных с СЛМ ЛБ для генерации комбинаторного или буферизованного выхода. Второй ГФ использует те же три сигнала для генерации выхода цепи переноса, создавая таким образом цепь переноса. Арифметический режим также поддерживает одновременное использование цепи каскадирования.

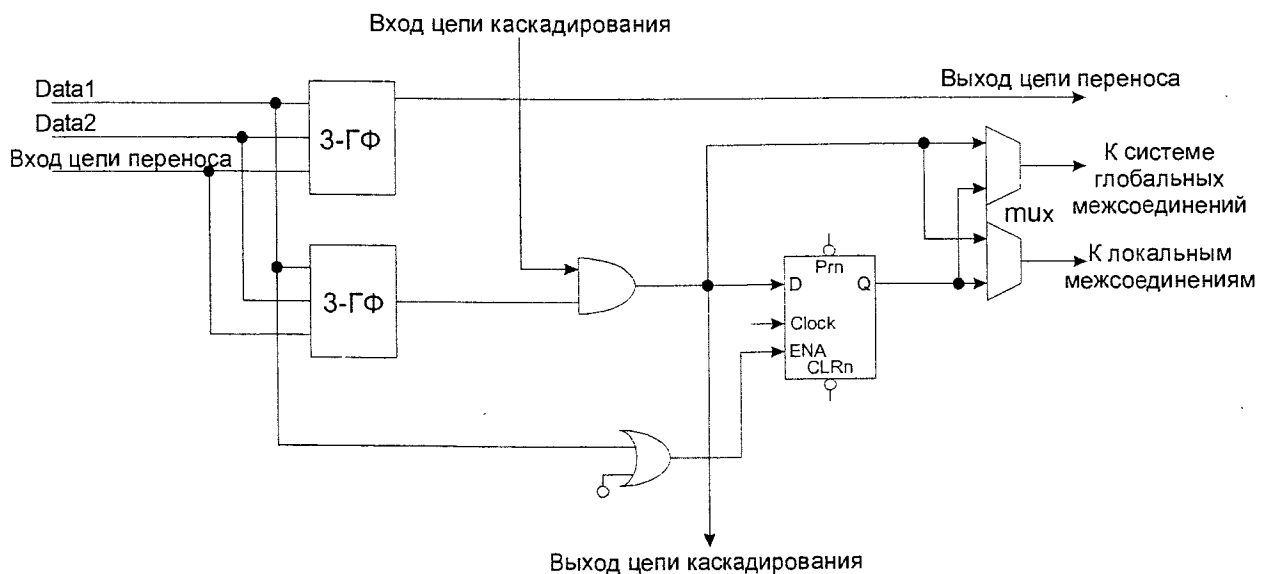


Рисунок 8 – Арифметический режим работы логического элемента

Инд. № по 131	Подп. и дата Оксф. 29.12.07	Взам. инв. №	Инд. № дубл.	Подп. и
---------------	-----------------------------	--------------	--------------	---------

## 5.3.1.3 Режим суммирующего/вычитающего счетчика

В данном режиме (рисунок 9) используются два трехвходовых ГФ. Один из них формирует данные счетчика с помощью сигналов управления Data1, обратной связи триггера, входа цепи переноса. Другой формирует сигнал переноса с помощью сигналов управления обратной связи триггера, Data2, входа цепи переноса. Сигнал Data4 предназначен для реализации возможности синхронной загрузки данных. Загрузка данных может быть асинхронной без использования ресурсов ГФ с помощью сигналов сброса и установки триггера.

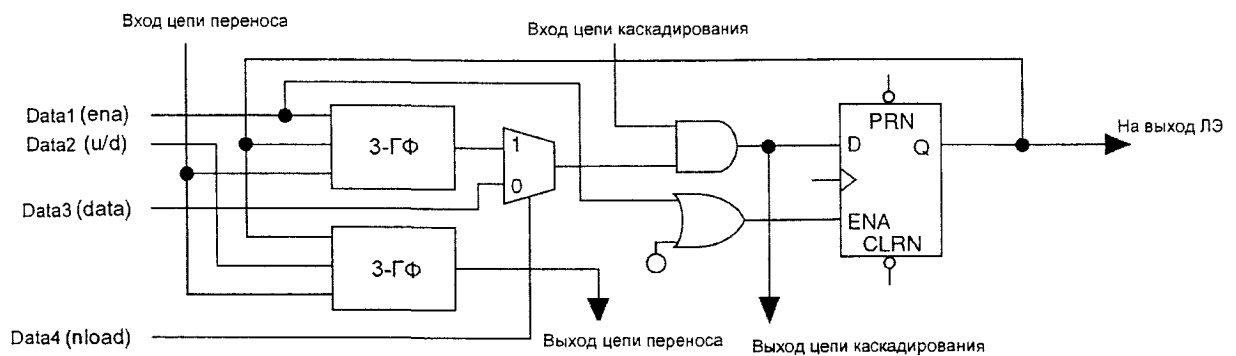


Рисунок 9 – Режим суммирующего/вычитающего счетчика

## 5.3.1.4 Режим сбрасываемого счетчика

Режим сбрасываемого счетчика (рисунок 10) подобен режиму суммирующего/вычитающего счетчика, но в отличие от него поддерживает синхронный сброс. Функцию сброса в режиме суммирующего/вычитающего счетчика заменяет входной сигнал цепи каскадирования.

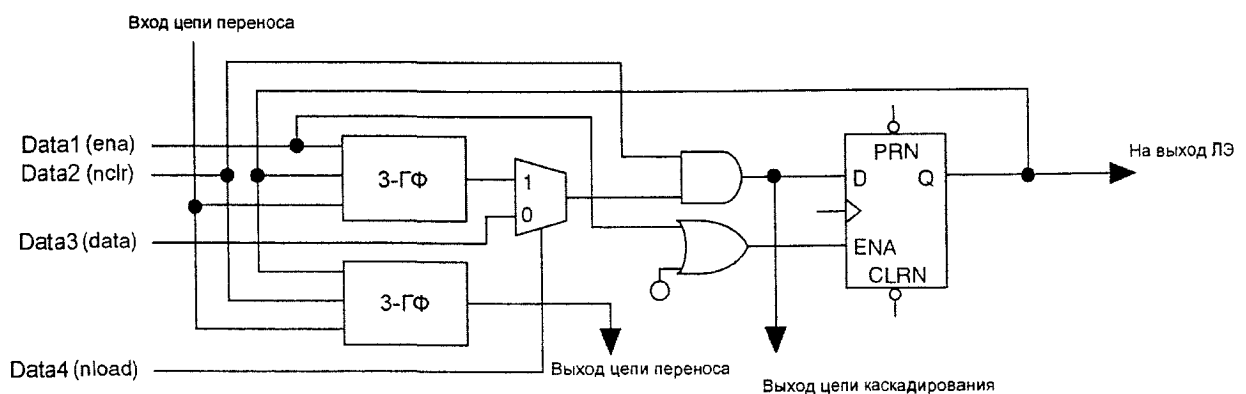


Рисунок 10 – Режим сбрасываемого счетчика

Инв. № 131	Подп. и дата Оккуп. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
------------	---------------------------------	--------------	--------------	---------

## 5.3.2 Управление логикой сброса и установки

Управление логикой сброса и установки программируемого триггера осуществляется с помощью сигналов Data3, S1, S2 ЛЭ и является асинхронной. Любой из сигналов S1 и S2 может выполнять асинхронный сброс и установку. Асинхронная загрузка триггера разрешается только сигналом S1, данные для загрузки принимаются с входа Data3.

Во время компиляции программным обеспечением автоматически выбирается оптимальный сигнал для выполнения требуемой функции. Так как для функции сброса и установки активным является низкий уровень, то компилятор автоматически устанавливает высокий уровень на неиспользуемые входы сброса и установки.

Логика сброса и установки выполняется в следующих шести режимах, выбираемых на стадии введения данных в проект:

- асинхронный сброс;
- асинхронная установка;
- асинхронный сброс и установка;
- асинхронная загрузка со сбросом;
- асинхронная загрузка с установкой;
- асинхронная загрузка без сброса или без установки.

Кроме того имеется вывод глобального сброса всей микросхемы, который может сбросить все триггеры ЛЭ в устройстве. Используется эта возможность во время ввода данных в проект. В других режимах сброса и установки глобальный сброс имеет приоритет над всеми другими сигналами. Триггеры с асинхронной установкой могут быть предустановлены, когда глобальный сброс неактивен. Инверсия может быть использована для выполнения асинхронной установки. На рисунке 11 показаны режимы работы логики сброса и установки.

Инив. № по 131	Подп. и дата Ожид. 29.12.07	Взам. инв. №	Инив. № дубл.	Подп. и дата
-------------------	--------------------------------	--------------	---------------	--------------



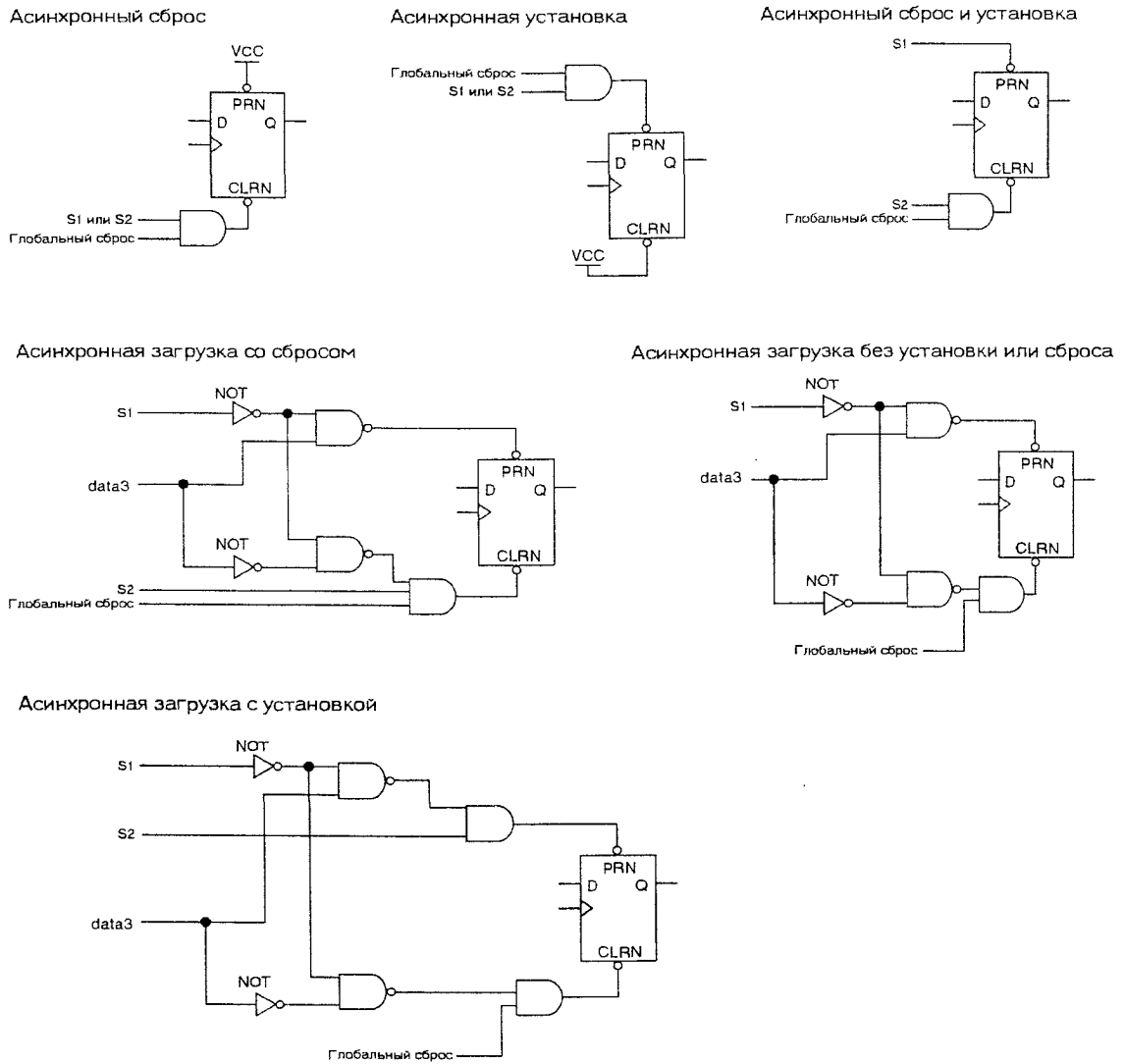


Рисунок 11 – Управление логикой сброса и установки

Асинхронный сброс триггера может быть выполнен одним из двух сигналов S1 или S2. В этом режиме сигнал установки соединён с  $V_{CC}$ .

Асинхронная установка выполняется путем асинхронной загрузки или асинхронного сброса. Если вход Data3 ЛЭ подключен к  $V_{CC}$ , то активный сигнал на S1 асинхронно загружает единицу в триггер. Кроме того, с помощью программного обеспечения можно проводить установку за счёт использования сброса и инвертирования входа и выхода триггера. Если установка триггера проводится одним из двух сигналов S1 или S2, то вход Data3 ЛЭ освобождается и может использоваться для одного из режимов ЛЭ.

Инв. № по 131	Подп. и дата Оксид 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	-----------------------------	--------------	--------------	--------------

Когда выполняются асинхронные сброс и установка, сигнал S1 управляет установкой, а сигнал S2 – сбросом. В этом случае вход Data3 ЛЭ подключен к V<sub>CC</sub>, активный сигнал на S1 асинхронно загружает единицу в триггер, активный сигнал на S2 производит сброс.

Когда выполняется асинхронная загрузка со сбросом, сигнал S1 управляет асинхронной загрузкой с входа Data3 и контролирует сброс триггера. Активный сигнал на S2 может производить сброс триггера, но не может управлять его загрузкой.

Когда выполняется асинхронная загрузка вместе с установкой, программное обеспечение предоставляет управление установкой за счёт использования сброса и инвертирования входа и выхода триггера. Активный сигнал на S2 производит установку триггера, а сигнал на S1 – управляет загрузкой триггера. Программное обеспечение инвертирует сигнал, который приходит на Data3 вместе с инверсией выхода триггера.

Когда выполняется асинхронная загрузка без установки или без сброса триггера, сигнал S1 выполняет асинхронную загрузку с входа Data3 и контролирует сброс и установку триггера.

#### 5.4 Система межсоединений

В архитектуре ПЛИС связи между ЛЭ и элементами ввода–вывода осуществляются посредством Fast Track соединений (горизонтальных (рядов) и вертикальных (столбцов)), которые связывают устройство в единое целое. Каждый из десяти рядов содержит 216 каналов, каждый из 36 столбцов – 24 канала. При такой структуре трассировки ЛЭ соединяются друг с другом при помощи одного из каналов, что обеспечивает фиксированную задержку даже при реализации сложных проектов. Каждый ряд ЛБ обслуживается определённым рядом межсоединений. Ряд межсоединений может выдавать сигналы на элементы ввода–вывода и другие ЛБ в устройстве. Столбцы межсоединений проводят сигналы между рядами и могут выдавать сигналы на элементы ввода–вывода.

Ряд межсоединений (набор горизонтальных каналов) может принимать сигналы с ЛЭ или одного из трёх столбцов межсоединений (вертикальных каналов). Эти четыре сигнала приходят на двойные мультиплексоры 4 в 1, которые присоединены к двум специальным рядам каналов. Эти мультиплексо-

Инд. № по 131	Подп. и дата Олей 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	----------------------------	--------------	--------------	--------------

ры соединены с каждым ЛЭ и позволяют сигналам с вертикальных каналов (столбцов межсоединений) приходиться на горизонтальные (ряды). На все восемь ЛЭ в ЛБ сигналы приходят только с горизонтальных каналов системы межсоединений.

Каждый столбец ЛБ обслуживается определенным столбцом межсоединений. Столбец межсоединений может передавать сигналы на элементы ввода-вывода или ряды межсоединений для их последующей передачи другим ЛБ в устройстве. Сигнал из столбца межсоединений, который может быть либо выходным с ЛЭ, либо входным с элемента ввода-вывода, должен быть перенесён в строку межсоединений перед тем, как он войдёт в ЛБ или в БВП. Каждый ряд межсоединений, который принимает сигналы с элемента ввода-вывода или БВП, может выдавать сигналы на один определённый столбец межсоединений (рисунок 12).

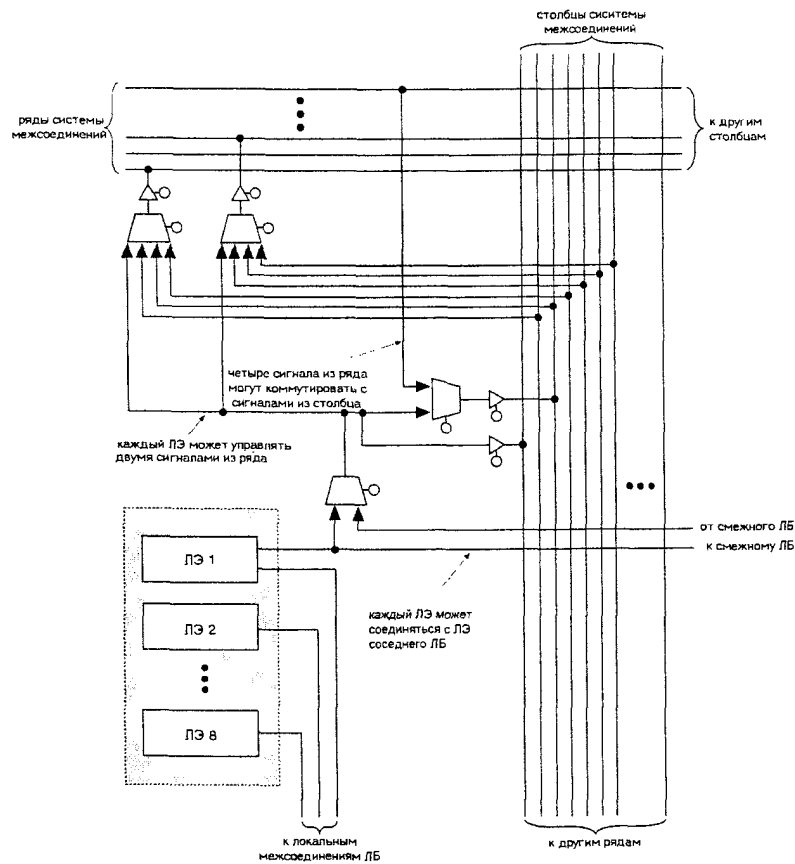


Рисунок 12 – Подключение ЛБ к столбцам и рядам системы межсоединений

Инд. № по 131	Подп. и дата Ожнев-29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	--------------------------------	--------------	--------------	--------------

Для усовершенствования трассировки ряды межсоединений включают в себя комбинацию полной и половинной длины каналов. Полные длины каналов соединяют все ЛБ в ряду, половинные длины соединяют ЛБ половины ряда.

БВП могут принимать сигналы с каналов с полными длинами и с половинными длинами в левой половине ряда. БВП могут подавать сигналы на каналы с полной длиной. Два соседних ЛБ могут быть соединены за счёт использования половины канала, при этом сохраняется другая половина канала для другой половины ряда.

Кроме элементов ввода-вывода общего назначения ПЛИС имеет шесть зарезервированных входов, которые обеспечивают прохождение сигналов с малым наклоном фронта по всему устройству. Эти шесть выделенных входов могут быть использованы для глобального тактирования, сброса, установки и периферийных сигналов управления третьим состоянием и такта. Эти входы разрешают доступ к управляющим сигналам всех ЛБ и элементов ввода-вывода в устройстве.

Выделенные входы можно использовать в качестве входов данных общего назначения, так как они могут быть скоммутированы с сигналами локальных межсоединений каждого ЛБ в устройстве.

На рисунке 13 показано каким образом ЛБ связаны с рядами и столбцами межсоединений, а так же связь ЛБ по цепям каскадирования и переноса. Каждый ЛБ помечен соответственно своему месторасположению: буквы латинского алфавита (А, В, С, D, Е, F, G, H, I, J) обозначают ряд, а номер (1-36) – столбец. Например, ЛБ В3 находится в ряду В, в столбце 3.

Инд. № по...	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	Ожид. 29.12.07			

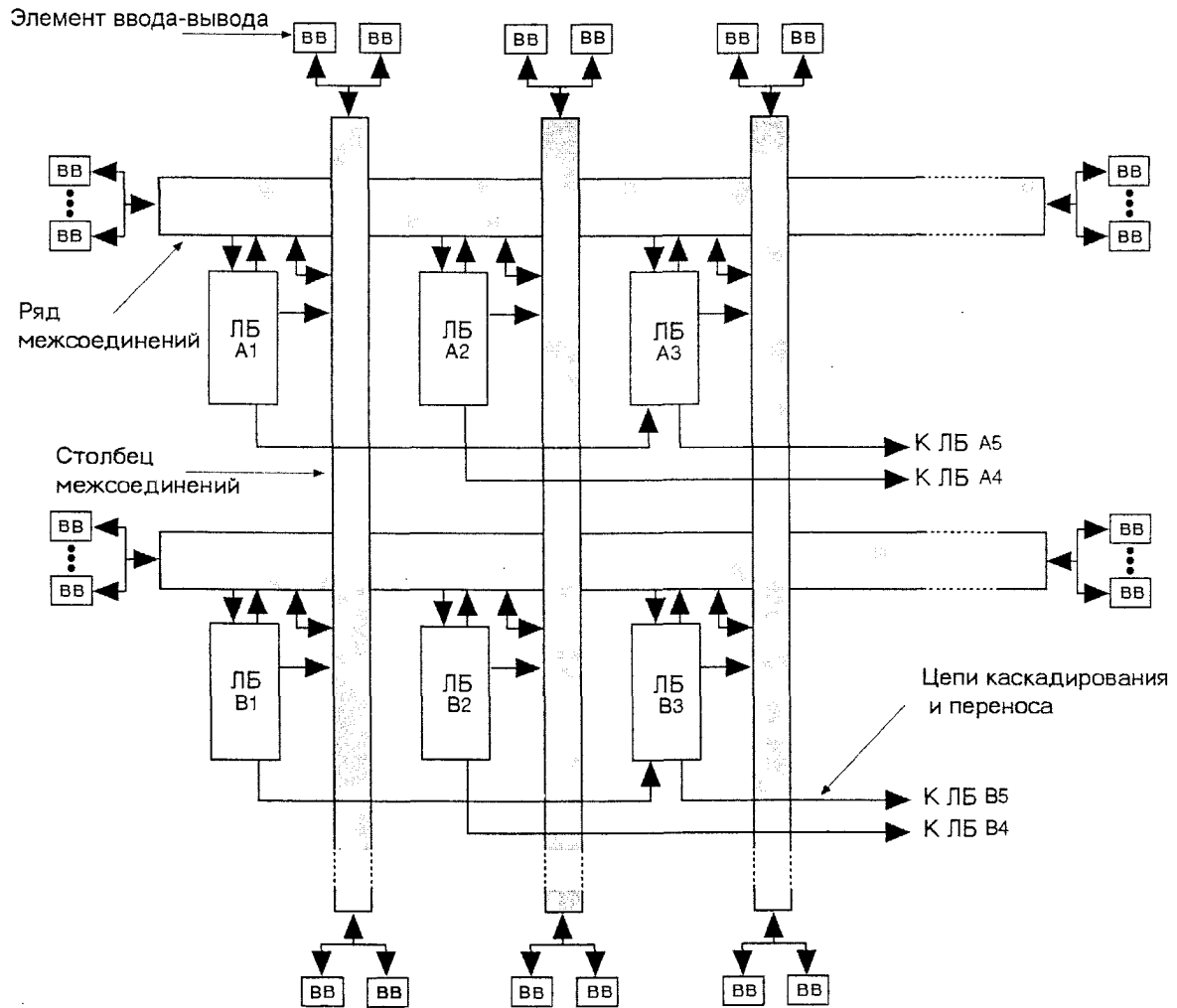


Рисунок 13 – Структура системы межсоединений

### 5.5 Элемент ввода-вывода

Для сопряжения внутренней части ПЛИС с логическими микросхемами используется элемент ввода-вывода. Он содержит двунаправленный буфер и триггер, который можно использовать как входной регистр для внешних данных с малым временем предустановки или как выходной регистр с малой задержкой от тактового входа до выхода. В некоторых случаях в качестве входного регистра используется регистр ЛЭ, так как он имеет меньшее время пре-

Инв. № пр. 134	Подп. и дата Ожид 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
----------------	-------------------------------	--------------	--------------	--------------

дустановки, чем регистр элементов ввода-вывода. Каждый элемент ввода-вывода может быть сконфигурирован как вход, выход или двунаправленный вход-выход. Схема элемента ввода-вывода приведена на рисунке 14.

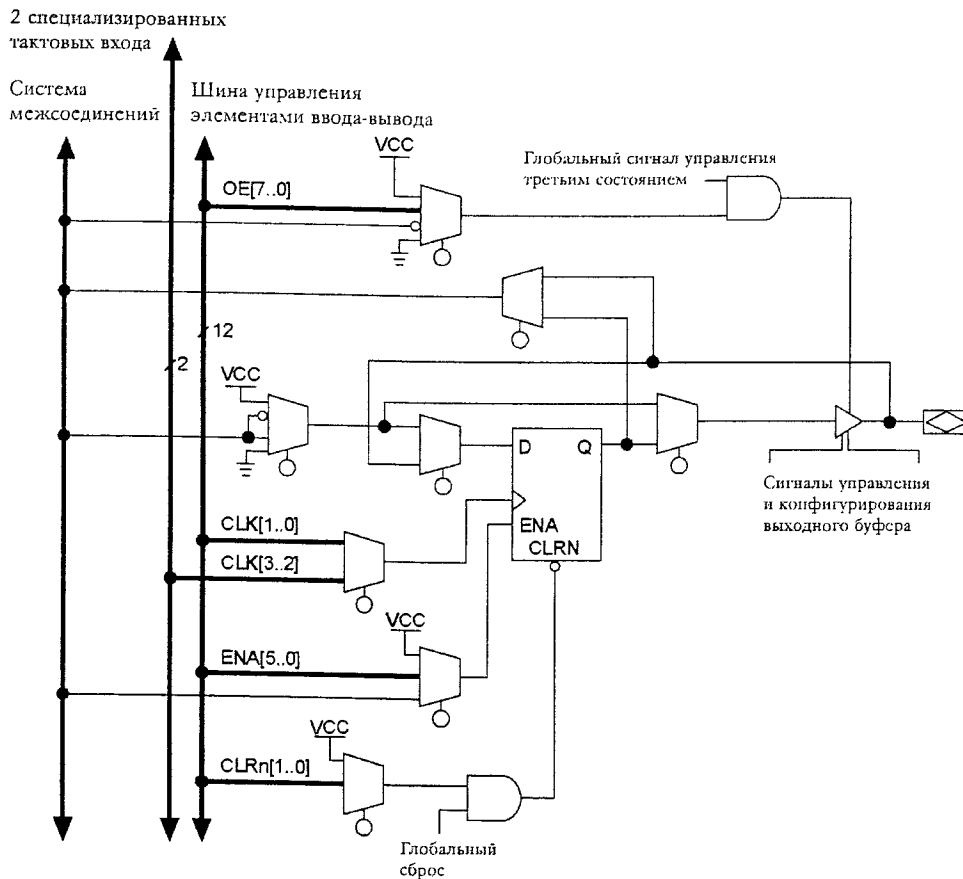


Рисунок 14 – Схема элемента ввода-вывода

Для каждого элемента ввода-вывода имеется тактовый сигнал, сигнал сброса, сигнал разрешения тактирования и управления третьим состоянием из схемы управляющих сигналов ввода-вывода, называемых периферийными шинами управления. Периферийные шины управления используют высокоскоростные формирователи для минимизации фронтов сигналов, которые идут через всё устройство. Эти шины включают 12 периферийных управляющих сигналов, которые можно разделить следующим образом:

- до восьми сигналов управления третьим состоянием;
- до шести сигналов разрешения тактового сигнала;
- до двух тактовых сигналов;

Инв. № вкл. 134	Подп. и дата Окс. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-----------------	----------------------------	--------------	--------------	--------------

- до двух сигналов сброса.

В добавление к двум тактовым сигналам, имеющимся на периферийных шинах управления, каждый элемент ввода–вывода может управляться одним или двумя выделенными тактовыми входами. Каждый периферийный сигнал управления может приходиться с любого выделенного входа или с первого ЛЭ каждого ЛБ в каждом отдельном ряду. В тоже время другие ЛЭ могут подавать сигналы через столбец межсоединений на периферийные шины управления. Сигнал глобального сброса будет сбрасывать все триггеры элементов ввода–вывода независимо от значения других контрольных сигналов.

В таблице 8 перечислены периферийные сигналы управления и ряды, управляющие глобальными сигналами.

Таблица 8

Периферийный сигнал управления	Ряд управляющий глобальным сигналом
OE0	RowA
OE1	RowB
OE2	RowD
OE3	RowF
OE4	RowH
OE5	RowJ
CLKENA0/CLK0/GLOBAL0	RowA
CLKENA1/OE6/GLOBAL1	RowC
CLKENA2/CLR0	RowE
CLKENA3/OE7/GLOBAL2	RowG
CLKENA4/CLR1	RowI
CLKENA5/CLK1/GLOBAL3	RowJ

### 5.5.1 Соединение элементов ввода–вывода с горизонтальными каналами

На рисунке 15 показана связь между элементами ввода–вывода и рядом межсоединений. Когда элемент ввода–вывода используется в качестве входа, то он может управлять двумя каналами ряда, которые доступны всем ЛЭ данного ряда. Когда элемент ввода–вывода используется как выход, то сигнал подводится через мультиплексор, который выбирает канал из ряда. К каждому ряду межсоединений подключено до пяти элементов ввода–вывода с каждой стороны кристалла.

Интв. № 131	Подп. и дата Ожид. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. ( )
----------------	--------------------------------	--------------	--------------	-----------

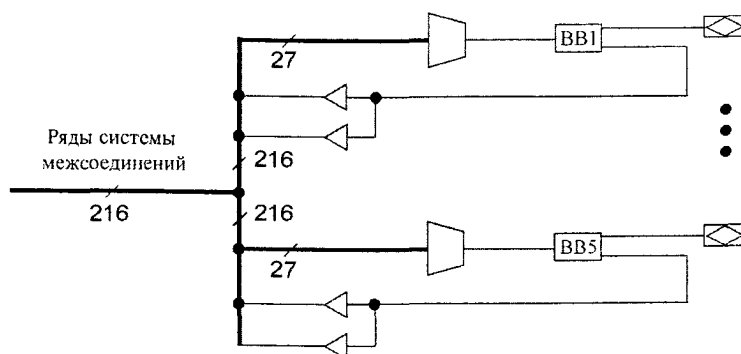


Рисунок 15 – Коммутация элементов ввода–вывода и ряда межсоединений

### 5.5.2 Соединение элементов ввода–вывода с вертикальными каналами

На рисунке 16 показано соединение между вертикальным столбцом межсоединений и элементами ввода–вывода. К каждому вертикальному столбцу межсоединений подключено по два элемента ввода–вывода с верхней и нижней сторон кристалла. Когда элемент ввода–вывода используется в качестве входа, то он может управлять двумя отдельными каналами столбца. Когда элемент ввода–вывода используется как выход, то сигнал подводится через мультиплексор, который выбирает канал из столбца.

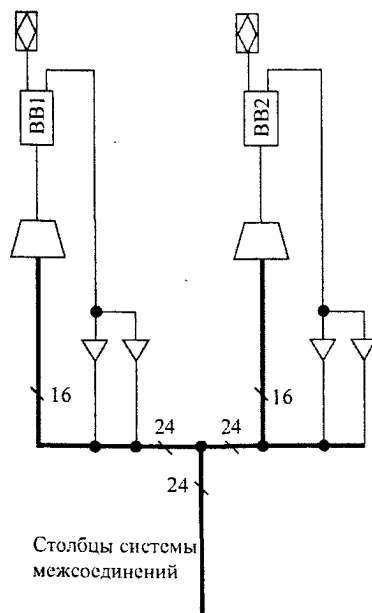


Рисунок 16 – Коммутация элементов ввода–вывода и столбца межсоединений

Инв. № 119 131	Подп. и дата Оклад. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. №
-------------------	---------------------------------	--------------	--------------	---------



## 5.5.3 Контроль скорости нарастания выходного напряжения

Выходные буферы в каждом элементе ввода–вывода имеют регулируемую скорость изменения выходного напряжения. Возможна настройка выходного буфера под малощумящее или высокоскоростное исполнение. Понижение скорости изменения выходного напряжения уменьшает помехи по шинам питания и приводит к увеличению времени задержки. Большую скорость изменения выходного напряжения следует использовать для критических цепей в системе в достаточной мере защищенной от помех. Установка низкой скорости изменения выходного напряжения влияет только на спадающий (задний) фронт выходного сигнала.

## 5.5.4 Выход с открытым стоком

ПЛИС позволяют использовать выход с открытым стоком (электрический эквивалент открытого коллектора) в любом элементе ввода–вывода. Выход с открытым стоком даёт возможность устройству обеспечивать сигналы контроля системного уровня (такие как сигнал прерывания, сигнал разрешения записи), которые могут быть установлены несколькими устройствами. Это также даёт дополнительную возможность реализации логической схемы типа монтажного «ИЛИ». К тому же программное обеспечение ф. Altera может конвертировать буферы с третьим состоянием и с заземленными входами данных в выводы с открытым стоком автоматически.

Выходы ПЛИС с открытым стоком могут управлять 5 В КМОП – входами других микросхем, если использовать внешние резисторы, подключенные к источнику напряжения 5 В. Когда выход с открытым стоком активен, то сигнал будет низкого уровня. Когда выход не активен, то уровень сигнала будет вытягиваться до 5 В внешним резистором. Выход с открытым стоком может находиться или в третьем состоянии, или выдавать только сигнал низкого уровня.

Инд. № 131	Подп. и дата Скуч. 29.12.07	Взам. инв. №	Инд. № дубл.	Подп. и дата
------------	--------------------------------	--------------	--------------	--------------

## 5.6 Поддержка периферийного сканирования

ПЛИС поддерживают схему теста периферийного сканирования JTAG BST, которая удовлетворяет техническим требованиям стандарта IEEE Std. 1149.1-1990. ПЛИС также могут быть сконфигурированы через JTAG выводы при помощи загрузочного кабеля BitBlaster, ByteBlasterMV, MasterBlaster или с помощью аппаратного обеспечения, которое использует язык Jam™ для программирования и тестирования. JTAG тестирование может быть выполнено до или после конфигурирования, но не во время него.

Архитектура схемы периферийного сканирования (СПС) позволяет тестировать соединения между выводами ПЛИС без проведения физических измерений и фиксировать функциональные данные, пока устройство функционирует нормально. Ячейка СПС может перегружать сигналы на выводах или захватывать данные с выводов или сигналы внутренней логики (ядра ПЛИС). Перегружаемые тестовые данные последовательно сдвигаются через ячейки СПС, захваченные данные последовательно выводятся из схемы и сравниваются с ожидаемым результатом. СПС ПЛИС соответствует техническим требованиям стандарта IEEE Std. 1149.1-1990. Рисунок 17 показывает принцип работы СПС.

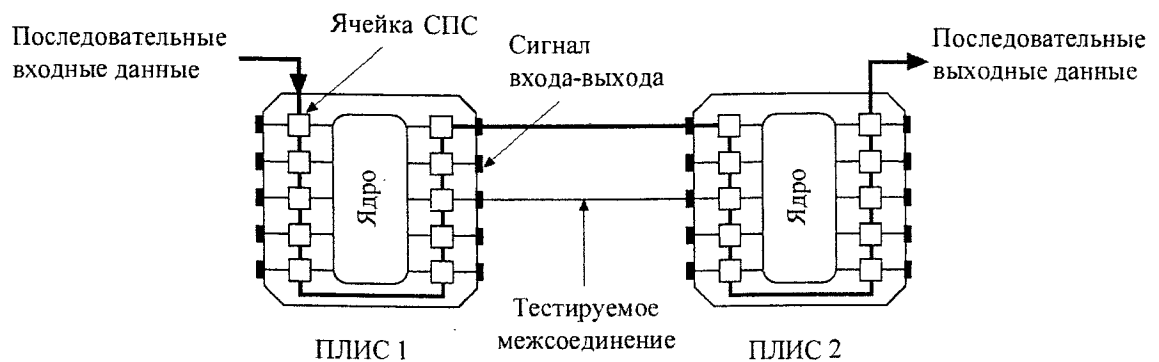


Рисунок 17 – Принцип работы схемы периферийного сканирования

JTAG интерфейс ПЛИС реализован с помощью пяти выводов TDI, TDO, TMS, TCK и TRST. Описание и назначение этих выводов приведено в таблице 9.

Инд. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп.
134	0/Жу-29.12.07			та

Таблица 9

Вывод	Описание	Назначение
TDI	Вход данных JTAG	Последовательный вход данных для тестирования и программирования. Данные захватываются по переднему фронту сигнала TCK.
TDO	Выход данных JTAG	Последовательный выход данных для тестирования и программирования. Данные выводятся по заднему фронту сигнала TCK. Когда выход не используется, он переключается в третье состояние.
TMS	Управление состоянием JTAG	Вход управляющего сигнала, который определяет переходы автомата состояний TAP – контроллера. Сигнал TMS должен быть установлен до срабатывания переднего фронта TCK.
TCK	Тактовый вход JTAG	Вход тактового сигнала. Некоторые операции совершаются по переднему фронту этого сигнала, другие – по заднему.
TRST	Асинхронный сброс JTAG	Вход асинхронного сброса в режиме тестирования с активным низким уровнем.

## 5.6.1 Функциональная модель СПС

Работа СПС управляется блоком управления тестированием (TAP – контроллером). Сигналы с входов TMS, TRST и TCK управляют TAP – контроллером, выходы TDI и TDO осуществляют ввод и вывод данных в регистры. Кроме того вход TDI обеспечивает ввод данных в регистр команд, который затем формирует управляющие сигналы для регистров данных. Функциональная схема СПС приведена на рисунке 18.

Инв. № 131	Подп. и дата Оклад. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп.
---------------	---------------------------------	--------------	--------------	-------

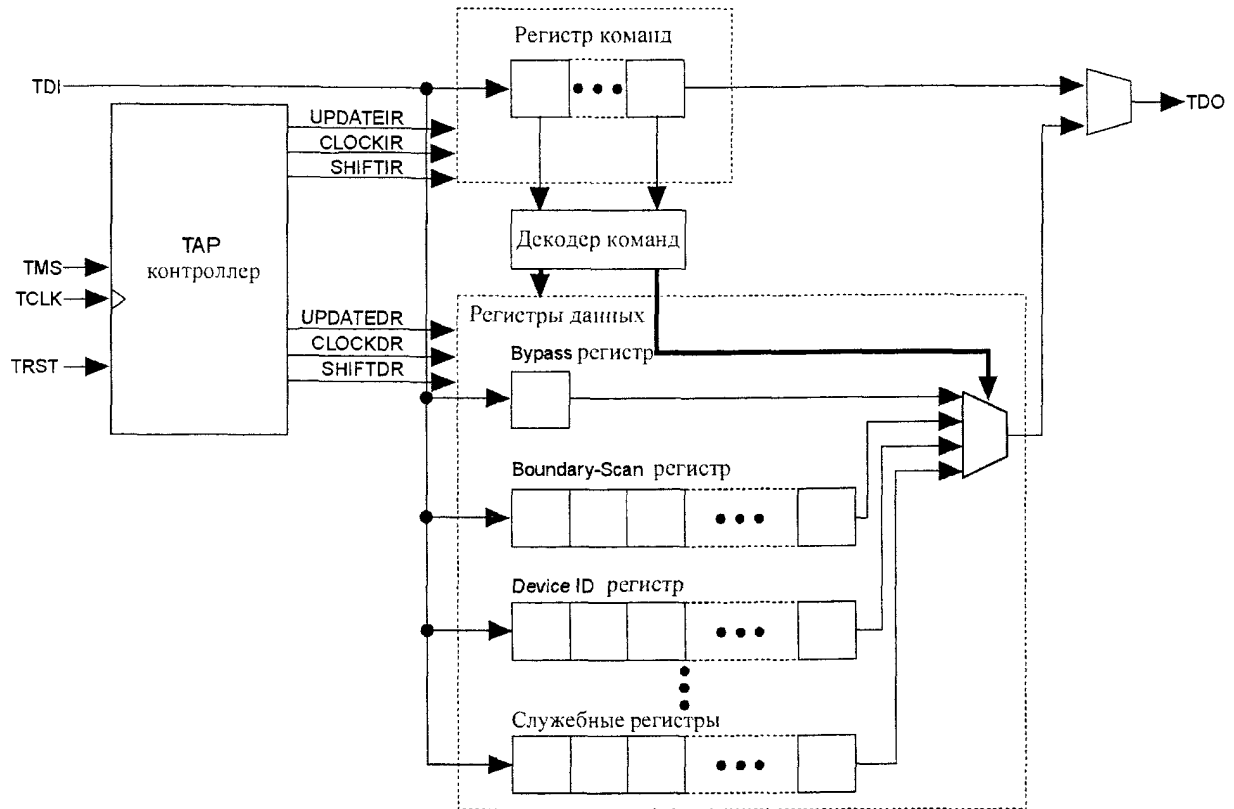


Рисунок 18 – Функциональная схема периферийного сканирования

ПЛИС поддерживает команды СПС, показанные в таблице 10.

Таблица 10

JTAG команды	Описание
SAMPLE/PRELOAD	Позволяет снимать сигналы на выводах устройства, захватывать и проверять их во время нормального режима работы устройства.
EXTEST	Позволяет проверить соединения внешней схемы на уровне плат.
BYPASS	Выбирает 1 бит bypass-регистра.
USERCODE	Выбирает регистр USERCODE.
IDCODE	Выбирает регистр IDCODE.
ICR команды	Эти команды применяют, когда конфигурируют ПЛИС через JTAG порт с использованием загрузочного кабеля или с помощью микропроцессора и Jam (.jam) или Jam Byte-Code (.jbc) файлов.

Инв. № подл. 131	Подп. и дата Ожид. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------------	--------------------------------	--------------	--------------	--------------

Длина регистра периферийного сканирования ПЛИС составляет 960 бит, длина регистра команд – 10 бит, длина регистра USERCODE – 32 бита (7 бит определяются пользователем, а 25 бит заранее установлено). В таблице 11 приведена информация о регистре IDCODE для ПЛИС.

Таблица 11

Версия (4 бита) <sup>1)</sup>	Шифр, (16 бит) <sup>1)</sup>	Идентификация (11 бит) <sup>1)</sup>	1 (1 бит) <sup>2)</sup>
0000	0001 0000 0101 0000	00001101110	1

1) Наибольший значащий бит (MSB) слева.  
2) Наименьший значащий бит (LSB) для всех JTAG IDCODE это 1.

На рисунке 19 приведена временная диаграмма работы ПЛИС по JTAG – схеме.

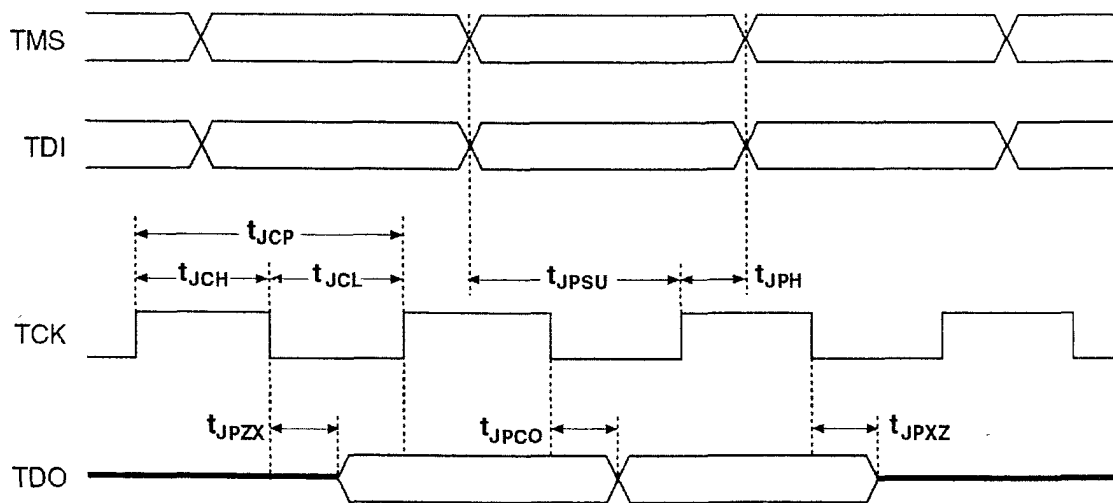


Рисунок 19 – Временная диаграмма работы ПЛИС по JTAG – схеме

Инд. № пр.	131
Подп. и дата	Оклад. 29.12.07
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	

В таблице 12 приведены временные параметры и их значения для работы ПЛИС по JTAG – схеме.

Таблица 12

Обозначение	Параметр	Значение	
		не менее, нс	не более, нс
$t_{JCP}$	Период тактового сигнала ТСК	100	–
$t_{JCH}$	Длительность импульса высокого уровня сигнала ТСК	50	–
$t_{JCL}$	Длительность импульса низкого уровня сигнала ТСК	50	–
$t_{JPSU}$	Время предустановки данных TMS и TDI перед передним фронтом ТСК	20	–
$t_{JPH}$	Время удержания данных TMS и TDI после переднего фронта ТСК	45	–
$t_{JPCO}$	Время между задним фронтом сигнала ТСК и переключением TDO	–	25
$t_{JPZX}$	Время между задним фронтом сигнала ТСК и переключением TDO в активное состояние	–	25
$t_{JPXZ}$	Время между задним фронтом сигнала ТСК и переключением TDO в третье состояние	–	25

### 5.6.2 Архитектура Boundary–Scan регистра

Boundary–Scan регистр представляет последовательный сдвиговый регистр, который использует сигнал TDI как входной и сигнал TDO как выходной. Boundary–Scan регистр состоит из трехбитовых периферийных элементов от каждого элемента ввода–вывода, выделенного (специализированного) входа и служебного (конфигурационного) вывода. Boundary–Scan регистр используется для тестирования соединений внешних выводов или для захвата внутрен-

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
131	ВЖУ-29.12.07			

них данных. На рисунке 20 показано как тестовые данные последовательно сдвигаются по периферии ПЛИС.

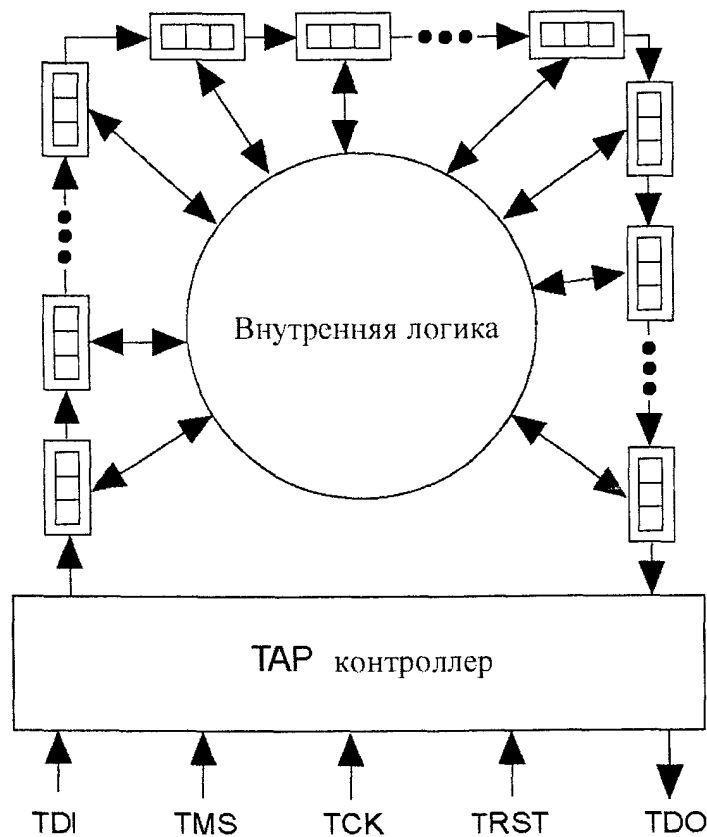


Рисунок 20 – Архитектура Boundary-Scan регистра

## 6 Тестирование

Каждая ПЛИС проходит цикл функционального тестирования. Полное тестирование каждого бита конфигурационной памяти (СОЗУ) и всей функциональной логики гарантирует 100 % годность ПЛИС.

И Inv. № по 134	Подп. и дата Откел. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-----------------	---------------------------------	--------------	--------------	--------------

## 7 Расчет мощности потребления ПЛИС

Полная мощность потребления ПЛИС  $P$ , мкВт, рассчитывается по формуле

$$P = P_{INT} + P_{IO},$$

где  $P_{INT}$  – мощность потребления ядра ПЛИС, мкВт;

$P_{IO}$  – мощность потребления периферии ПЛИС, расходуемая на внешнюю нагрузку, мкВт.

Мощность потребления ядра ПЛИС  $P_{INT}$  можно рассчитать по формуле

$$P_{INT} = (I_{CC} + I_{AC}) \times U_{CC},$$

где  $I_{CC}$  – ток потребления ПЛИС в статическом режиме без учета внешней нагрузки, мкА, (таблица 2);

$I_{AC}$  – ток потребления ПЛИС в динамическом режиме без учета внешней нагрузки, мкА;

$U_{CC}$  – напряжение питания ПЛИС, В (таблица 3).

$I_{AC}$ , мкА, вычисляется по формуле

$$I_{AC} = K \times f_{Cmax} \times N \times tog_{LC},$$

где  $K$  – константа для каждого типа прибора, мкА/МГц (для ПЛИС 5576XC1T и 5576XC1T1 константа  $K=19$  мкА/МГц);

$f_{Cmax}$  – максимальная частота следования импульсов тактового сигнала, МГц;

$N$  – количество используемых логических ячеек;

$tog_{LC}$  – средняя доля переключаемых логических ячеек в каждом такте, определяемая проектом (типовое значение 0,125).

Мощность потребления периферии ПЛИС  $P_{IO}$  зависит от нагрузок, подключенных к внешним выводам ПЛИС.

$$P_{IO} = P_{DCIO} + P_{ACIO},$$

где  $P_{DCIO}$  – мощность, расходуемая на постоянную нагрузку периферии ПЛИС, например подключенные резисторы между периферийными выводами и питанием или общим выводом, мкВт;

Инв. № по 131	Подп. и дата Ожид. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	--------------------------------	--------------	--------------	--------------



$P_{ACIO}$  – мощность, расходуемая на динамическую нагрузку периферии ПЛИС, т.е. на перезаряд нагрузочных емкостей, подключенных к внешним выводам, мкВт.

$$P_{DCIO} = \sum P_{DCIO_n},$$

где  $P_{DCIO_n}$  – мощность, расходуемая на постоянную нагрузку одного периферийного выхода ПЛИС. Ориентировочные значения  $P_{DCIO_n}$  для различных типов нагрузки приведены в таблице 13.

Таблица 13

Тип нагрузки	$P_{DCIO_n}$ , мкВт
Резистор 1кОм к выводу питания	133
Резистор 1кОм к общему выводу	308
Вход биполярной микросхемы	160
Вход КМОП микросхемы	0

$P_{ACIO}$ , мкВт, зависит от емкости нагрузки и частоты переключения выходов

$$P_{ACIO} = 0,5 \times N_{IO} \times C_n \times f_{Cmax} \times \log_{IO} \times U_{CC}^2,$$

где  $N_{IO}$  – количество используемых периферийных выходов;

$C_n$  – средняя емкость внешней нагрузки на периферийный выход, пФ;

$\log_{IO}$  – средняя доля переключаемых выходов в каждом такте, определяемая проектом (типовое значение 0,125).

Пример расчета:

$$K = 19 \text{ мкА/МГц}; f_{Cmax} = 10 \text{ МГц}; N = 2000; \log_{LC} = 0,125.$$

Имеем

$$I_{AC} = 19 \times 10 \times 2000 \times 0,125 = 47500 \text{ мкА};$$

$$P_{INT} = (15000 + 47500) \times 3,3 = 206250 \text{ мкВт};$$

$N_{IO} = 100$ ;  $\log_{IO} = 0,125$ ; нагрузки:  $C_n = 35$  пФ и 50 резисторов, подключенных к питанию.

$$P_{DCIO} = 133 \times 50 = 6650 \text{ мкВт};$$

$$P_{ACIO} = 0,5 \times 100 \times 35 \times 10 \times 0,125 \times (3,3)^2 = 23821,875 \approx 23822 \text{ мкВт};$$

$$P_{IO} = 6650 + 23822 = 30472 \text{ мкВт};$$

Инв. № пр 134	Подп. и дата Оккуп. 29.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------	---------------------------------	--------------	--------------	--------------

$$P = 206250 + 30472 = 236722 \text{ мкВт} \approx 0,24 \text{ Вт.}$$

Приведенные вычисления предоставляют приблизительную оценку мощности, рассеиваемой ПЛИС.



Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
134	Оклад - 29.12.07			

ИНВ. № 4847, "Б"

Справ. №	Перв. применен.
	ГПКФ 431262.001

УТВЕРЖДАЮ

Главный конструктор

ОАО «КТЦ «ЭЛЕКТРОНИКА»

А. В. Быстрицкий А. В. Быстрицкий

« 01 » 11 2007 г.

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

5576XC1T, 5576XC1T1

Инструкция по программированию

ГПКФ.431262.001Д4

Инв. № 1	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Стул. 25.12.07			

Разработчик

С.А. Ушаков С.А. Ушаков

« 30 » 10 2007 г.

Нормоконтроль

Н. И. Васина Н. И. Васина

« 12 » 11 2007 г.

ЭКЗ. № 000  
«Радионисор»

## Содержание

1	Введение.....	3
2	Особенности проектирования на основе ПЛИС.....	29
3	Схемы конфигурирования ПЛИС.....	30
3.1	Конфигурирование с конфигурационным ПЗУ.....	30
3.2	PS конфигурирование с загрузочным кабелем.....	38
3.3	PS конфигурирование с микропроцессором.....	44
3.4	PPS конфигурирование.....	50
3.5	PPA конфигурирование.....	55
3.6	JTAG конфигурирование.....	63

Инв. № г	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Окт. 25.12.09			

## 1 Введение

Под программированием ПЛИС 5576XC1T, 5576XC1T1 (далее ПЛИС) следует понимать процесс конфигурирования, проходящий путем заполнения конфигурационной памяти данными, являющимися результатом проектирования в САПР. В настоящей инструкции приведены возможные схемы такого конфигурирования.

ПЛИС функционально совместимы с изделием EPF10K50, но не являются её полным аналогом. При создании проектов в MAX+PLUS II или Quartus II необходимо учитывать соответствие выводов изделия EPF10K50 в корпусе RQFP240 и ПЛИС в корпусах 240 CQFP, 4244.256-1.

Соответствие обозначений выводов изделия EPF10K50 обозначениям выводов микросхем 5576XC1T, 5576XC1T1 приведено в таблицах 1 и 2 соответственно.

Таблица 1 – Соответствие выводов ПЛИС 5576XC1T и EPF10K50

Номер ячейки для тестирования (BST cell)	Номер вывода ПЛИС EPF10K50 в корпусе RQFP240	Номер вывода ПЛИС 5576XC1T в корпусе 240 CQFP	Номер вывода КУ FPO-352-0.5-01	Обозначение вывода	Тип вывода	Статус вывода
1	2	3	4	5	6	7
	1	61	103	TCK	Вход	Служебный ✓
0	2	62	104	CONF_DONE	Вход-выход	Служебный ✓
1	3	63	105	nCEO	Выход	Служебный ✓
	4	64	106	TDO	Выход	Служебный ✓
	5	65	107	VCC	Питание	Питание
2	6	66	108	I/O0	Вход-выход	Пользовательский

Продолжение таблицы 1

1	2	3	4	5	6	7
3						
4	7	67	109	I/O1	Вход-выход	Пользовательский
5						
6	8	68	110	I/O2	Вход-выход	Пользовательский
7						
8						
9	9	69	111	I/O3	Вход-выход	Пользовательский
	10	70	112	GND	Общий	Общий
10	11	71	113	I/O4* <del>clock</del>	Вход-выход	Пользовательский
11						
12	12	72	114	I/O5	Вход-выход	Пользовательский
13						
14	13	73	115	I/O6	Вход-выход	Пользовательский
15						
16	14	74	116	I/O7	Вход-выход	Пользовательский
17	15	75	117	I/O8	Вход-выход	Пользовательский
	16	76	118	VCC	Питание	Питание
18	17	77	119	I/O9	Вход-выход	Пользовательский
19						
20	18	78	120	I/O10	Вход-выход	Пользовательский
21						
22	19	79	121	I/O11	Вход-выход	Пользовательский
23						
24	20	80	122	I/O12	Вход-выход	Пользовательский
25	21	81	123	I/O13	Вход-выход	Пользовательский
	22	82	124	GND	Общий	Общий
26	23	83	125	I/O14* <del>clock</del>	Вход-выход	Пользовательский
27						
28	24	84	126	I/O15	Вход-выход	Пользовательский
29						
30	25	85	127	I/O16	Вход-выход	Пользовательский

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	04.12.07			

Продолжение таблицы 1

1	2	3	4	5	6	7
31						
32						
33	26	86	128	I/O17*	Вход-выход	Пользовательский
	27	87	129	VCC	Питание	Питание
34	28	88	130	I/O18	Вход-выход	Пользовательский
35						
36	29	89	131	I/O19	Вход-выход	Пользовательский
37						
38	30	90	132	I/O20	Вход-выход	Пользовательский
39						
40						
41	31	91	133	I/O21	Вход-выход	Пользовательский
	32	92	134	GND	Общий	Общий
42	33	93	135	I/O22	Вход-выход	Пользовательский
43						
44	34	94	136	I/O23	Вход-выход	Пользовательский
45						
46	35			-	Вход-выход	Пользовательский
47						
48	36	95	137	I/O24	Вход-выход	Пользовательский
49						
	37	96	138	VCC	Питание	Питание
50						
51	38	97	139	I/O25	Вход-выход	Пользовательский
52	39	98	140	I/O26	Вход-выход	Пользовательский
53						
54	40	99	141	I/O27	Вход-выход	Пользовательский
55						
56	41	100	142	I/O28	Вход-выход	Пользовательский
57						
	42	101	143	GND	Общий	Общий

Инд. № лп 106	Подп. и дата 08.04-25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------	--------------------------------	--------------	--------------	--------------

Продолжение таблицы 1

1	2	3	4	5	6	7
58	43	102	144	I/O29	Вход-выход	Пользовательский
59						
60	44	103	145	I/O30	Вход-выход	Пользовательский
61						
62	45	104	146	I/O31	Вход-выход	Пользовательский
63						
64	46	105	147	I/O32	Вход-выход	Пользовательский
65						
	47	106	148	VCC	Питание	Питание
	-	107	149	TEST_MODE0	Вход	Служебный
66	48	108	150	I/O33	Вход-выход	Пользовательский
67						
68	49	109	151	I/O34	Вход-выход	Пользовательский
69						
70	50	110	152	I/O35	Вход-выход	Пользовательский
71						
72	51	111	153	I/O36	Вход-выход	Пользовательский
73						
	52	112	154	GND	Общий	Общий
74	53	113	155	I/O37	Вход-выход	Пользовательский
75						
76	54	114	156	I/O38	Вход-выход	Пользовательский
77						
78	55	115	157	I/O39	Вход-выход	Пользовательский
79						
80	56	116	158	I/O40	Вход-выход	Пользовательский
81						
	57	117	159	VCC	Питание	Питание
	58	118	160	TMS	Вход	Служебный
	59	119	161	TRST	Вход	Служебный
82	60	120	162	nSTATUS	Вход-выход	Служебный

Инв. № У	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Оклад 25.12.07			



Продолжение таблицы 1

1	2	3	4	5	6	7
83	61	121	191	I/O41	Вход-выход	Пользовательский
84	62	123	193	I/O42	Вход-выход	Пользовательский
85	63	125	195	I/O43	Вход-выход	Пользовательский
86						
87	64	122	192	I/O44	Вход-выход	Пользовательский
88						
89	65	127	197	I/O45	Вход-выход	Пользовательский
90						
	69	124	194	GND	Общий	Общий
91	66	126	196	I/O46	Вход-выход	Пользовательский
92						
93	67	129	199	I/O47	Вход-выход	Пользовательский
94	68	128	198	I/O48	Вход-выход	Пользовательский
95	70	131	201	I/O49	Вход-выход	Пользовательский
96						
97	71	130	200	I/O50	Вход-выход	Пользовательский
98	72	133	203	I/O51	Вход-выход	Пользовательский
	77	132	202	VCC	Питание	Питание
99						
100	73	135	205	I/O52	Вход-выход	Пользовательский
101	74	134	204	I/O53	Вход-выход	Пользовательский
102						
103	75	137	207	I/O54	Вход-выход	Пользовательский
104	76	136	206	I/O55	Вход-выход	Пользовательский
105	78	139	209	I/O56	Вход-выход	Пользовательский
106	79	138	208	I/O57	Вход-выход	Пользовательский
	85	141	211	GND	Общий	Общий
107	80	140	210	I/O58	Вход-выход	Пользовательский
108						
109	81	142	212	I/O59	Вход-выход	Пользовательский
110						

Инд. № п/п 106	Подп. и дата Влад. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	--------------------------------	--------------	--------------	--------------

Продолжение таблицы 1

1	2	3	4	5	6	7
111	82	143	213	I/O60	Вход-выход	Пользовательский
112						
113	83	144	214	I/O61	Вход-выход	Пользовательский
114	84	145	215	I/O62	Вход-выход	Пользовательский
	89	146	216	VCC	Питание	Питание
115	86	147	217	I/O63	Вход-выход	Пользовательский
116						
117	87	148	218	I/O64	Вход-выход	Пользовательский
118	88	149	219	I/O65	Вход-выход	Пользовательский
	89	150	220	VCC	Питание	Питание
119	90	151	221	INPUT0	Вход	Пользовательский
120	91	152	222	CLOCK0	Вход	Пользовательский
121	92	154	224	INPUT1	Вход	Пользовательский
	93	153	223	GND	Общий	Общий
122	94	156	226	I/O66	Вход-выход	Пользовательский
123						
124	95	155	225	I/O67	Вход-выход	Пользовательский
125						
	93	158	228	GND	Общий	Общий
126	97	157	227	I/O68	Вход-выход	Пользовательский
127						
128	98	160	230	I/O69	Вход-выход	Пользовательский
129						
130	99	159	229	I/O70	Вход-выход	Пользовательский
131						
132	100	162	232	I/O71	Вход-выход	Пользовательский
133	101	161	231	I/O72	Вход-выход	Пользовательский
	96	164	234	VCC	Питание	Питание
134	102	163	233	I/O73	Вход-выход	Пользовательский
135	103	166	236	I/O74	Вход-выход	Пользовательский

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Оклад-25.12.07			

Продолжение таблицы 1

1	2	3	4	5	6	7
136	105	168	238	I/O75	Вход-выход	Пользовательский
137						
138	106	165	235	I/O76	Вход-выход	Пользовательский
139						
140	107	170	240	I/O77	Вход-выход	Пользовательский
141	108	167	237	I/O78	Вход-выход	Пользовательский
	104	172	242	GND	Общий	Общий
142	109	169	239	I/O79	Вход-выход	Пользовательский
143						
144	110	174	244	I/O80	Вход-выход	Пользовательский
145	111	171	241	I/O81	Вход-выход	Пользовательский
146	113	176	246	I/O82	Вход-выход	Пользовательский
147						
148	114	173	243	I/O83	Вход-выход	Пользовательский
149	115			-	Вход-выход	Пользовательский
	112	178	248	VCC	Питание	Питание
150	116	180	250	I/O84	Вход-выход	Пользовательский
151						
152	117	175	245	I/O85	Вход-выход	Пользовательский
153						
154	118	177	247	I/O86	Вход-выход	Пользовательский
155	119			-	Вход-выход	Пользовательский
156	120	179	249	I/O87	Вход-выход	Пользовательский
157						
158	121	181	279	nCONFIG	Вход	Служебный
159	122	182	280	TEST_MODE1	Вход	Служебный
160	123	183	281	MSEL1	Вход	Служебный
161	124	184	282	MSEL0	Вход	Служебный
	125	185	283	GND	Общий	Общий
162	126	186	284	I/O88	Вход-выход	Пользовательский

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Шкит. 25.12.07			

Продолжение таблицы 1

1	2	3	4	5	6	7
163						
164	127	187	285	I/O89	Вход-выход	Пользовательский
165						
166	128	188	286	I/O90	Вход-выход	Пользовательский
167						
168	129	189	287	I/O91	Вход-выход	Пользовательский
169						
	130	190	288	VCC	Питание	Питание
170	131	191	289	I/O92	Вход-выход	Пользовательский
171						
172	132	192	290	I/O93	Вход-выход	Пользовательский
173						
174	133	193	291	I/O94	Вход-выход	Пользовательский
175						
176	134	194	292	I/O95	Вход-выход	Пользовательский
177						
	135	195	293	GND	Общий	Общий
178	136	196	294	I/O96	Вход-выход	Пользовательский
179						
180	137	197	295	I/O97	Вход-выход	Пользовательский
181						
182	138	198	296	I/O98	Вход-выход	Пользовательский
183						
184	139			-	Вход-выход	Пользовательский
185						
	140	199	297	VCC	Питание	Питание
186	141	200	298	I/O99	Вход-выход	Пользовательский
187						
188	142	201	299	I/O100	Вход-выход	Пользовательский
189						
190	143	202	300	I/O101	Вход-выход	Пользовательский

Инв. № п/л 106	Подп. и дата Октяб. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
-------------------	---------------------------------	--------------	--------------	---------

Продолжение таблицы 1

1	2	3	4	5	6	7
191						
192						
193	144	203	301	I/O102	Вход-выход	Пользовательский
	145	204	302	GND	Общий	Общий
194	146	205	303	I/O103	Вход-выход	Пользовательский
195						
196	147	206	304	I/O104	Вход-выход	Пользовательский
197						
198	148	207	305	I/O105	Вход-выход	Пользовательский
199						
200						
201	149	208	306	I/O106	Вход-выход	Пользовательский
	150	209	307	VCC	Питание	Питание
202	151	210	308	I/O107	Вход-выход	Пользовательский
203						
204	152	211	309	I/O108	Вход-выход	Пользовательский
205						
206	153	212	310	I/O109	Вход-выход	Пользовательский
207						
208						
209	154	213	311	I/O110	Вход-выход	Пользовательский
	155	214	312	GND	Общий	Общий
210	156	215	313	I/O111	Вход-выход	Пользовательский
211						
212	157	216	314	I/O112	Вход-выход	Пользовательский
213						
214	158	217	315	I/O113	Вход-выход	Пользовательский
215						
216						
217	159	218	316	I/O114	Вход-выход	Пользовательский
	160	219	317	VCC	Питание	Питание

Инд. № пр 106	Подп. и дата 0/кч - 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------	---------------------------------	--------------	--------------	--------------

Продолжение таблицы 1

1	2	3	4	5	6	7
218	161	220	318	I/O115	Вход-выход	Пользовательский
219						
220	162	221	319	I/O116	Вход-выход	Пользовательский
221						
222	163	222	320	I/O117	Вход-выход	Пользовательский
223						
224						
225	164	223	321	I/O118	Вход-выход	Пользовательский
	165	224	322	GND	Общий	Общий
226	166	225	323	I/O119	Вход-выход	Пользовательский
227						
228	167	226	324	I/O120	Вход-выход	Пользовательский
229						
230	168	227	325	I/O121	Вход-выход	Пользовательский
231						
232						
233	169	228	326	I/O122	Вход-выход	Пользовательский
	170	229	327	VCC	Питание	Питание
234	171	230	328	I/O123	Вход-выход	Пользовательский
235						
236	172	231	329	I/O124	Вход-выход	Пользовательский
237						
238	173	232	330	I/O125	Вход-выход	Пользовательский
239						
240	174			-	Вход-выход	Пользовательский
241	175	233	331	I/O126	Вход-выход	Пользовательский
	176	234	332	GND	Общий	Общий
	177	235	333	TDI	Вход	Служебный
242	178	236	334	nCE	Вход	Служебный
243	179	237	335	DCLK	Вход	Служебный
244	180	238	336	DATA0	Вход	Служебный

Инд. № 106	Подп. и дата 08.04.25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------	--------------------------------	--------------	--------------	--------------

## Продолжение таблицы 1

1	2	3	4	5	6	7
245						
246	181	239	337	I/O127*	Вход-выход	Пользовательский
247						
248	182	240	338	I/O128* DATA2	Вход-выход	Пользовательский
249						
250	183	1	15	I/O129* DATA3	Вход-выход	Пользовательский
251	184	3	17	I/O130	Вход-выход	Пользовательский
252	185	5	19	I/O131* DATA4	Вход-выход	Пользовательский
	189	2	16	VCC	Питание	Питание
253						
254	186	7	21	I/O132* DATA5	Вход-выход	Пользовательский
255	187	4	18	I/O133	Вход-выход	Пользовательский
256	188	9	23	I/O134* DATA6	Вход-выход	Пользовательский
257						
258	190	6	20	I/O135* DATA7	Вход-выход	Пользовательский
259	191	11	25	I/O136	Вход-выход	Пользовательский
260	192	8	22	I/O137	Вход-выход	Пользовательский
	197	13	27	GND	Общий	Общий
261						
262	193	10	24	I/O138	Вход-выход	Пользовательский
263						
264	194	15	29	I/O139	Вход-выход	Пользовательский
265	195	12	26	I/O140	Вход-выход	Пользовательский
266	196	14	28	I/O141	Вход-выход	Пользовательский
267						
268	198	17	31	I/O142	Вход-выход	Пользовательский
	205	16	30	VCC	Питание	Питание
269						
270	199	19	33	I/O143	Вход-выход	Пользовательский
271	200	18	32	I/O144	Вход-выход	Пользовательский
272	201	21	35	I/O145	Вход-выход	Пользовательский

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	01.12.07			

Продолжение таблицы 1

1	2	3	4	5	6	7
273	202	20	34	I/O146	Вход-выход	Пользовательский
274	203	23	37	I/O147	Вход-выход	Пользовательский
275						
276	204	22	36	I/O148	Вход-выход	Пользовательский
		24	38	GND	Общий	Общий
277	206	25	39	I/O149	Вход-выход	Пользовательский
278	207	26	40	I/O150	Вход-выход	Пользовательский
279	208	27	41	I/O151	Вход-выход	Пользовательский
280	209	28	42	I/O152*	Вход-выход	Пользовательский
		29	43	VCC	Питание	Питание
281	210	30	44	INPUT2	Вход	Пользовательский
282	211	31	45	CLOCK1	Вход	Пользовательский
283	212	32	46	INPUT3	Вход	Пользовательский
		33	47	GND	Общий	Общий
284						
285	213	34	48	I/O153*	Вход-выход	Пользов./Служебный
286	214	36	50	I/O154	Вход-выход	Пользовательский
287	215	35	49	I/O155	Вход-выход	Пользовательский
		38	52	VCC	Питание	Питание
288						
289	217	37	51	I/O156	Вход-выход	Пользовательский
290	218	40	54	I/O157	Вход-выход	Пользовательский
291	219	39	53	I/O158	Вход-выход	Пользовательский
292	220	42	56	I/O159	Вход-выход	Пользовательский
293	221	41	55	I/O160	Вход-выход	Пользовательский
294						
295	222	44	58	I/O161	Вход-выход	Пользовательский
	216	43	57	GND	Общий	Общий
296						
297	223	46	60	I/O162	Вход-выход	Пользовательский
298						

Инд. № л	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Ожид - 25.12.07			



Окончание таблицы 1

1	2	3	4	5	6	7
299	225	45	59	I/O163	Вход-выход	Пользовательский
300	226	48	62	I/O164	Вход-выход	Пользовательский
301	227	50	64	I/O165	Вход-выход	Пользовательский
302						
303	228	47	61	I/O166	Вход-выход	Пользовательский
	224	52	66	VCC	Питание	Питание
304						
305	229	49	63	I/O167	Вход-выход	Пользовательский
306	230	54	68	I/O168	Вход-выход	Пользовательский
307	231	51	65	I/O169	Вход-выход	Пользовательский
308						
309	233	56	70	I/O170	Вход-выход	Пользовательский
310	234			-	Вход-выход	Пользовательский
311	235	53	67	I/O171	Вход-выход	Пользовательский
	232	58	72	GND	Общий	Общий
312						
313	236	55	69	I/O172* nRS	Вход-выход	Пользовательский
314	237			-	Вход-выход	Пользовательский
315	238	60	74	I/O173* nWS	Вход-выход	Пользовательский
316						
317	239	57	71	I/O174* CS	Вход-выход	Пользовательский
318						
319	240	59	73	I/O175* nCS	Вход-выход	Пользовательский

\* Выводы I/O4, I/O14, I/O17, I/O127, I/O128, I/O129, I/O131, I/O132, I/O134, I/O135, I/O152, I/O153, I/O172, I/O173, I/O174, I/O175 являются выводами двойного назначения и могут использоваться как служебные CLKUSR, RDYnBS, INIT\_DONE, DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7, DEV\_CLRn, DEV\_OE, nRS, nWS, CS, nCS соответственно.

Инд. № п/п 106	Подп. и дата 0/кшч-25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	--------------------------------	--------------	--------------	--------------

Таблица 2 – Соответствие выводов ПЛИС 5576XC1T1 и EPF10K50

Номер ячейки для тестирования (BST cell)	Номер вывода ПЛИС EPF10K50 в корпусе RQFP240	Номер вывода ПЛИС 5576XC1T1 в корпусе 4244.256-1	Номер вывода КУ FPO-352-0.5-01	Обозначение вывода	Тип вывода	Статус вывода
1	2	3	4	5	6	7
	1	66	102	TCK	Вход	Служебный
0	2	67	103	CONF_DONE	Вход-выход	Служебный
1	3	68	104	nCEO	Выход	Служебный
	4	69	105	TDO	Выход	Служебный
	5	70	106	VCC	Питание	Питание
		70	106	VCC	Питание	Питание
2	6	71	107	I/O0	Вход-выход	Пользовательский
3						
4	7	72	108	I/O1	Вход-выход	Пользовательский
5						
6	8	73	109	I/O2	Вход-выход	Пользовательский
7						
8						
9	9	74	110	I/O3	Вход-выход	Пользовательский
	10	75	111	GND	Общий	Общий
10	11	76	112	I/O4*	Вход-выход	Пользовательский
11						
12	12	77	113	I/O5	Вход-выход	Пользовательский
13						
14	13	78	114	I/O6	Вход-выход	Пользовательский
15						
16	14	79	115	I/O7	Вход-выход	Пользовательский
17	15	80	116	I/O8	Вход-выход	Пользовательский
	16	81	117	VCC	Питание	Питание

Инв. № 106	Подп. и дата 08.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------	--------------------------	--------------	--------------	--------------

Продолжение таблицы 2

1	2	3	4	5	6	7
18	17	82	118	I/O9	Вход-выход	Пользовательский
19						
20	18	83	119	I/O10	Вход-выход	Пользовательский
21						
22	19	84	120	I/O11	Вход-выход	Пользовательский
23						
24	20	85	121	I/O12	Вход-выход	Пользовательский
25	21	86	122	I/O13	Вход-выход	Пользовательский
	22	87	123	GND	Общий	Общий
26	23	88	124	I/O14*	Вход-выход	Пользовательский
27						
28	24	89	125	I/O15	Вход-выход	Пользовательский
29						
30	25	90	126	I/O16	Вход-выход	Пользовательский
31						
32						
33	26	91	127	I/O17*	Вход-выход	Пользовательский
	27	92	128	VCC	Питание	Питание
34	28	93	129	I/O18	Вход-выход	Пользовательский
35						
36	29	94	130	I/O19	Вход-выход	Пользовательский
37						
38	30	95	131	I/O20	Вход-выход	Пользовательский
39						
40						
41	31	96	132	I/O21	Вход-выход	Пользовательский
	32	97	133	GND	Общий	Общий
	32	98	134	GND	Общий	Общий
42	33	99	135	I/O22	Вход-выход	Пользовательский
43						
44	34	100	136	I/O23	Вход-выход	Пользовательский
45						

Инв. № уч.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Сквф- 22.05.08	106		

Продолжение таблицы 2

1	2	3	4	5	6	7
46	35	101	137	I/O24	Вход-выход	Пользовательский
47						
48	36	102	138	I/O25	Вход-выход	Пользовательский
49						
	37	103	139	VCC	Питание	Питание
50						
51	38	104	140	I/O26	Вход-Выход	Пользовательский
52	39	105	141	I/O27	Вход-Выход	Пользовательский
53						
54	40	106	142	I/O28	Вход-Выход	Пользовательский
55						
56	41	107	143	I/O29	Вход-выход	Пользовательский
57						
	42	108	144	GND	Общий	Общий
58	43	109	145	I/O30	Вход-выход	Пользовательский
59						
60	44	110	146	I/O31	Вход-выход	Пользовательский
61						
62	45	111	147	I/O32	Вход-выход	Пользовательский
63						
64	46	112	148	I/O33	Вход-выход	Пользовательский
65						
	47	113	149	VCC	Питание	Питание
	-	114	150	TEST_MODE0	Вход	Служебный
66	48	115	151	I/O34	Вход-выход	Пользовательский
67						
68	49	116	152	I/O35	Вход-выход	Пользовательский
69						
70	50	117	153	I/O36	Вход-выход	Пользовательский
71						
72	51	118	154	I/O37	Вход-выход	Пользовательский

Инив. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Октябрь 25.12.07			

Продолжение таблицы 2

1	2	3	4	5	6	7
73						
	52	119	155	GND	Общий	Общий
74	53	120	156	I/O38	Вход-выход	Пользовательский
75						
76	54	121	157	I/O39	Вход-выход	Пользовательский
77						
78	55	122	158	I/O40	Вход-выход	Пользовательский
79						
80	56	123	159	I/O41	Вход-выход	Пользовательский
81						
	57	124	160	VCC	Питание	Питание
	58	125	161	TMS	Вход	Служебный
	59	126	162	TRST	Вход	Служебный
82	60	127	163	nSTATUS	Вход-выход	Служебный
83	61	131	191	I/O42	Вход-выход	Пользовательский
84	62	130	190	I/O43	Вход-выход	Пользовательский
85	63	133	193	I/O44	Вход-выход	Пользовательский
86						
87	64	132	192	I/O45	Вход-выход	Пользовательский
88						
89	65	135	195	I/O46	Вход-выход	Пользовательский
90						
	69	134	194	GND	Общий	Общий
91	66	137	197	I/O47	Вход-выход	Пользовательский
92						
93	67	136	196	I/O48	Вход-выход	Пользовательский
94	68	139	199	I/O49	Вход-выход	Пользовательский
95	70	138	198	I/O50	Вход-выход	Пользовательский
96						
97	71	141	201	I/O51	Вход-выход	Пользовательский
98	72	140	200	I/O52	Вход-выход	Пользовательский

Инв. № по 106	Подп. и дата Искр. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------	--------------------------------	--------------	--------------	--------------

## Продолжение таблицы 2

1	2	3	4	5	6	7
	77	143	203	VCC	Питание	Питание
99						
100	73	142	202	I/O53	Вход-выход	Пользовательский
101	74	145	205	I/O54	Вход-выход	Пользовательский
102						
103	75	144	204	I/O55	Вход-выход	Пользовательский
104	76	147	207	I/O56	Вход-выход	Пользовательский
105	78	146	206	I/O57	Вход-выход	Пользовательский
106	79	149	209	I/O58	Вход-выход	Пользовательский
	85	148	208	GND	Общий	Общий
107	80	150	210	I/O59	Вход-выход	Пользовательский
108						
109	81	151	211	I/O60	Вход-выход	Пользовательский
110						
111	82	152	212	I/O61	Вход-выход	Пользовательский
112						
113	83	153	213	I/O62	Вход-выход	Пользовательский
114	84	154	214	I/O63	Вход-выход	Пользовательский
	89	155	215	VCC	Питание	Питание
115	86	156	216	I/O64	Вход-выход	Пользовательский
116						
117	87	157	217	I/O65	Вход-выход	Пользовательский
118	88	158	218	I/O66	Вход-выход	Пользовательский
	89	159	219	VCC	Питание	Питание
119	90	160	220	INPUT0	Вход	Пользовательский
120	91	161	221	CLOCK0	Вход	Пользовательский
121	92	162	222	INPUT1	Вход	Пользовательский
	93	163	223	GND	Общий	Общий
122	94	164	224	I/O67	Вход-выход	Пользовательский
123						
124	95	165	225	I/O68	Вход-выход	Пользовательский

Инв. № док. 106	Подп. и дата Окунь 25.12.07	Взам. инв. №	№ инв. № дубл.	Подп. и дата
--------------------	--------------------------------	--------------	----------------	--------------

## Продолжение таблицы 2

1	2	3	4	5	6	7
125						
	93	166	226	GND	Общий	Общий
126	97	167	227	I/O69	Вход-выход	Пользовательский
127						
128	98	168	228	I/O70	Вход-выход	Пользовательский
129						
130	99	169	229	I/O71	Вход-выход	Пользовательский
131						
132	100	170	230	I/O72	Вход-выход	Пользовательский
133	101	171	231	I/O73	Вход-выход	Пользовательский
	96	172	232	VCC	Питание	Питание
134	102	173	233	I/O74	Вход-выход	Пользовательский
135	103	174	234	I/O75	Вход-выход	Пользовательский
136	105	176	236	I/O76	Вход-выход	Пользовательский
137						
138	106	175	235	I/O77	Вход-выход	Пользовательский
139						
140	107	178	238	I/O78	Вход-выход	Пользовательский
141	108	177	237	I/O79	Вход-выход	Пользовательский
	104	180	240	GND	Общий	Общий
142	109	179	239	I/O80	Вход-выход	Пользовательский
143						
144	110	182	242	I/O81	Вход-выход	Пользовательский
145	111	181	241	I/O82	Вход-выход	Пользовательский
146	113	184	244	I/O83	Вход-выход	Пользовательский
147						
148	114	183	243	I/O84	Вход-выход	Пользовательский
149	115	186	246	I/O85	Вход-выход	Пользовательский
	112	185	245	VCC	Питание	Питание
150	116	188	248	I/O86	Вход-выход	Пользовательский
151						

Инв. № 106	Подп. и дата Окунь 25.12.07	Взам. инв. №	Инд. № дубл.	Подп. и дата
------------	--------------------------------	--------------	--------------	--------------

## Продолжение таблицы 2

1	2	3	4	5	6	7
152	117	187	247	I/O87	Вход-выход	Пользовательский
153						
154	118	190	250	I/O88	Вход-выход	Пользовательский
155	119	189	249	I/O89	Вход-выход	Пользовательский
156	120	191	251	I/O90	Вход-выход	Пользовательский
157						
158	121	194	278	nCONFIG	Вход	Служебный
159	122	195	279	TEST_MODE1	Вход	Служебный
160	123	196	280	MSEL1	Вход	Служебный
161	124	197	281	MSEL0	Вход	Служебный
	125	198	282	GND	Общий	Общий
162	126	199	283	I/O91	Вход-выход	Пользовательский
163						
164	127	200	284	I/O92	Вход-выход	Пользовательский
165						
166	128	201	285	I/O93	Вход-выход	Пользовательский
167						
168	129	202	286	I/O94	Вход-выход	Пользовательский
169						
	130	203	287	VCC	Питание	Питание
		203	287	VCC	Питание	Питание
170	131	204	288	I/O95	Вход-выход	Пользовательский
171						
172	132	205	289	I/O96	Вход-выход	Пользовательский
173						
174	133	206	290	I/O97	Вход-выход	Пользовательский
175						
176	134	207	291	I/O98	Вход-выход	Пользовательский
177						
	135	208	292	GND	Общий	Общий
178	136	209	293	I/O99	Вход-выход	Пользовательский

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и д.
106	08.12.07			



Продолжение таблицы 2

1	2	3	4	5	6	7
179						
180	137	210	294	I/O100	Вход-выход	Пользовательский
181						
182	138	211	295	I/O101	Вход-выход	Пользовательский
183						
184	139	212	296	I/O102	Вход-выход	Пользовательский
185						
	140	213	297	VCC	Питание	Питание
186	141	214	298	I/O103	Вход-выход	Пользовательский
187						
188	142	215	299	I/O104	Вход-выход	Пользовательский
189						
190	143	216	300	I/O105	Вход-выход	Пользовательский
191						
192						
193	144	217	301	I/O106	Вход-выход	Пользовательский
	145	218	302	GND	Общий	Общий
194	146	219	303	I/O107	Вход-выход	Пользовательский
195						
196	147	220	304	I/O108	Вход-выход	Пользовательский
197						
198	148	221	305	I/O109	Вход-выход	Пользовательский
199						
200						
201	149	222	306	I/O110	Вход-выход	Пользовательский
	150	223	307	VCC	Питание	Питание
202	151	224	308	I/O111	Вход-выход	Пользовательский
203						
204	152	225	309	I/O112	Вход-выход	Пользовательский
205						
206	153	226	310	I/O113	Вход-выход	Пользовательский

Инв. № 10 1206	Подп. и дата Ожид. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
-------------------	--------------------------------	--------------	--------------	---------

Продолжение таблицы 2

1	2	3	4	5	6	7
207						
208						
209	154	227	311	I/O114	Вход-выход	Пользовательский
	155	228	312	GND	Общий	Общий
210	156	229	313	I/O115	Вход-выход	Пользовательский
211						
212	157	230	314	I/O116	Вход-выход	Пользовательский
213						
214	158	231	315	I/O117	Вход-выход	Пользовательский
215						
216						
217	159	232	316	I/O118	Вход-выход	Пользовательский
	160	233	317	VCC	Питание	Питание
218	161	234	318	I/O119	Вход-выход	Пользовательский
219						
220	162	235	319	I/O120	Вход-выход	Пользовательский
221						
222	163	236	320	I/O121	Вход-выход	Пользовательский
223						
224						
225	164	237	321	I/O122	Вход-выход	Пользовательский
	165	238	322	GND	Общий	Общий
226	166	239	323	I/O123	Вход-выход	Пользовательский
227						
228	167	240	324	I/O124	Вход-выход	Пользовательский
229						
230	168	241	325	I/O125	Вход-выход	Пользовательский
231						
232						
233	169	242	326	I/O126	Вход-выход	Пользовательский
	170	243	327	VCC	Питание	Питание

Инв. № подл. 106	Подп. и дата Мед. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дат.
---------------------	-------------------------------	--------------	--------------	--------------

## Продолжение таблицы 2

1	2	3	4	5	6	7
234	171	244	328	I/O127	Вход-выход	Пользовательский
235						
236	172	245	329	I/O128	Вход-выход	Пользовательский
237						
238	173	246	330	I/O129	Вход-выход	Пользовательский
239						
240	174	247	331	I/O130	Вход-выход	Пользовательский
241	175	248	332	I/O131	Вход-выход	Пользовательский
	176	249	333	GND	Общий	Общий
	177	250	334	TDI	Вход	Служебный
242	178	251	335	nCE	Вход	Служебный
243	179	252	336	DCLK	Вход	Служебный
244	180	253	337	DATA0	Вход	Служебный
245						
246	181	254	338	I/O132*	Вход-выход	Пользовательский
247						
248	182	255	339	I/O133*	Вход-выход	Пользовательский
249						
250	183	3	15	I/O134*	Вход-выход	Пользовательский
251	184	2	14	I/O135	Вход-выход	Пользовательский
252	185	5	17	I/O136*	Вход-выход	Пользовательский
	189	4	16	VCC	Питание	Питание
253						
254	186	7	19	I/O137*	Вход-выход	Пользовательский
255	187	6	18	I/O138	Вход-выход	Пользовательский
256	188	9	21	I/O139*	Вход-выход	Пользовательский
257						
258	190	8	20	I/O140*	Вход-выход	Пользовательский
259	191	11	23	I/O141	Вход-выход	Пользовательский
260	192	10	22	I/O142	Вход-выход	Пользовательский
	197	13	25	GND	Общий	Общий

Инв. № лс 106	Подп. и дата Октябрь 25, 2007	Взам. инв. №	Инв. № дубл.	Подп. и
------------------	----------------------------------	--------------	--------------	---------

Продолжение таблицы 2

1	2	3	4	5	6	7
261						
262	193	12	24	I/O143	Вход-выход	Пользовательский
263						
264	194	15	27	I/O144	Вход-выход	Пользовательский
265	195	14	26	I/O145	Вход-выход	Пользовательский
266	196	17	29	I/O146	Вход-выход	Пользовательский
267						
268	198	16	28	I/O147	Вход-выход	Пользовательский
	205	19	31	VCC	Питание	Питание
269						
270	199	18	30	I/O148	Вход-выход	Пользовательский
271	200	21	33	I/O149	Вход-выход	Пользовательский
272	201	20	32	I/O150	Вход-выход	Пользовательский
273	202	22	34	I/O151	Вход-выход	Пользовательский
274	203	23	35	I/O152	Вход-выход	Пользовательский
275						
276	204	24	36	I/O153	Вход-выход	Пользовательский
		25	37	GND	Общий	Общий
277	206	26	38	I/O154	Вход-выход	Пользовательский
278	207	27	39	I/O155	Вход-выход	Пользовательский
279	208	28	40	I/O156	Вход-выход	Пользовательский
280	209	29	41	I/O157*	Вход-выход	Пользовательский
		30	42	VCC	Питание	Питание
281	210	31	43	INPUT2	Вход	Пользовательский
282	211	32	44	CLOCK1	Вход	Пользовательский
283	212	33	45	INPUT3	Вход	Пользовательский
		34	46	GND	Общий	Общий
284						
285	213	35	47	I/O158*	Вход-выход	Пользовательский
286	214	36	48	I/O159	Вход-выход	Пользовательский
287	215	37	49	I/O160	Вход-выход	Пользовательский

Инв. № по 106	Подп. и дата Оккуп 25.12.07	Взам. инв. № Инв. № дубл.	Подп. и дт
------------------	--------------------------------	------------------------------	------------

## Продолжение таблицы 2

1	2	3	4	5	6	7
		38	50	VCC	Питание	Питание
288						
289	217	39	51	I/O161	Вход-выход	Пользовательский
290	218	40	52	I/O162	Вход-выход	Пользовательский
291	219	41	53	I/O163	Вход-выход	Пользовательский
292	220	42	54	I/O164	Вход-выход	Пользовательский
293	221	43	55	I/O165	Вход-выход	Пользовательский
294						
295	222	44	56	I/O166	Вход-выход	Пользовательский
	216	45	57	GND	Общий	Общий
296						
297	223	46	58	I/O167	Вход-выход	Пользовательский
298						
299	225	48	60	I/O168	Вход-выход	Пользовательский
300	226	47	59	I/O169	Вход-выход	Пользовательский
301	227	50	62	I/O170	Вход-выход	Пользовательский
302						
303	228	49	61	I/O171	Вход-выход	Пользовательский
	224	52	64	VCC	Питание	Питание
304						
305	229	51	63	I/O172	Вход-выход	Пользовательский
306	230	54	66	I/O173	Вход-выход	Пользовательский
307	231	53	65	I/O174	Вход-выход	Пользовательский
308						
309	233	56	68	I/O175	Вход-выход	Пользовательский
310	234	55	67	I/O176	Вход-выход	Пользовательский
311	235	58	70	I/O177	Вход-выход	Пользовательский
	232	57	69	GND	Общий	Общий
312						
313	236	60	72	I/O178*	Вход-выход	Пользовательский
314	237	59	71	I/O179	Вход-выход	Пользовательский

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и д.
106	Искр-25.12.07			

## Окончание таблицы 2

1	2	3	4	5	6	7
315	238	62	74	I/O180*	Вход-выход	Пользовательский
316						
317	239	61	73	I/O181*	Вход-выход	Пользовательский
318						
319	240	63	75	I/O182*	Вход-выход	Пользовательский

\* Выводы I/O4, I/O14, I/O17, I/O132, I/O133, I/O134, I/O136, I/O137, I/O139, I/O140, I/O157, I/O158, I/O178, I/O180, I/O181, I/O182 являются выводами двойного назначения и могут использоваться как служебные CLKUSR, RDYnBSY, INIT\_DONE, DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7, DEV\_CLRn, DEV\_OE, nRS, nWS, CS, nCS соответственно.

Перед конфигурированием ПЛИС необходимо обеспечить следующие условия:

- все выводы GND должны быть подключены к отрицательному выводу источника питания («общему»);
- все выводы VCC должны быть подключены к положительному выводу источника питания ( $3,3 \pm 0,3$ ) В;
- все входы ПЛИС должны быть подключены к отрицательному или положительному выводу источника питания напрямую или через резисторы pull-up, pull-down, или к выходам других микросхем. При неопределенности выбора предпочтение следует отдавать отрицательному выводу источника питания;
- вывод TEST\_MODE0 всегда должен быть подключен к отрицательному выводу источника питания;
- вывод TEST\_MODE1 всегда должен быть подключен к положительному выводу источника питания;
- выводы MSEL0 и MSEL1 должны быть подключены к положительному или к отрицательному выводу источника питания в зависимости от выбранного режима конфигурирования.

Если не используется JTAG порт, выводы TRST, TCK следует подключить к отрицательному выводу источника питания, выводы TMS, TDI –

Инв. № 1000001126	Подп. и дата А.И.И. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	---------------------------------	--------------	--------------	--------------

к положительному выводу источника питания, вывод TDO – оставить неподключенным.

Если не используется ни одна из PS, PPS, PPA схем конфигурирования, выводы DCLK, MSEL0, MSEL1, nCE следует подключить к отрицательному выводу источника питания, выводы DATA0, nCONFIG – к положительному выводу источника питания, вывод nCEO – оставить неподключенным.

## 2 Особенности проектирования на основе ПЛИС

Для создания проектов может быть использована САПР ф. Altera для ПК на базе Windows, Sun SPARCstation, HP 9000 Series 700/800 рабочих станций – MAX+PLUS II или Quartus II. При выборе САПР MAX+PLUS II в меню Processing → Fitter Settings необходимо включить опцию Use Quartus Fitter for FLEX 10K and ACEX 1K Devices и отключить опцию Automatic Register Packing.

Проектирование подразумевает ввод проекта, функциональное моделирование, автоматическое размещение элементов и трассировку межсоединений, создание файлов для конфигурирования ПЛИС.

Для ввода проекта и моделирования можно использовать EDIF 200 и EDIF 300 нетлист-файлы, библиотеки параметризованных функций (LPM), DesignWare компоненты, Verilog HDL, VHDL и другие интерфейсы популярных инструментов САПР из таких программ как Cadence, Exemplar Logic, Mentor Graphics, OrCAD, Synopsys, Synplicity, VeriBest и Viewlogic.

Для компиляции проекта в САПР MAX+PLUS II или Quartus II во вкладке Assign → Device следует выбирать Device Family: FLEX10K, Device: EPF10K50RC240, далее вести проектирование согласно поставленной задаче, руководствуясь описанием выбранного программного обеспечения (ПО). Особенность будет заключаться в назначении внешних выводов.

Каждому сигнальному выводу ПЛИС 5576XC1T в корпусе 240 CQFP соответствует вывод ПЛИС EPF10K50 в корпусе RQFP240 (таблица 1). Если, например, необходимо использовать вывод 68 ПЛИС 5576XC1T в корпусе 240 CQFP (I/O2, 110 вывод контактного устройства (КУ)) для конкретного внешнего сигнала, в настройках САПР необходимо сделать назначение этому сигналу – вывод 8.

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и д.
106	Вилл 25.12.07			

Соответственно каждому сигнальному выводу ПЛИС 5576XC1T1 в корпусе 4244.256-1 есть соответствующий вывод ПЛИС EPF10K50 в корпусе RQFP240 (таблица 2).

### 3 Схемы конфигурирования ПЛИС

Для конфигурирования ПЛИС существуют следующие конфигурационные схемы:

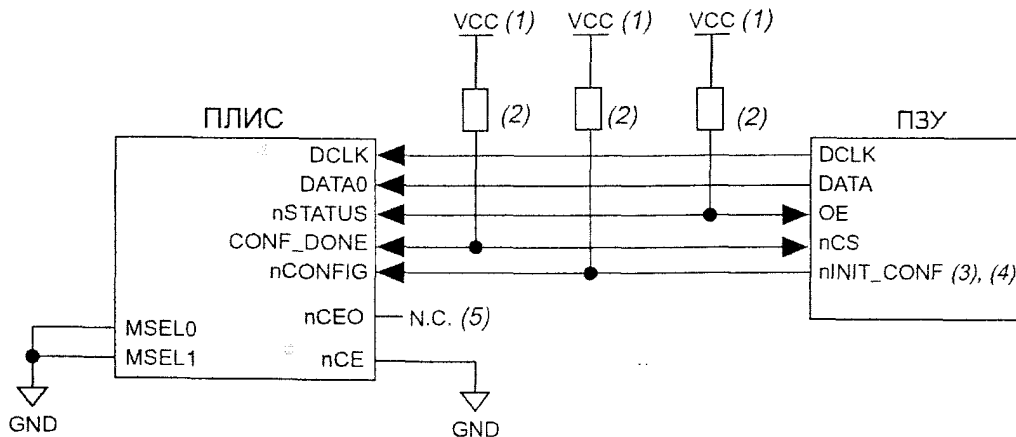
- конфигурирование с конфигурационным ПЗУ;
- PS (Passive Serial – пассивное последовательное) конфигурирование с загрузочным кабелем;
- PS конфигурирование с микропроцессором;
- PPS (Passive Parallel Synchronous – пассивное параллельное синхронное) конфигурирование;
- PPA (Passive Parallel Asynchronous – пассивное параллельное асинхронное) конфигурирование;
- JTAG конфигурирование.

#### 3.1 Конфигурирование с конфигурационным ПЗУ

Для конфигурирования ПЛИС по данной схеме используется последовательное конфигурационное устройство – ПЗУ. Рекомендуется использовать последовательные ПЗУ EPС2 ф. Altera. Схема для конфигурирования ПЛИС с последовательным ПЗУ приведена на рисунке 1.

Инд. № 110 106	Подп. и дата Ожид. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и И.
-------------------	--------------------------------	--------------	--------------	------------





### Примечания

1 Все pull-up резисторы должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Все pull-up резисторы имеют номинал 1 кОм. В устройствах EPC16, EPC8 и EPC2 выводы OE и nCS имеют внутренние, конфигурируемые пользователем pull-up резисторы. При использовании внутренних pull-up резисторов нет необходимости применять внешние pull-up резисторы на этих выводах.

3 Наличие вывода nINIT\_CONF зависит от конкретного типа используемого ПЗУ (имеется, например, в ПЗУ EPC16, EPC8, EPC2). Если используется ПЗУ, у которых данный вывод отсутствует (например, EPC1), то вывод nCONFIG должен быть подключен к VCC напрямую или через pull-up резистор.

4 Вывод nINIT\_CONF имеет встроенный pull-up резистор, который всегда активен в устройствах EPC16, EPC8 и EPC2. Внешний pull-up резистор в этом случае на выводе nINIT\_CONF не обязателен.

5 Вывод nCEO отсоединен.

Рисунок 1 – Конфигурирование ПЛИС с последовательным ПЗУ

При включении питания вывод nCONFIG переключается из состояния низкого уровня в состояние высокого уровня и инициализируется конфигурирование. ПЛИС переводит вывод с открытым стоком CONF\_DONE в со-

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	25.12.07			

стояние низкого уровня, который затем приходит на вывод nCS ПЗУ. В ПЛИС при этом происходит процесс сброса всех триггеров (Power on reset или POR), а вывод с открытым стоком nSTATUS переходит в пассивное состояние.

После включения питания перед началом конфигурирования ПЛИС в ПЗУ также проходит POR. В течение этого времени стабилизируется напряжение питания и ПЗУ формирует сигнал низкого уровня на выводе OE, который задерживает конфигурирование, т. к. данный вывод соединен с выводом nSTATUS ПЛИС. После завершения режима POR на обоих устройствах, выводы nSTATUS и OE переходят в пассивное состояние, а сигнал на этих выводах дотягивается pull-up резистором до высокого уровня. Когда конфигурируется устройство из нескольких микросхем, конфигурирование не начинается, пока все устройства не переведут свои выводы OE и nSTATUS в пассивное состояние. После этого ПЗУ последовательно передает данные на вывод DATA0 ПЛИС, при этом синхронизация передачи данных происходит по внутреннему тактовому генератору ПЗУ.

После успешного конфигурирования ПЗУ продолжает подавать тактовый сигнал на вход DCLK с целью инициализации. ПЛИС переводит вывод CONF\_DONE в пассивное состояние и сигнал дотягивается до высокого уровня pull-up резистором. После того, как инициализация завершена, ПЛИС переходит в пользовательский режим.

Если в процессе конфигурирования возникает ошибка, то ПЛИС формирует на выводе nSTATUS сигнал низкого уровня, который приводит к сбросу и ПЛИС, и ПЗУ. При включенной опции Auto-Restart Configuration on Frame Error, доступной в MAX+PLUS II Global Project Device Options (Assign menu), устройство реконфигурируется автоматически при обнаружении ошибки. ПО Quartus II так же предоставляет подобную опцию. Для её использования необходимо выбрать Compiler Settings (Processing menu), а затем Chips & Devices.

Если данная опция отключена, то должна быть внешняя система, которая будет проверять вывод nSTATUS на наличие ошибок и в случае обнаружения ошибки посылать сигнал низкого уровня на вывод nCONFIG для перезапуска конфигурирования. Внешняя система может посылать сигнал на вывод nCONFIG, если он находится под контролем системы, а не подключен к VCC. Когда конфигурирование завершено, вывод CONF\_DONE переводится в пассивное состояние, при этом из-за перевода вывода nCS в состояние вы-

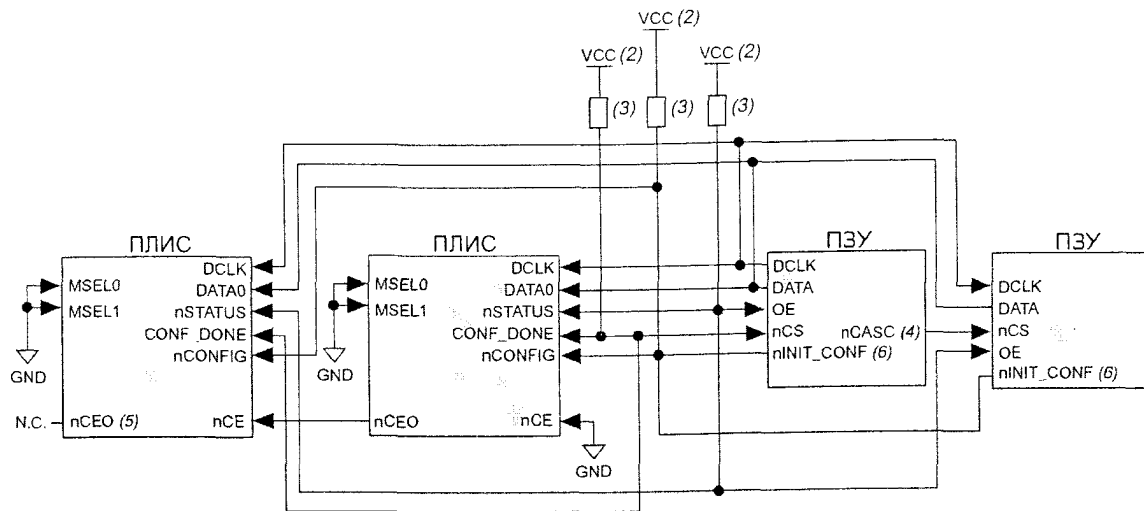
Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Оклад-25.12.07			

сокого уровня блокируется ПЗУ. Вывод DCLK ПЛИС до и после конфигурирования находится в состоянии низкого уровня.

Если после передачи всех данных из ПЗУ вывод CONF\_DONE остаётся в состоянии низкого уровня, это означает, что конфигурирование прошло неудачно. В этом случае, ПЗУ переводит вывод OE в состояние низкого уровня на несколько микросекунд, при этом вывод nSTATUS ПЛИС так же переходит в состояние низкого уровня. Если опция Auto-Restart Configuration on Frame Error включена в программном обеспечении, то после обнаружения ошибки вывод nSTATUS возвращается в состояние высокого уровня, после чего ПЗУ реконфигурирует ПЛИС. После завершения процесса конфигурирования ПЗУ переводит вывод DCLK в состояние низкого уровня.

При конфигурировании устройств, содержащих несколько ПЛИС, не следует устанавливать CONF\_DONE в состояние низкого уровня для задержки инициализации. Вместо этого следует использовать опцию User-Supplied Start-Up Clock ПО Quartus II или MAX+PLUS II для синхронизации инициализации устройств из нескольких микросхем. На рисунке 2 показано, как конфигурировать устройства из нескольких микросхем с ПЗУ.

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Васильев 25.12.07			



### Примечания

1 Когда в последовательной конфигурации используется несколько ПЛИС, необходимо для ПЗУ создать файл Programmer Object File (.prof) из файлов SRAM Object File (.sof) каждого проекта. Для этого можно комбинировать несколько .sof файлов, используя Combine Programming Files (File menu) ПО MAX+PLUS II. Аналогичная опция в Quartus II – Convert Programming Files.

2 Все pull-up резисторы должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

3 Все pull-up резисторы имеют номинал 1 кОм. В устройствах EPC16, EPC8 и EPC2 выходы OE и nCS имеют внутренние, конфигурируемые пользователем pull-up резисторы. При использовании внутренних pull-up резисторов нет необходимости применять внешние pull-up резисторы на этих выводах.

4 ПЗУ, у которых отсутствует вывод nCASC, нельзя каскадировать.

5 Вывод nCEO последней ПЛИС цепи отсоединен.

Рисунок 2, лист 1 – Конфигурирование нескольких ПЛИС с ПЗУ

Инд. № л.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
106	Ожид-25.12.07			

6 Наличие вывода nINIT\_CONF зависит от конкретного типа используемого ПЗУ (имеется, например, в ПЗУ EPC16, EPC8, EPC2). Если используется ПЗУ, у которых данный вывод отсутствует (например, EPC1), то вывод nCONFIG должен быть подключен к VCC напрямую или через pull-up резистор.

### Рисунок 2, лист 2

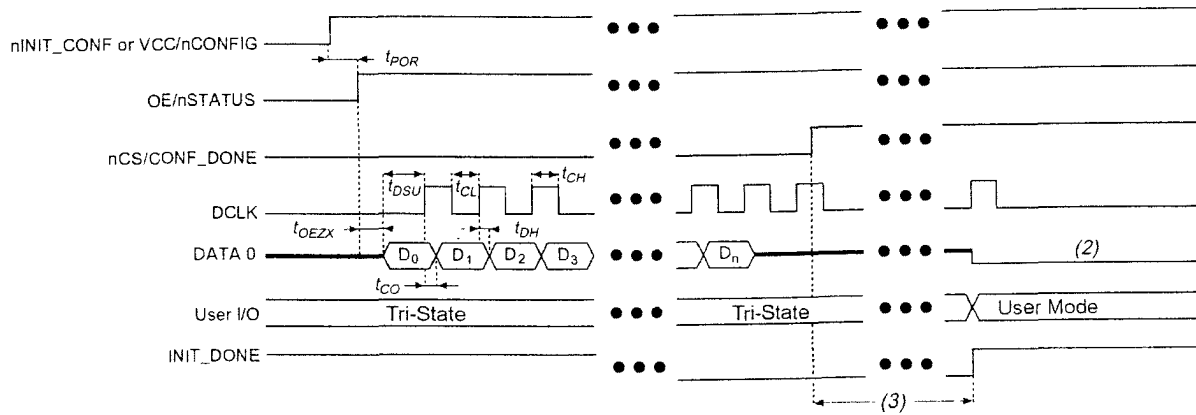
После завершения конфигурирования первого устройства его вывод nCEO активизирует вывод nCE во втором устройстве, заставляя второе устройство начать конфигурирование. Так как все выходы CONF\_DONE объединены, то все ПЛИС инициализируются и переходят в пользовательский режим одновременно.

Выходы nSTATUS всех ПЛИС также объединены, следовательно, если любое устройство (в том числе и ПЗУ) обнаруживает ошибку, то конфигурирование прекращается. Если первое ПЗУ не обнаруживает на выводе CONF\_DONE высокого уровня в конце конфигурирования, то через несколько микросекунд происходит сброс конфигурации путем подачи импульса низкого уровня на вывод OE, который переводит вывод OE на других ПЗУ в состояние низкого уровня и устанавливает вывод nSTATUS на всех ПЛИС в состояние ошибки.

Если включена опция Auto-Restart Configuration on Frame Error, то после сброса ПЛИС устанавливают выходы nSTATUS в пассивное состояние. Когда вывод nSTATUS пассивен и уровень сигнала становится высоким, ПЗУ повторно конфигурирует цепочку. Если эта опция выключена, то вывод nSTATUS ПЛИС будет находиться в состоянии низкого уровня, пока на вывод nCONFIG не будет подан сигнал низкого уровня.

Можно также каскадировать несколько ПЗУ для конфигурирования сложных устройств. Когда все данные из первого ПЗУ переданы, на выводе nCASC появляется сигнал низкого уровня, который управляет выводом nCS следующего ПЗУ. Поскольку для активации последующего ПЗУ требуется времени меньше, чем один цикл переключений, то поток данных получается непрерывным. На рисунке 3 показаны временные диаграммы для конфигурирования ПЛИС с использованием последовательного ПЗУ.

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	25.12.07			



### Примечания

1 Информация о временных характеристиках содержится в описании ПЗУ ф. Altera, например, Configuration Devices for APEX & FLEX Devices Data Sheet или EPC16 Configuration Device Data Sheet.

2 ПЗУ после процесса конфигурирования устанавливает вывод DATA0 в состояние низкого уровня.

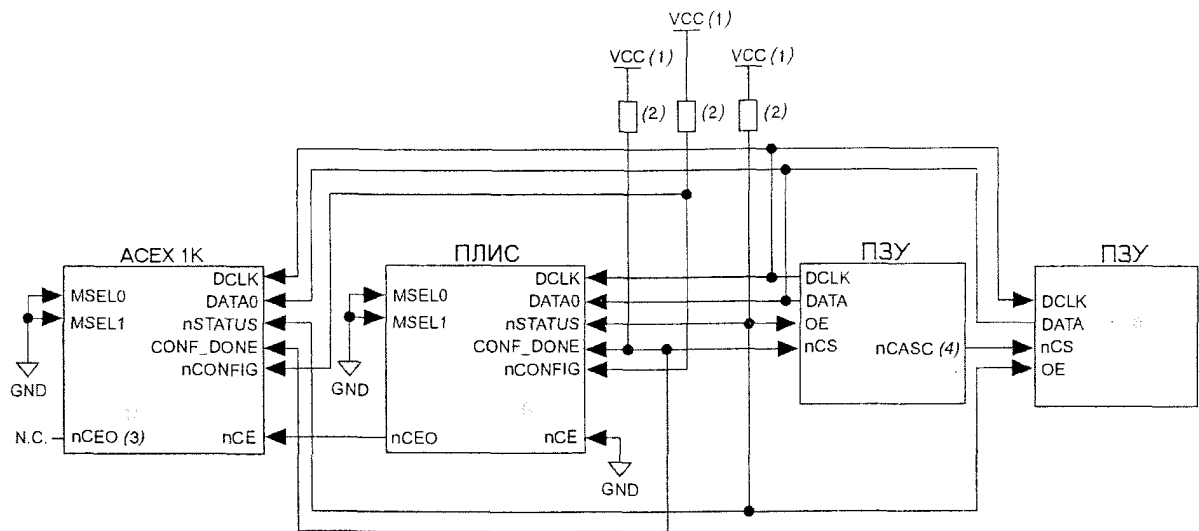
3 ПЛИС переходит в пользовательский режим через 10 тактовых сигналов после перехода вывода CONF\_DONE в состояние высокого уровня.

Рисунок 3 – Временные диаграммы для конфигурирования ПЛИС с использованием последовательного ПЗУ

Можно использовать одну конфигурационную цепь для конфигурирования многосоставных устройств. В этой схеме вывод nCEO первого устройства соединяется с выводом nCE следующего устройства в цепочке. Выводы CONF\_DONE и nSTATUS всех устройств должны быть объединены вместе.

На рисунке 4 показан один из примеров конфигурирования составных устройств с использованием ПЗУ.

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
106	В.И.С. 25.12.07			



### Примечания

1 Все pull-up резисторы должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Все pull-up резисторы имеют номинал 1 кОм. В устройствах EPC16, EPC8 и EPC2 выходы OE и nCS имеют внутренние, конфигурируемые пользователем, pull-up резисторы. При использовании внутренних pull-up резисторов нет необходимости применять внешние pull-up резисторы на этих выводах.

3 Вывод nCEO последней ПЛИС цепи отсоединен.

4 ПЗУ, у которых отсутствует вывод nCASC, нельзя каскадировать.

Рисунок 4 – Конфигурирование составного устройства с использованием ПЗУ

Таблица 3 показывает назначение выводов ПЛИС в процессе и после конфигурирования.

Инд. № п/п 106	Подп. и дата Окунь 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
-------------------	--------------------------------	--------------	--------------	---------

Таблица 3 – Назначение выводов в процессе и после конфигурирования

Вывод	Назначение выводов	
	в процессе конфигурирования	после конфигурирования
DATA0	вход данных для конфигурирования	не доступен для проектов
DATA[7...1] *	вход данных в некоторых конфигурационных режимах	определяется пользователем
I/O вывод	пользовательский вход – выход (третье состояние)	

\* Функциональное назначение этих выводов зависит от установленных в ПО MAX+PLUSII (Global Project Device Options) или Quartus II (Device & Pin Option) параметров.

### 3.2 PS конфигурирование с загрузочным кабелем

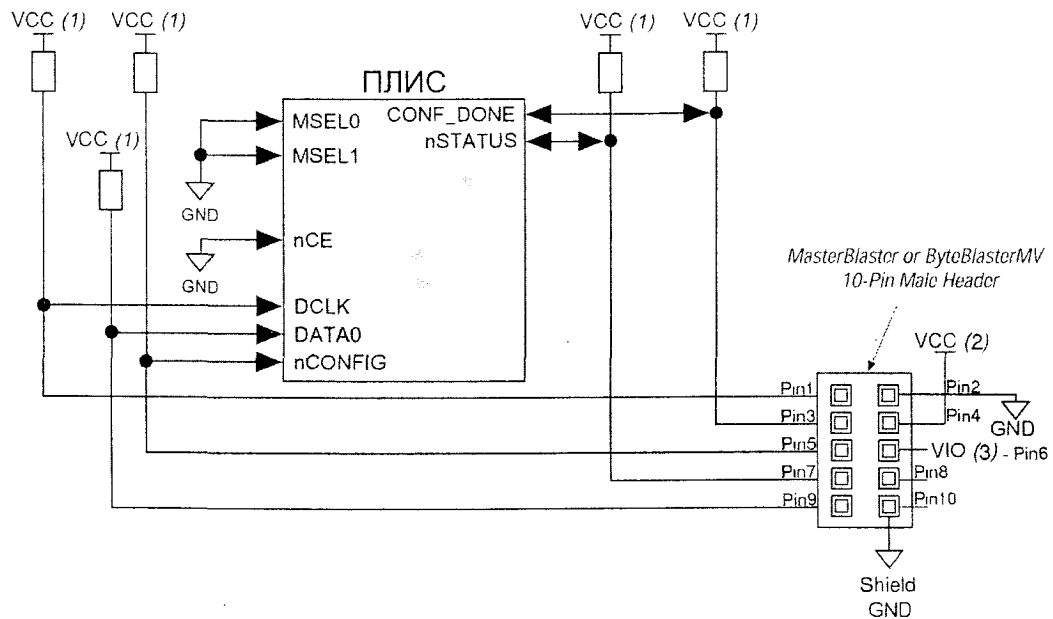
Для начала конфигурирования по данной схеме интеллектуальный хост через кабель MasterBlaster или ByteBlasterMV переводит сигнал на выводе nCONFIG из состояния низкого уровня в состояние высокого уровня, затем конфигурационные данные по одному биту передаются через кабель MasterBlaster или ByteBlasterMV на вывод DATA0 ПЛИС. Данные в ПЛИС будут передаваться до тех пор, пока вывод CONF\_DONE не перейдет в состояние высокого уровня.

При данной схеме конфигурирования опция Auto-Restart Configuration on Frame Error не влияет на конфигурационный цикл, поскольку ПО Quartus II или MAX+PLUS II самостоятельно перезапустит конфигурирование при обнаружении ошибки.

На рисунке 5 показано PS конфигурирование для устройств, использующих кабели MasterBlaster или ByteBlasterMV.

Инв. № по 106	Подп. и дата Ожид. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
---------------	--------------------------------	--------------	--------------	--------------





### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать напряжению питания ПЛИС.

3 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

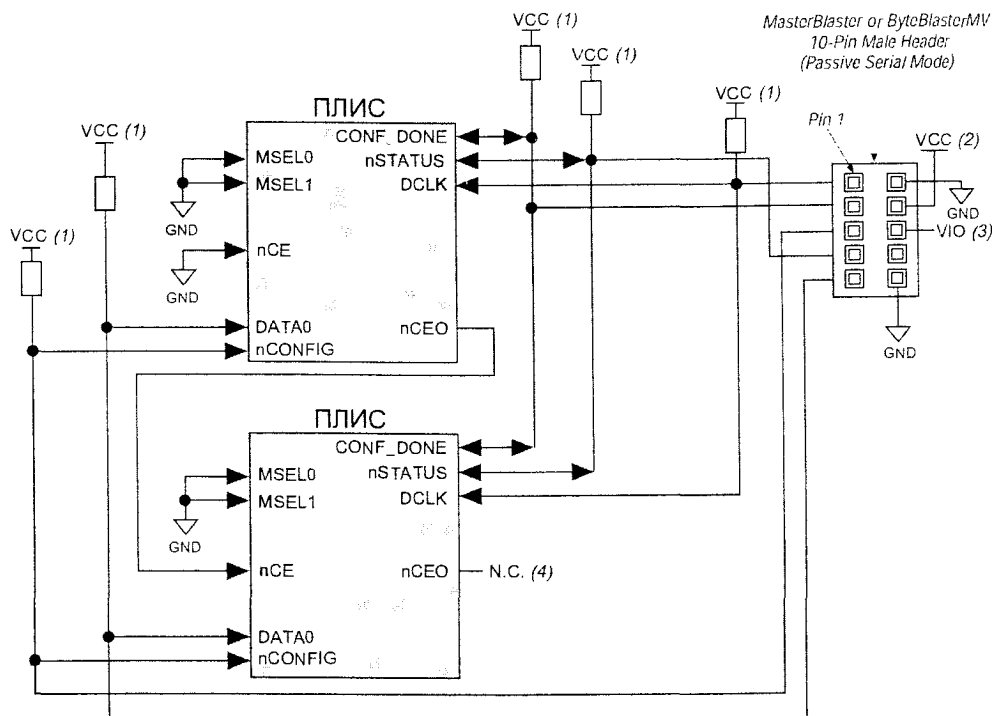
Рисунок 5 – PS конфигурирование для устройств, использующих кабель MasterBlaster или ByteBlasterMV

Можно использовать одну конфигурационную цепь для конфигурирования сложных устройств путем присоединения каждого вывода nCEO одной ПЛИС к выводу nCE последующей. Все другие конфигурационные выводы должны быть подключены к соответствующим узлам схемы. Выводы CONF\_DONE всех ПЛИС объединены, следовательно, все ПЛИС в цепочке инициализируются (запускаются) и переходят в пользовательский режим одновременно. Поскольку выводы nSTATUS всех ПЛИС также объединены, то при обнаружении ошибки каким-либо из устройств, останавливается конфигурирование всей цепочки. В данной ситуации ПО Quartus II или MAX+PLUS II самостоятельно перезапускает процесс конфигурирования

Изнв. № по 106	Подп. и дата А.К.И.Ф. 25.12.07	Взам. инв. №	Изнв. № дубл.	Подп. и дата
----------------	-----------------------------------	--------------	---------------	--------------

(опция Auto-Restart Configuration on Frame Error не влияет на конфигурационный цикл).

На рисунке 6 показано как конфигурировать устройства с несколькими ПЛИС с помощью кабеля MasterBlaster или ByteBlasterMV.



### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать напряжению питания ПЛИС.

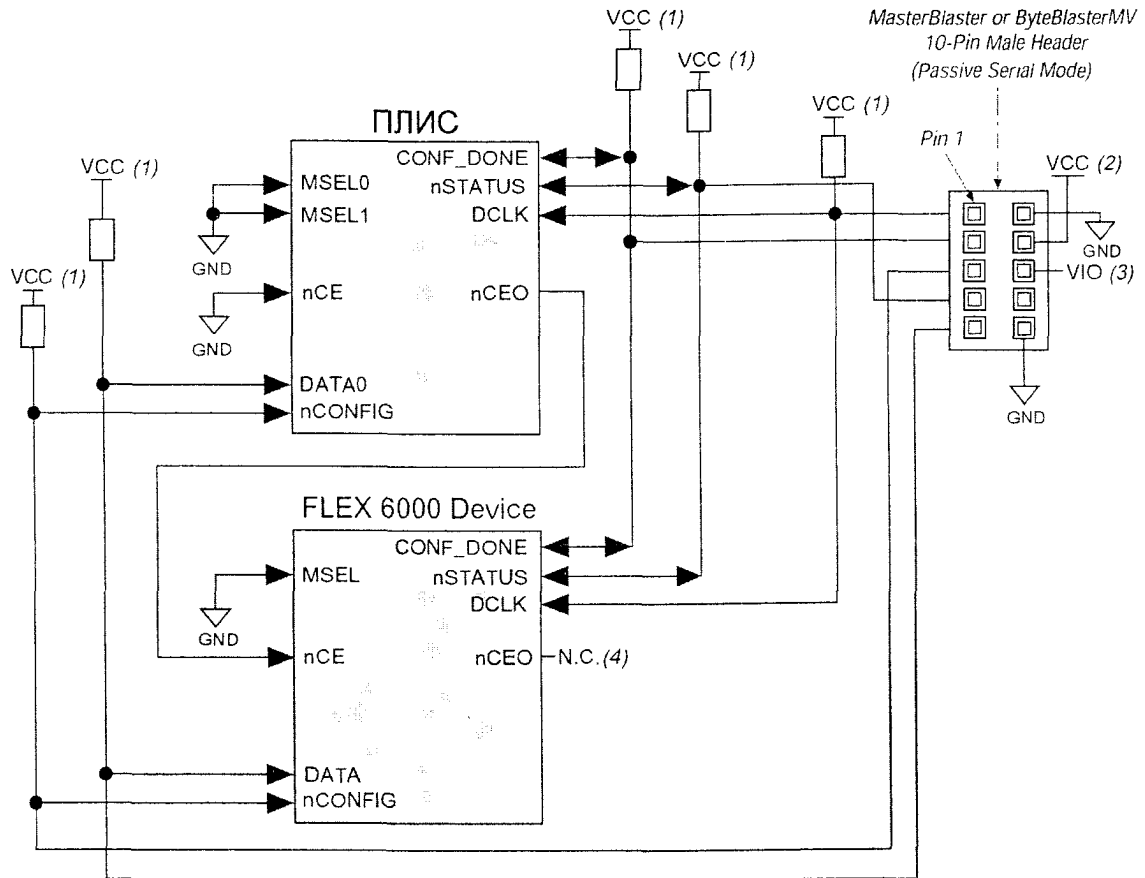
3 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

4 Вывод nCEO последней ПЛИС цепи отсоединен.

Рисунок 6 – Конфигурирование устройства с несколькими ПЛИС с использованием кабеля MasterBlaster или ByteBlasterMV

Инв. № по 106	Подп. и дата 01.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
---------------	--------------------------	--------------	--------------	---------

На рисунке 7 показано как конфигурировать сложные устройства (ПЛИС и FLEX 6000) с загрузочным кабелем MasterBlaster или ByteBlasterMV.



### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать максимальному из напряжений питаний всех устройств в цепи.

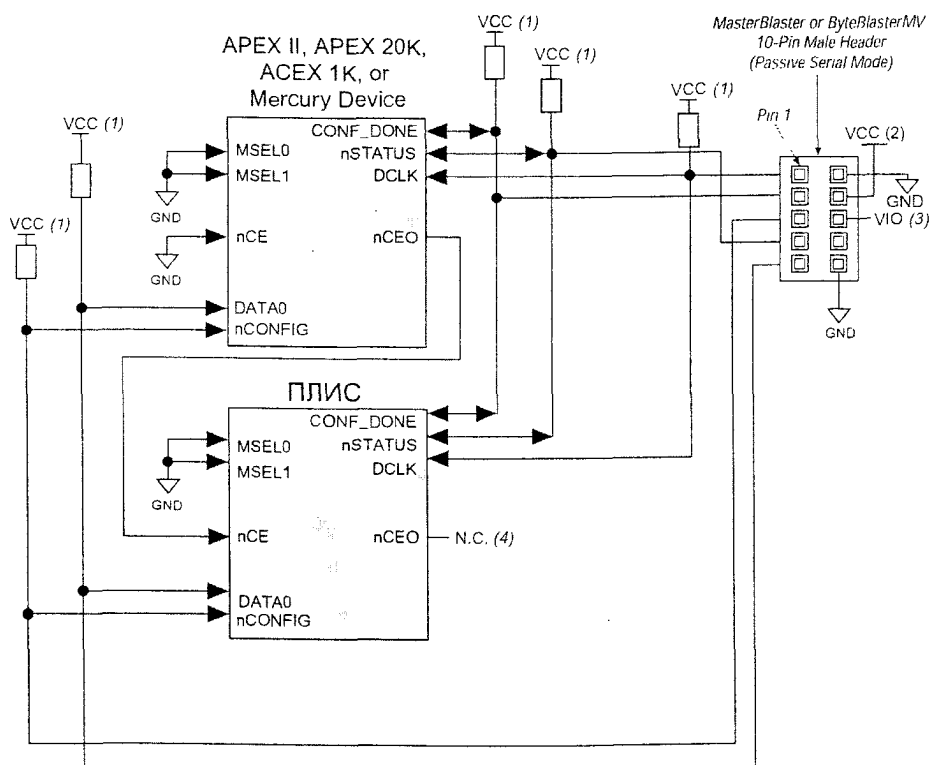
3 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

4 Вывод nCEO последней ПЛИС цепи отсоединен.

Рисунок 7 – Конфигурирование сложных устройств (ПЛИС и FLEX 6000) с загрузочным кабелем MasterBlaster или ByteBlasterMV

Инв. № по 106	Подп. и дата Акули 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------	--------------------------------	--------------	--------------	--------------

На рисунке 8 показано как конфигурировать сложные устройства с кабелем MasterBlaster или ByteBlasterMV.



#### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать максимальному из напряжений питаний всех устройств в цепи.

3 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

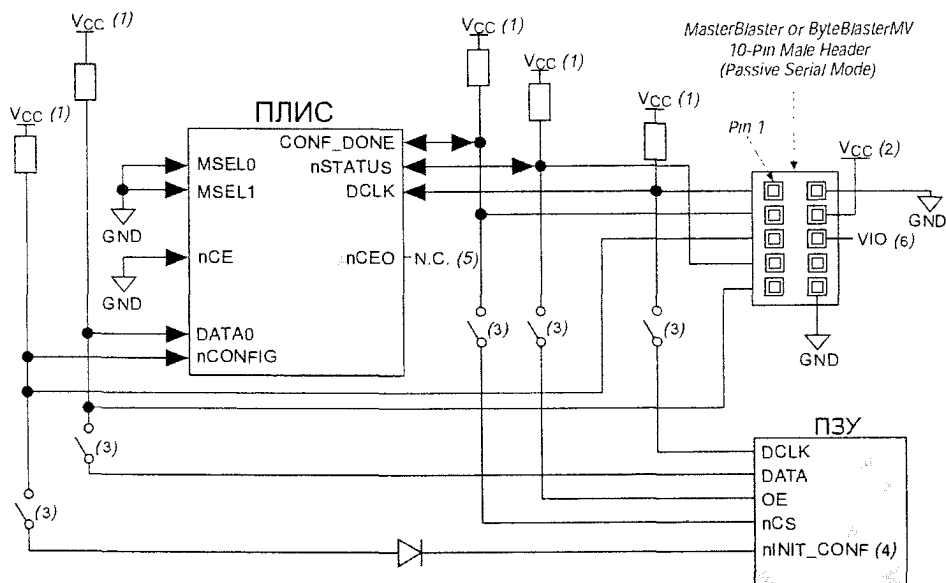
4 Вывод nCEO последней ПЛИС цепи отсоединен.

Рисунок 8 – Конфигурирование сложных устройств с кабелем MasterBlaster или ByteBlasterMV

Если использовать кабель MasterBlaster или ByteBlasterMV для конфигурирования ПЛИС на одной плате с конфигурационным устройством (ПЗУ), то необходимо изолировать конфигурационное устройство от ПЛИС и кабе-

Инв. № по 106	Подп. и дата В.К. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
---------------	-------------------------------	--------------	--------------	---------

ля. Для этого можно использовать дополнительную логику, например, мультиплексор, который может выбирать между конфигурационным устройством и кабелем. Мультиплексор должен обеспечить двунаправленный перенос сигналов для nSTATUS и CONF\_DONE. Также можно использовать дополнительные ключи к пяти общим сигналам (CONF\_DONE, nSTATUS, DCLK, nCONFIG и DATA0) между кабелем и конфигурационным устройством. Последний способ – удалить конфигурационное устройство с платы, где происходит конфигурирование при помощи кабеля. На рисунке 9 показана комбинация конфигурационного устройства и кабеля MasterBlaster или ByteBlasterMV для конфигурирования ПЛИС.



### Примечания

- 1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.
- 2 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать напряжению питания ПЛИС.
- 3 Запрещается проводить конфигурирование с использованием кабеля MasterBlaster или с ByteBlasterMV при подключенном к ПЛИС конфигурационном устройстве. Необходимо или удалить устройство конфигурирования с платы, или разместить переключатели на пяти общих сигналах между загрузочным кабелем и конфигурационным устройством.

Рисунок 9, лист 1 – Комбинация конфигурационного устройства и кабеля MasterBlaster или ByteBlasterMV для конфигурирования ПЗУ

Интв. № 110 106	Подп. и дата Ощел-25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
--------------------	-------------------------------	--------------	--------------	---------

4 Наличие вывода nINIT\_CONF зависит от конкретного типа используемого ПЗУ (имеется, например, в ПЗУ EPC16, EPC8, EPC2). Если используется ПЗУ, у которых данный вывод отсутствует (например, EPC1), то вывод nCONFIG должен быть подключен к VCC напрямую или через pull-up резистор.

5 Вывод nCEO отсоединен.

6 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

Рисунок 9, лист 2

### 3.3 PS конфигурирование с микропроцессором

При PS конфигурировании ПЛИС с микропроцессором последний передает данные напрямую от запоминающего устройства. Для начала конфигурирования по данной схеме микропроцессор должен перевести сигнал на выводе nCONFIG из состояния низкого уровня в состояние высокого уровня, а ПЛИС – перевести вывод nSTATUS в пассивное состояние. Затем конфигурационные данные передаются последовательно по одному биту за такт на вывод DATA0 ПЛИС. Младший значащий бит (least signification bit (LSB)) в каждом байте данных должен быть передан первым.

После того, как все данные переданы, вывод DCLK должен переключиться дополнительно десять раз для инициализации ПЛИС, после чего вывод CONF\_DONE переходит в состояние высокого уровня, показывая тем самым, что конфигурирование прошло успешно. Конфигурационные файлы создаются с помощью ПО Quartus II или MAX+PLUS II и включают дополнительные биты для инициализации. Переключение на входе DCLK после конфигурирования не влияет на работу ПЛИС, поэтому, посылаемый полный файл конфигурации достаточен для конфигурирования и инициализации устройства.

Ограничений на максимальный период следования импульсов тактового сигнала для вывода DCLK нет, поэтому можно приостановить конфигурирование путем прекращения подачи импульсов на неограниченное время.

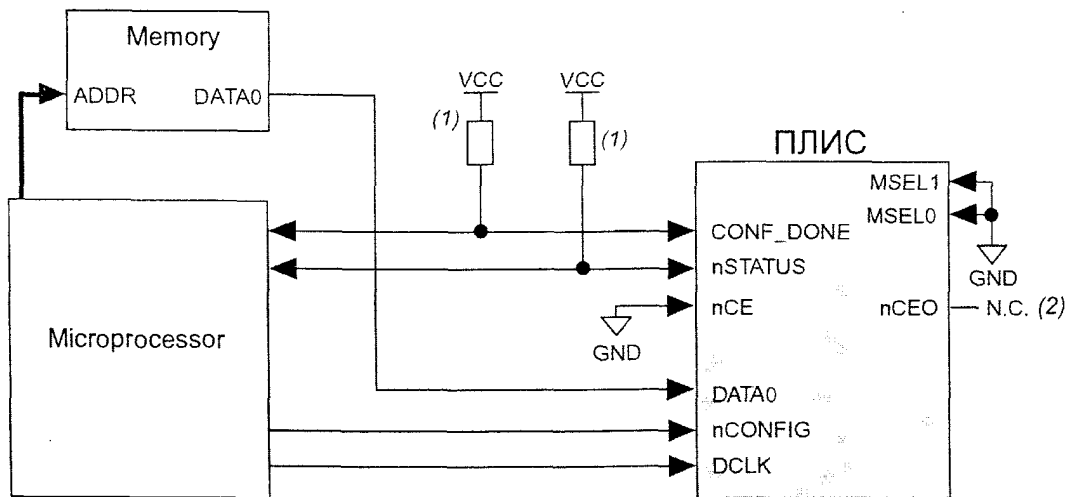
Если ПЛИС обнаруживает ошибку в процессе конфигурирования, то на выводе nSTATUS появляется сигнал низкого уровня. В этом случае микро-

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и д.
106	Ожид. 25.12.07			

процессор может подать импульс низкого уровня на вывод nCONFIG для перезапуска процесса конфигурирования. Если опция Auto-Restart Configuration on Frame Error включена в ПО Quartus II или MAX+PLUS II, то ПЛИС переводит вывод nSTATUS в пассивное состояние после сброса конфигурации, а затем микропроцессор может переконфигурировать ПЛИС без требуемого импульса низкого уровня на выводе nCONFIG.

Микропроцессор может также отслеживать состояние уровней на выводах CONF\_DONE и INIT\_DONE для более надежного конфигурирования. Если микропроцессор отправил все данные и тактовый сигнал переключается, но выводы CONF\_DONE и INIT\_DONE не переведены в состояние высокого уровня, то должна произойти реконфигурация ПЛИС.

На рисунке 10 показана схема PS конфигурирования с микропроцессором.



#### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Вывод nCEO отсоединен.

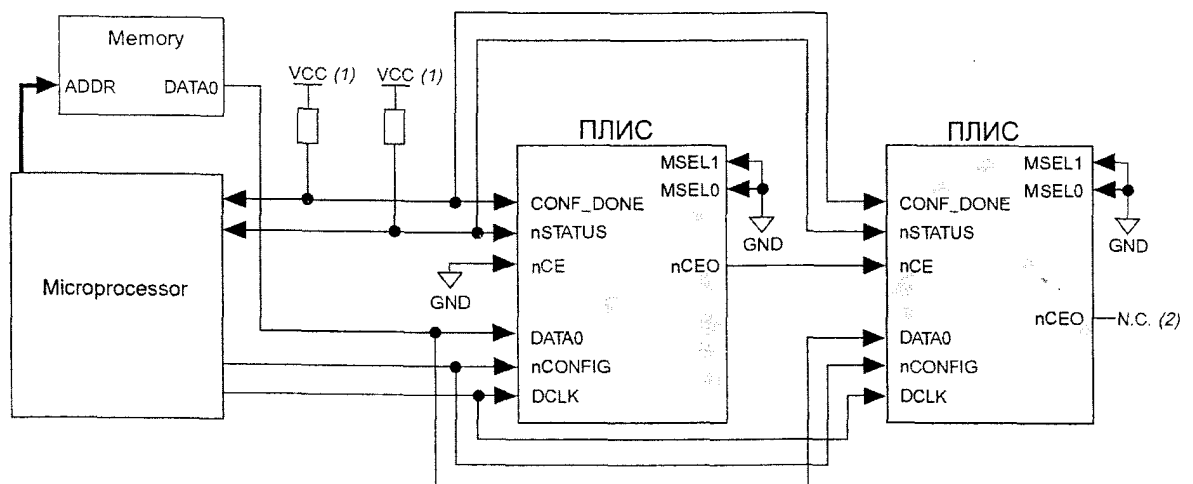
Рисунок 10 – PS конфигурирование с микропроцессором

При PS конфигурировании составных устройств с помощью микропроцессора вывод nCEO первой ПЛИС должен быть соединен с выводом nCE

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Октябрь 25.12.07			

следующей ПЛИС. Следующее устройство в цепочке начинает конфигурироваться после предыдущего без перерыва в пределах одного тактового цикла, поэтому процесс передачи данных для микропроцессора будет непрерывным. Так как выходы CONF\_DONE всех ПЛИС объединены, то все устройства инициализируются и переходят в пользовательский режим одновременно.

Поскольку выходы nSTATUS всех ПЛИС также объединены, то при обнаружении ошибки хотя бы одним устройством, конфигурирование всех устройств в цепочке останавливается, и сигнал на выводе nSTATUS переходит в состояние низкого уровня. После этого микропроцессор может перезапустить конфигурирование, послав сигнал низкого уровня на вывод nCONFIG. Если включена опция Auto-Restart Configuration on Frame Error в ПО Quartus II или MAX+PLUS II, то ПЛИС переводит вывод nSTATUS в пассивное состояние после сброса конфигурации, после чего микропроцессор может переконфигурировать ПЛИС. На рисунке 11 показано конфигурирование устройства с несколькими ПЛИС при помощи микропроцессора.



### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

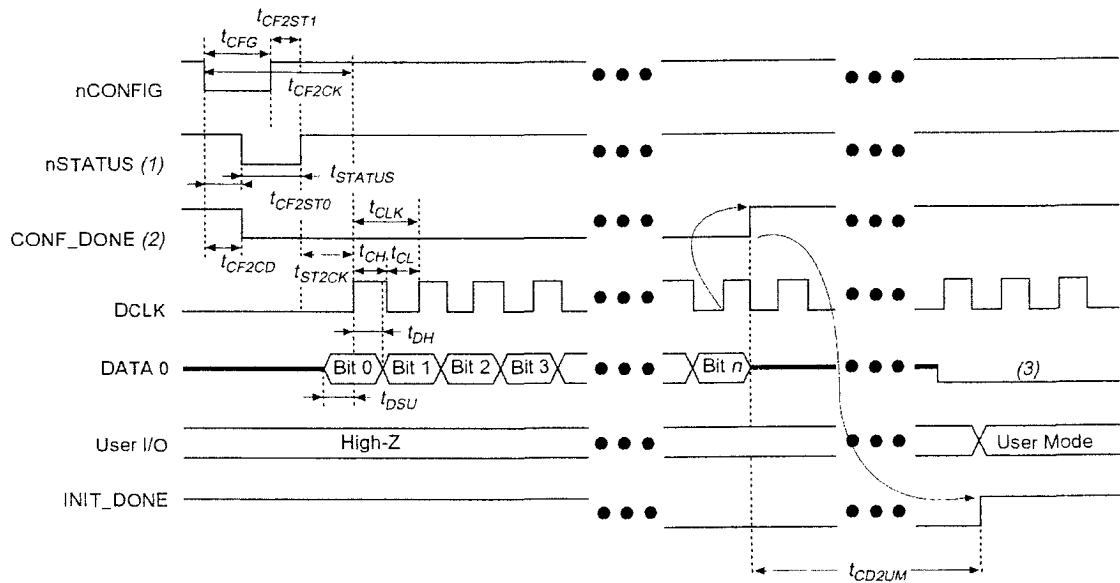
2 Вывод nCEO последнего устройства отсоединен.

Рисунок 11 – Конфигурирование устройства с несколькими ПЛИС при помощи микропроцессора

Инв. № гл. 106	Подп. и дата Октяб. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	---------------------------------	--------------	--------------	--------------



На рисунке 12 представлены временные диаграммы при PS конфигурировании ПЛИС.



### Примечания

1 После включения питания ПЛИС устанавливает вывод nSTATUS в состояние низкого уровня не более чем на 5 мкс, после того, как напряжение питания достигает требуемого значения.

2 После включения напряжения питания и перед конфигурированием вывод CONF\_DONE находится в состоянии низкого уровня.

3 На входе DATA0 после конфигурации должно быть состояние высокого или низкого уровня.

Рисунок 12 – Временные диаграммы при PS конфигурировании ПЛИС

Таблица 4 содержит информацию о временных характеристиках ПЛИС при PS конфигурировании.

Инв. № по 106	Подп. и дата Акуф-25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
------------------	-------------------------------	--------------	--------------	--------------

Таблица 4 – Временные характеристики ПЛИС при PS конфигурировании

Обозначение	Параметр	Значение		Единица измерения
		не менее	не более	
1	2	3	4	5
$t_{CF2CD}$	Время между переключениями nCONFIG и CONF_DONE в состояние низкого уровня	–	200	нс
$t_{CF2ST0}$	Время между переключениями nCONFIG и nSTATUS в состояние низкого уровня	–	200	нс
$t_{CF2ST1}$	Время между переключениями nCONFIG и nSTATUS состояние высокого уровня	–	4	мкс
$t_{CFG}$	Длительность импульса низкого уровня nCONFIG	2	–	мкс
$t_{STATUS}$	Длительность импульса низкого уровня nSTATUS	1	–	мкс
$t_{CF2CK}$	Время между переключением nCONFIG в состояние низкого уровня и первым передним фронтом DCLK	5	–	мкс
$t_{ST2CK}$	Время между переключением nSTATUS в состояние высокого уровня и первым передним фронтом DCLK	1	–	мкс
$t_{DSU}$	Время предустановки данных перед передним фронтом DCLK	10	–	нс
$t_{DH}$	Время удержания данных после переднего фронта DCLK	0	–	нс
$t_{CH}$	Длительность импульса высокого уровня DCLK	50	–	нс

Инв. № подл. 106-1	Подп. и дата Окуф- 27.02.09	Взам. инв. № 106-1	Инв. № дубл.	Подп. и дата
-----------------------	--------------------------------	-----------------------	--------------	--------------

2 Зам. ГПКФ. 056-2009 Окуф- 27.02.09

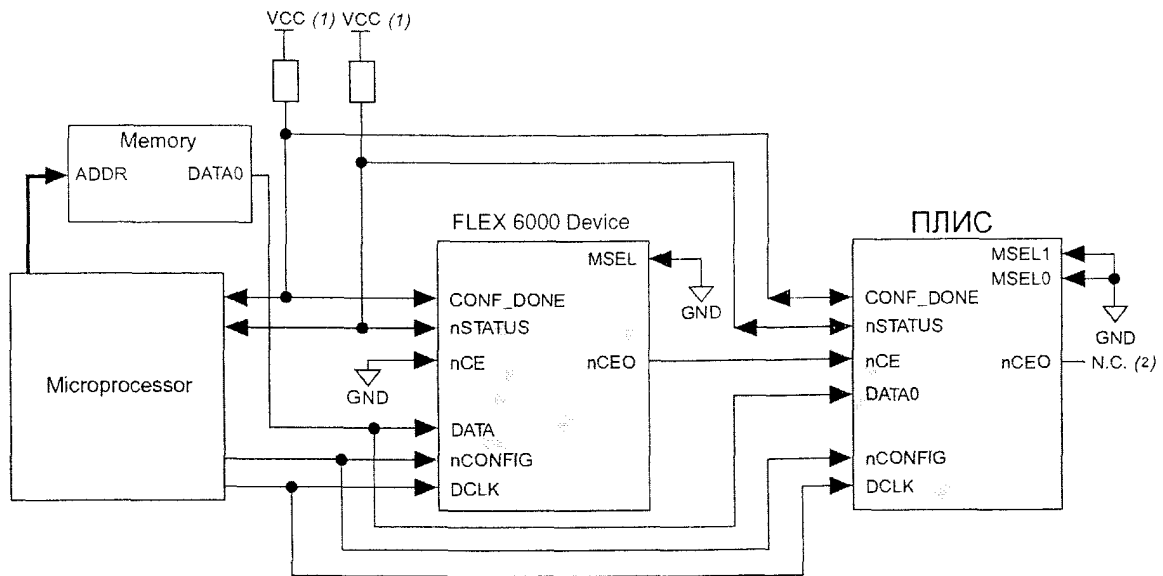
## Окончание таблицы 4

1	2	3	4	5
$t_{CL}$	Длительность импульса низкого уровня DCLK	50	—	нс
$t_{CLK}$	Период DCLK	100	—	нс
$f_{max}$	Максимальная частота DCLK	—	10	МГц
$t_{CD2UM}$	Время между переключением CONF_DONE в состояние высокого уровня и переходом ПЛИС в пользовательский режим	0,6 <sup>1)</sup>	2 <sup>1)</sup>	мкс

<sup>1)</sup> Это значение применяется, если внутренний генератор выбран как источник тактового сигнала для запуска устройства. Если тактовым сигналом выбран CLKUSR или DCLK, тактовый период умножается на 10, чтобы получить это значение.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Шуф- 27.02.09	106 - 1		

На рисунке 13 показан пример схемы PS конфигурирования сложносоставных устройств при помощи микропроцессора.



#### Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

2 Вывод nCEO последнего устройства отсоединен.

Рисунок 13 – PS конфигурирование сложносоставных устройств при помощи микропроцессора

#### 3.4 PPS конфигурирование

В PPS конфигурационной схеме конфигурированием ПЛИС управляет интеллектуальный хост, который выдает тактовый сигнал и данные побайтно на ПЛИС, последняя защелкивает данные всего байта на выводах DATA[7...0]. Выводы DCLK, CONF\_DONE, nCONFIG, nSTATUS и DATA[7...0] соединяются с интеллектуальным хостом. Для того чтобы начать конфигурирование, вывод nCONFIG должен переключиться из состояния низкого уровня в состояние высокого уровня, после чего хост расположит восьмибитное слово на выводах DATA[7...0] ПЛИС.

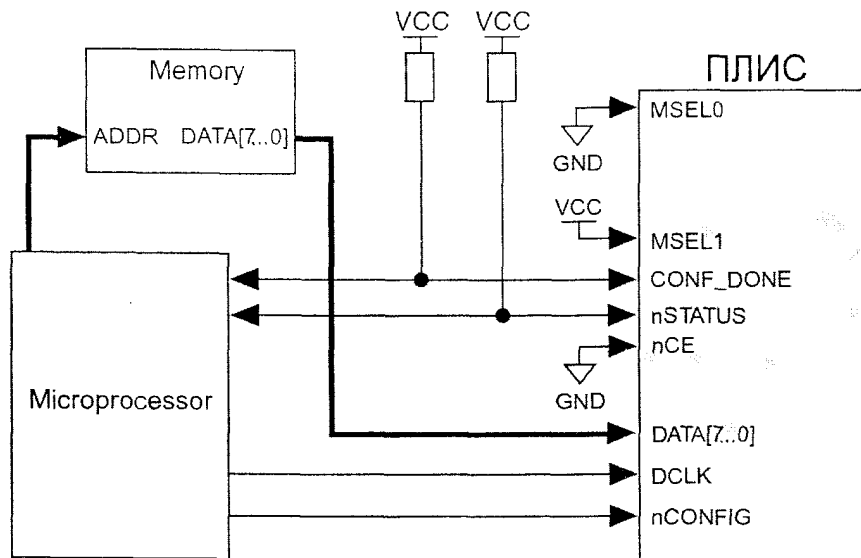
По первому переднему фронту тактового сигнала DCLK байт конфигурационных данных защелкивается в ПЛИС. Следующие восемь задних фронтов тактового сигнала упорядочивают (последовательно загружают) данные в

Инд. № по у	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
106	Октябрь - 25.12.07			

ПЛИС, по девятому переднему фронту защелкивается следующий байт конфигурационных данных и т. д. Можно приостановить конфигурирование путем прекращения подачи импульсов на вывод DCLK в любой момент времени. Если происходит ошибка в процессе конфигурирования, на выводе nSTATUS появляется сигнал низкого уровня. В этом случае хост начинает реконфигурацию или выдает сообщение об ошибке.

После последнего байта данных вывод DCLK должен переключиться еще 10 раз, чтобы перевести вывод CONF\_DONE в пассивное состояние и инициализировать устройство. После перехода вывода CONF\_DONE в состояние высокого уровня конфигурирование завершено.

На рисунке 14 показан пример схемы PPS конфигурирования ПЛИС.



Примечание – Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

Рисунок 14 – PPS конфигурирование ПЛИС

Конфигурирование сложносоставных устройств в PPS режиме возможно путем каскадирования ПЛИС. После успешного конфигурирования первого устройства цепочки на его выводе nCEO устанавливается сигнал низкого

Инв. № пр.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Скуч. 25.12.07			



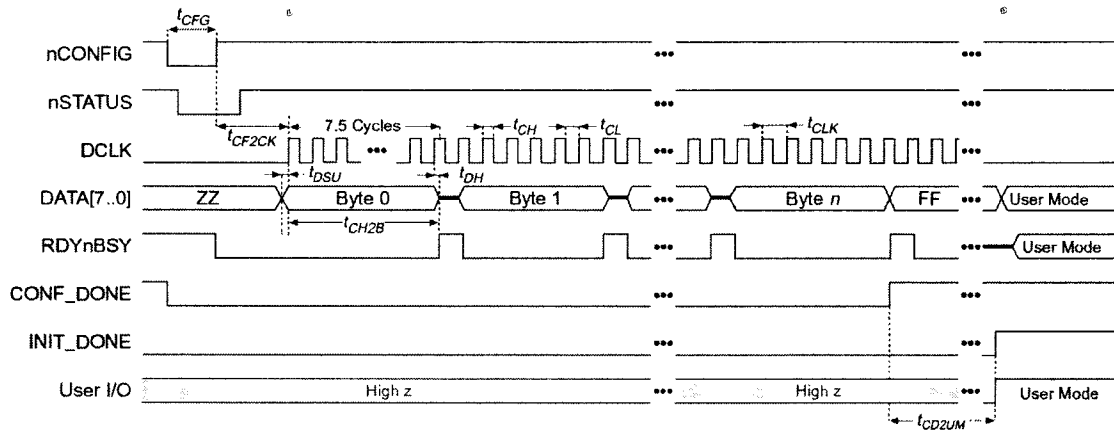


Рисунок 16 – Временные диаграммы при PPS конфигурировании

В таблице 5 приведены временные параметры при PPS конфигурировании ПЛИС.

Таблица 5 – Временные параметры при PPS конфигурировании ПЛИС

Обозначение	Параметр	Значение		Единица измерения
		не менее	не более	
1	2	3	4	5
$t_{CF2CK}$	Время между переключением сигнала nCONFIG в состояние высокого уровня и первым передним фронтом DCLK	5	—	мкс
$t_{DSU}$	Время предустановки данных перед передним фронтом DCLK	10	—	нс
$t_{DH}$	Время удержания данных после переднего фронта DCLK	0	—	нс
$t_{CH2B}$	Время между первым передним фронтом DCLK и первым передним фронтом RDYnBSY <sup>1)</sup>	0,75	—	мкс
$t_{CFG}$	Длительность импульса низкого уровня nCONFIG	2	—	мкс

## Продолжение таблицы 5

1	2	3	4	5
$t_{CH}$	Длительность импульса высокого уровня DCLK	50	—	нс
$t_{CL}$	Длительность импульса низкого уровня DCLK	50	—	нс
$t_{CLK}$	Период DCLK	100	—	нс
$f_{max}$	Максимальная частота DCLK	—	10	МГц
$t_{CD2UM}$	Время между переключением сигнала CONF_DONE в состояние высокого уровня и началом пользовательского режима	0,6 <sup>2)</sup>	2 <sup>2)</sup>	мкс
$t_{CF2CD}$ <sup>3)</sup>	Время между переключениями сигналов nCONFIG и CONF_DONE в состояние низкого уровня	—	200	нс
$t_{CF2ST0}$ <sup>3)</sup>	Время между переключениями сигналов nCONFIG и nSTATUS в состояние низкого уровня	—	200	нс
$t_{CF2ST1}$ <sup>3)</sup>	Время между переключениями сигналов nCONFIG и nSTATUS в состояние высокого уровня	—	4	мкс
$t_{STATUS}$ <sup>3)</sup>	Длительность импульса низкого уровня nSTATUS	1	—	мкс
$t_{ST2CK}$ <sup>3)</sup>	Время между переключением nSTATUS в состояние высокого уровня и первым передним фронтом DCLK	1	—	мкс
<p><sup>1)</sup> Этот параметр зависит от частоты DCLK. Сигнал RDYnBSY поднимается до высокого уровня за 7,5 тактов после переднего фронта DCLK. Значение для этого параметра рассчитано для частоты переключения сигнала DCLK 10 МГц.</p>				

Инв. № 106-4	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
	Оккуп. 27.02.09	106-1		



## Окончание таблицы 5

<sup>2)</sup> Это значение применяется, если внутренний генератор выбран как источник тактового сигнала для запуска устройства. Если тактовым сигналом выбран CLKUSR или DCLK, тактовый период умножается на 10, чтобы получить это значение.

<sup>3)</sup> Данные характеристики соответствуют аналогичным характеристикам, приведенным на временной диаграмме при PS конфигурировании (рисунок 12).

## 3.5 PPA конфигурирование

В схеме PPA конфигурирования микропроцессор передает данные в ПЛИС через загрузочный кабель. При этом к выводу DCLK следует подключить pull-up резистор номиналом 1 кОм для того, чтобы предотвратить отсутствие сигнала на данном входе.

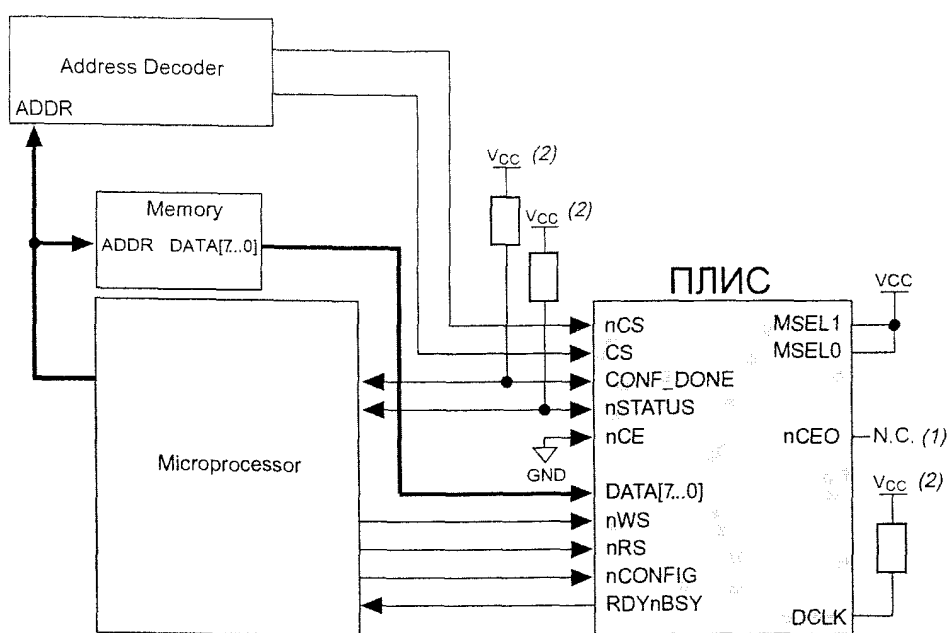
Для начала конфигурирования микропроцессор устанавливает на выводе nCONFIG ПЛИС сигнал высокого уровня, затем на выводе nCS сигнал низкого и на выводе CS сигнал высокого уровня. Далее микропроцессор передает восьмибитное конфигурационное слово на выводы данных ПЛИС DATA[7...0] и посылает импульс низкого уровня на вывод nWS. По переднему фронту сигнала на выводе nWS ПЛИС защелкивает байт конфигурационных данных и затем устанавливает сигнал низкого уровня на выводе RDYnBSY, сообщая о том, что данный байт обрабатывается. Пока ПЛИС обрабатывает данные, микропроцессор может выполнять другие системные функции. Когда ПЛИС готова к приему следующего байта конфигурационных данных, вывод RDYnBSY переходит в состояние высокого уровня.

Далее микропроцессор проверяет уровни сигналов nSTATUS и CONF\_DONE. Если nSTATUS находится в состоянии высокого уровня, а CONF\_DONE в состоянии низкого уровня, то микропроцессор отправляет следующий байт данных. Если на выводе nSTATUS появляется сигнал низ-

Инв. №	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106-4	Вх. № 27.02.09	106-1		

кого уровня, это равносильно сообщению об ошибке, и микропроцессор перезапустит конфигурирование. Если все конфигурационные данные были получены и вывод nSTATUS находится в состоянии высокого уровня, то ПЛИС готова для инициализации. Для начала инициализации вывод CONF\_DONE устанавливается в состояние с высоким уровнем, сообщаящее микропроцессору о том, что конфигурирование завершено.

На рисунке 17 показана схема PPA конфигурирования. Дополнительный адрес декодера управляет выводами nCS и CS ПЛИС. Этот декодер позволяет микропроцессору выбрать устройство, обращаясь к специальному адресу, упрощая процесс конфигурирования.



#### Примечания

- 1 Вывод nCEO отсоединен.
- 2 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

Рисунок 17 – Схема PPA конфигурирования

Выводы nCS или CS могут переключаться в течение PPA конфигурирования, если при проектировании определены спецификации для временных характеристик  $t_{CSSU}$ ,  $t_{WSP}$  и  $t_{CSH}$  (рисунок 19, таблица 6). Сигналы nCS и CS

Ив. № пр	106
Подп. и дата	Ожид. 25.12.07
Взам. инв. №	
Инв. № дубл.	
Подп. и дата	

могут также контролироваться напрямую микропроцессором. Можно связать один из сигналов ( $nCS$  или  $CS$ ) с их активным состоянием, а для контроля конфигурирования переключать другой (например,  $nCS$  может быть установлен в состояние низкого уровня, а  $CS$  – переключать).

Переключая сигнал на выводе  $nRS$ , можно освободить вывод  $RDYnBSY$  и наблюдать состояние чтения конфигурационных данных на  $DATA7$ . Не следует отправлять новые данные, пока вывод  $nRS$  находится в состоянии низкого уровня, т. к. это может быть причиной сбоя на выводе  $DATA7$ .

Если вывод  $nRS$  не используется в мониторинге конфигурирования, то на него следует подать сигнал высокого уровня.

Для упрощения конфигурирования перед отправкой следующего байта данных микропроцессор может ожидать полное время

$$t = t_{BUSY(max)} + t_{RDY2WS} + t_{WS2B},$$

где  $t_{BUSY(max)}$  – максимальная длительность импульса низкого уровня сигнала  $RDYnBSY$  (таблица 6),

$t_{RDY2WS}$  – время между передним фронтом сигнала  $nWS$  и задним фронтом сигнала  $nRS$  (таблица 6),

$t_{WS2B}$  – время между передним фронтом сигнала  $nWS$  и переключением сигнала  $RDYnBSY$  в состояние низкого уровня (таблица 6).

После окончания конфигурирования выводы  $nCS$ ,  $CS$ ,  $nRS$ ,  $nWS$  и  $RDYnBSY$  можно использовать как пользовательские. Однако, когда выбрана PPA схема в Quartus II или MAX+PLUS II, эти выводы, с одной стороны по умолчанию находятся в третьем состоянии в пользовательском режиме, с другой стороны – должны управляться микропроцессором. Для решения этой проблемы следует изменить опции «по умолчанию». В MAX+PLUS II необходимо выбрать Global Project Device Option диалоговое окно, в Quartus II – Device & Pin Option диалоговое окно и внести изменения в меню Compiler Setting.

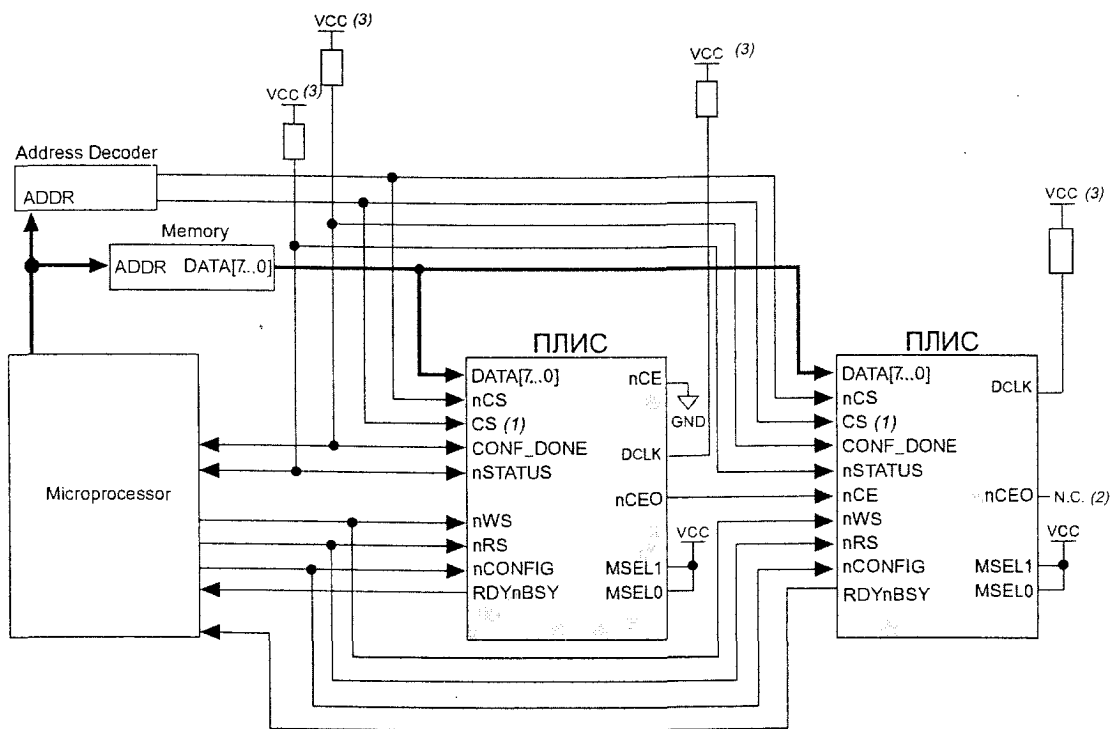
Если ПЛИС обнаруживает ошибку в процессе конфигурирования, то на выводе  $nSTATUS$  появляется сигнал низкого уровня. В этом случае микропроцессор может подать импульс низкого уровня на вывод  $nCONFIG$  для перезапуска процесса конфигурирования. Если опция Auto-Restart Configuration on Frame Error включена в ПО Quartus II или MAX+PLUS II, то ПЛИС переводит вывод  $nSTATUS$  в пассивное состояние после сброса конфигурации, а

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и у
106	Октябрь 25.12.07			

затем микропроцессор может переконфигурировать ПЛИС без требуемого импульса низкого уровня на выводе nCONFIG.

Микропроцессор может также отслеживать состояние уровней на выводах CONF\_DONE и INIT\_DONE для более надежного конфигурирования. Если микропроцессор отправил все данные и тактовый сигнал переключается, но выводы CONF\_DONE и INIT\_DONE не переведены в состояние высокого уровня, то должна произойти реконфигурация ПЛИС.

Режим PPA может быть также использован для конфигурирования сложных устройств. В этом случае после конфигурирования одного устройства его вывод nCEO переключается, изменяя состояние на входе nCE следующего устройства, что является моментом начала конфигурирования последнего. Следующее устройство начинает конфигурирование в течение одного цикла с записью последних данных в предыдущее устройство. Выводы CONF\_DONE всех устройств объединены, поэтому все устройства инициализируются и переходят в пользовательский режим одновременно. Это показано на рисунке 18.



### Примечания

1 Если вывод CS не используется, то его можно подключить к VCC напрямую.

Рисунок 18, лист 1 – Схема PPA конфигурирования

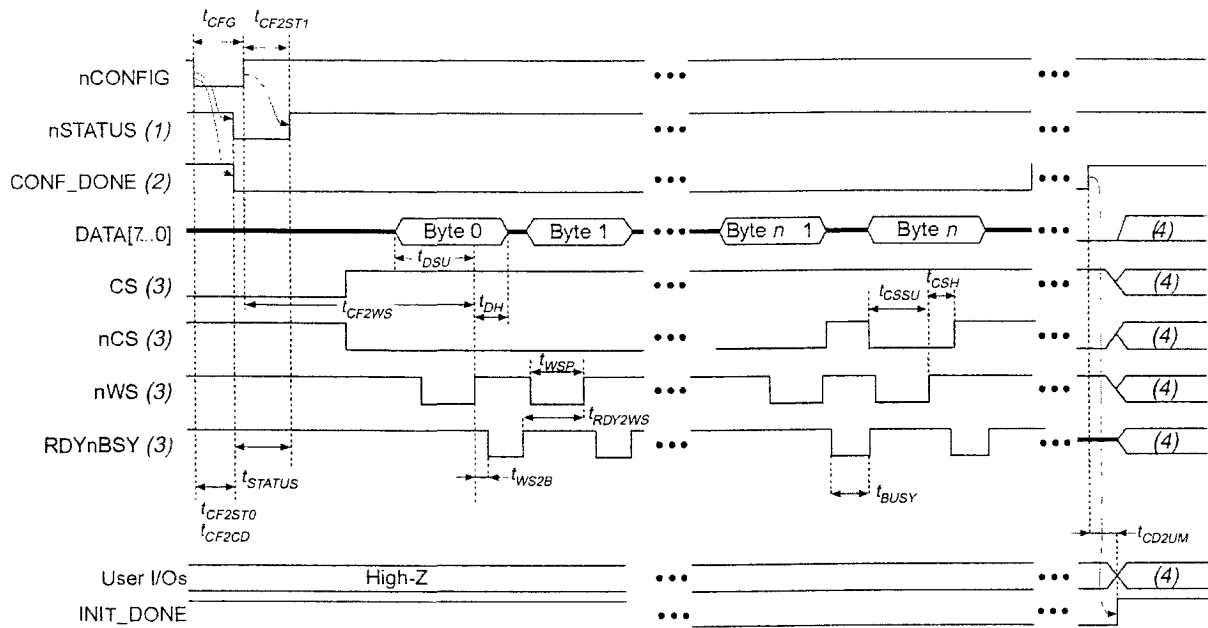
Инв. № л/с 106	Подп. и дата Олейник 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	----------------------------------	--------------	--------------	--------------

2 Вывод nCEO последнего устройства в цепи отсоединен.

3 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

Рисунок 18, лист 2

На рисунке 19 представлены временные диаграммы при PPA конфигурировании.



### Примечания

1 После включения питания ПЛИС устанавливает вывод nSTATUS в состояние низкого уровня не более чем на 5 мкс, после того, как напряжение питания достигает требуемого значения.

2 После включения напряжения питания вывод CONF\_DONE находится в состоянии низкого уровня.

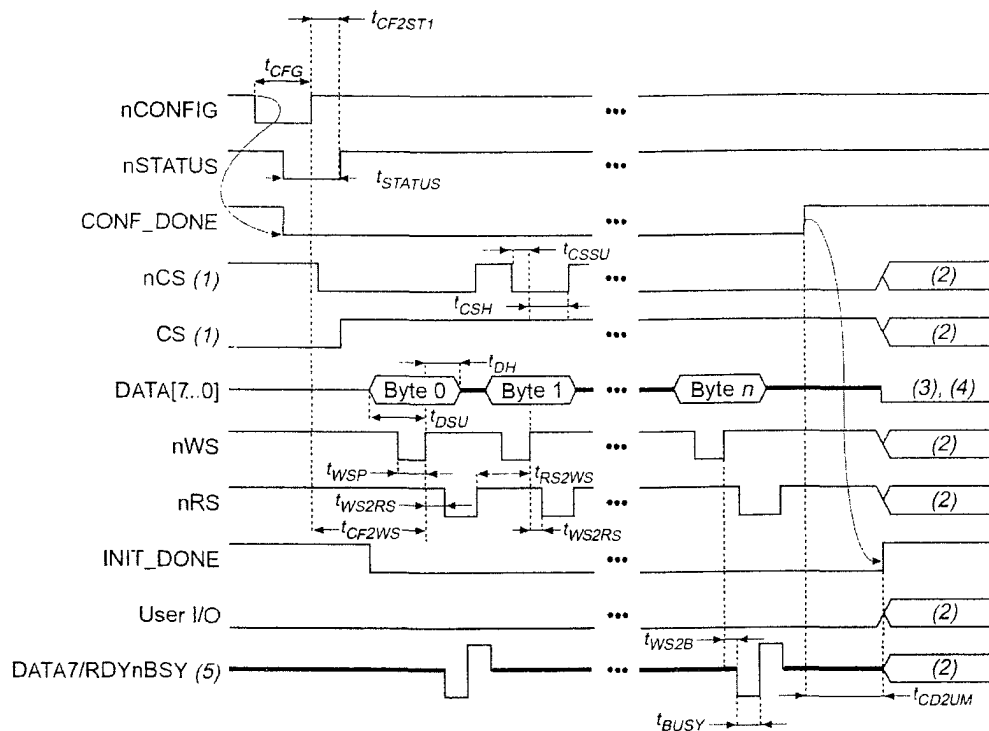
3 После окончания конфигурации состояние выводов CS, nCS, nWS и RDYnBSY зависит от проекта, реализованного в ПЛИС.

4 Начало пользовательского режима ПЛИС.

Рисунок 19 – Временные диаграммы при PPA конфигурировании

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Октябрь-25 2007			

На рисунке 20 представлены временные диаграммы для того случая, когда используется управление по сигналам nRS и nWS.



### Примечания

1 Пользователь может переключать вывод nCS или вывод CS в течение конфигурирования, если выполняются требования спецификации для  $t_{CSSU}$ ,  $t_{WSP}$  и  $t_{CSH}$ .

2 Начало пользовательского режима ПЛИС.

3 Вывод DATA0 должен быть установлен в состояние высокого или низкого уровня.

4 Пользовательскими выводами могут быть только DATA[7...1].

5 Вывод DATA7 в данном режиме используется как вход – выход. Он является входом при приеме данных и выходом при дублировании функции вывода RDYnBSY.

Рисунок 20 – Временные диаграммы при PPA конфигурировании (используется управление по сигналам nRS и nWS)

Инд. № инв.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
106	Ожнев 25.12.07			

Таблица 6 определяет временные параметры ПЛИС при PPA конфигурировании.

Таблица 6 – Временные параметры ПЛИС при PPA конфигурации

Обозначение	Параметр	Значение		Единица измерения
		не менее	не более	
1	2	3	4	5
$t_{CF2WS}$	Время между переключением сигнала nCONFIG в состояние высокого уровня до первого переднего фронта сигнала nWS	5	—	мкс
$t_{DSU}$	Время предустановки данных перед передним фронтом сигнала nWS	20	—	нс
$t_{DH}$	Время удержания данных после переднего фронта сигнала nWS	0	—	нс
$t_{CSSU}$	Время предустановки сигнала CS перед передним фронтом сигнала nWS	20	—	нс
$t_{CSH}$	Время удержания сигнала CS после переднего фронта сигнала nWS	10	—	нс
$t_{WSP}$	Длительность импульса низкого уровня сигнала nWS	200	—	нс
$t_{CFG}$	Длительность импульса низкого уровня сигнала nCONFIG	2	—	мкс
$t_{WS2B}$	Время между передним фронтом сигнала nWS и переключением сигнала RDYnBSY в состояние низкого уровня	—	50	нс
$t_{BUSY}$	Длительность импульса низкого уровня сигнала RDYnBSY	0,4	1,6	мкс
$t_{RDY2WS}$	Время между передним фронтом сигнала RDYnBSY и передним фронтом сигнала nWS	50	—	нс

Инв. №	дл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106-1		Ожид - 27.02.09	106-1		

## Продолжение таблицы 6

1	2	3	4	5
$t_{WS2RS}$	Время между передним фронтом сигнала $nWS$ и задним фронтом сигнала $nRS$	200	—	нс
$t_{RS2WS}$	Время между передним фронтом сигнала $nRS$ и передним фронтом сигнала $nWS$	200	—	нс
$t_{RSD7}$	Время между задним фронтом сигнала $nRS$ и сигналом подтверждения сигнала DATA7 или $RDYnBSY$	—	50	нс
$t_{CD2UM}$	Время между переключением сигнала CONF_DONE в состояние высокого уровня и началом пользовательского режима	0,6 <sup>1)</sup>	2 <sup>1)</sup>	мкс
$t_{STATUS}$	Длительность импульса низкого уровня сигнала $nSTATUS$	1	—	мкс
$t_{CF2CD}$	Время между переключениями сигналов $nCONFIG$ в состояние низкого уровня и CONF_DONE в состояние низкого уровня	—	200	нс
$t_{CF2ST0}$	Время между переключениями сигналов $nCONFIG$ в состояние низкого уровня и $nSTATUS$ в состояние низкого уровня	—	200	нс
$t_{CF2ST1}$	Время между переключениями сигналов $nCONFIG$ в состояние высокого уровня и $nSTATUS$ в состояние высокого уровня	—	4	мкс

Инв. № г-чл. 106-4	Подп. и дата Скуч-27.02.09	Взам. инв. № 106-1	Инв. № дубл.	Подп. и дата
-----------------------	-------------------------------	-----------------------	--------------	--------------



## Окончание таблицы 6

1) Это значение используется только, если внутренний генератор выбран как источник тактовых сигналов для запуска устройства. Если тактовым сигналом будет CLKUSR или DCLK, нужно умножить период на 10, чтобы получить это значение.

## 3.6 JTAG конфигурирование

Стандарт JTAG (Joint Test Action Group) специально разработан для тестирования микросхем. Порт JTAG также может быть использован для конфигурирования ПЛИС.

Для конфигурирования ПЛИС через порт JTAG необходимы четыре вывода: TDI, TDO, TMS, TCK. В тестовом режиме может также использоваться дополнительный вывод TRST. Остальные выводы ПЛИС в процессе JTAG конфигурирования находятся в третьем состоянии. Не следует начинать JTAG конфигурирование, пока все другие процессы конфигурирования не завершены. В таблице 7 указано назначение JTAG выводов.

Таблица 7 – Назначение JTAG выводов

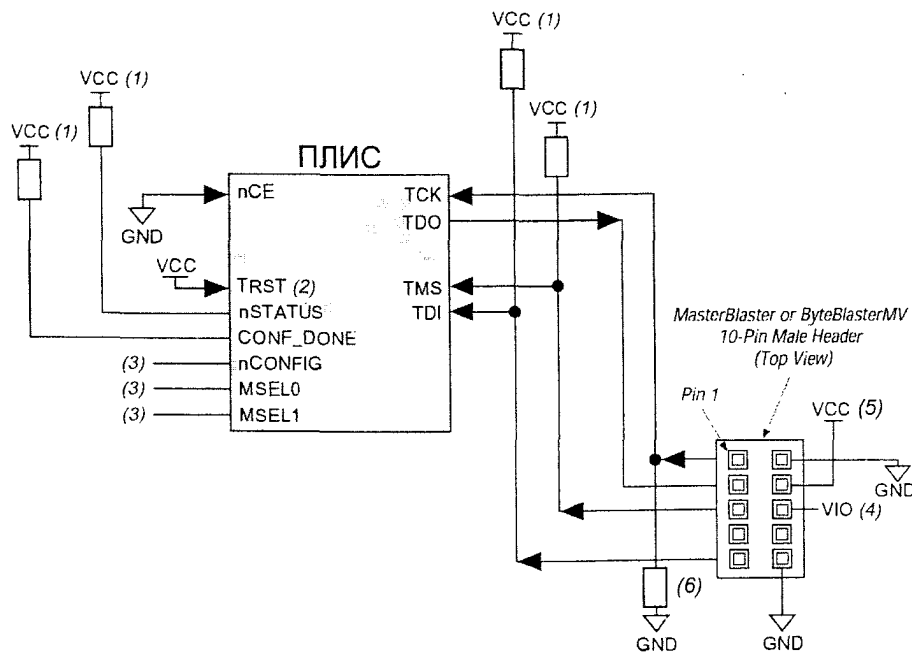
Вывод	Описание	Назначение
1	2	3
TDI	Вход данных JTAG	Последовательный вход данных для тестирования и программирования. Данные захватываются по переднему фронту сигнала TCK.
TDO	Выход данных JTAG	Последовательный выход данных для тестирования и программирования. Данные выводятся по заднему фронту сигнала TCK. Когда выход не используется, он переключается в третье состояние.

Инв. № 106-2	г. 2009	Подп. и дата Окуф - 29.02.09	Взам. инв. № 106-1	Инв. № дубл.	Подп. и д.
--------------	---------	---------------------------------	-----------------------	--------------	------------

Окончание таблицы 7

1	2	3
TMS	Управление состоянием JTAG	Вход управляющего сигнала, который определяет переходы автомата состояний TAP- контроллера. Сигнал TMS должен быть установлен до срабатывания переднего фронта TCK.
TCK	Тактовый вход JTAG	Вход тактового сигнала.
TRST	Асинхронный сброс JTAG	Вход асинхронного сброса в режиме тестирования с активным низким уровнем.

Во время JTAG конфигурирования данные загружаются в ПЛИС через кабель MasterBlaster или ByteBlasterMV. Конфигурирование устройства через кабель похоже на системное программирование устройства, за исключением вывода TRST, который следует подключить к VCC. Схема JTAG конфигурирования приведена на рисунке 21.



## Примечания

1 Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

Рисунок 21, лист 1 – Схема JTAG конфигурирования ПЛИС

Инв. № по 106	Подп. и дата Шкш. 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и
------------------	-------------------------------	--------------	--------------	---------

2 Вывод TRST следует подключить к VCC.

3 Если используется конфигурирование только по JTAG порту, вывод nCONFIG следует подключить к VCC, а выводы MSEL0 и MSEL1 – к GND. Если требуется поддерживать конфигурирование схемы не только по JTAG, выводы nCONFIG, MSEL0 и MSEL1 должны быть подключены согласно соответствующей схеме конфигурирования.

4 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

5 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать напряжению питания ПЛИС.

6 Pull-down резистор имеет номинал 1 кОм.

Рисунок 21, лист 2

JTAG тестирование может быть выполнено на ПЛИС как до, так и после конфигурирования, но не во время него. Номера ячеек для тестирования (BST cell) указаны в таблицах соответствия выводов 1 и 2. Выводы глобального сброса (DEV\_CLRn) и разрешения третьего состояния (DEV\_OE) в ПЛИС не влияют на JTAG операции периферийного сканирования или программирования. Когда планируется использование схемы для JTAG конфигурирования ПЛИС, следует учитывать подключение стандартных конфигурационных выводов. В таблице 8 показано, как эти выводы должны быть подключены при JTAG конфигурировании.

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
106	Оккуп 25.12.07			

Таблица 8 – Подключение конфигурационных выводов при JTAG конфигурировании

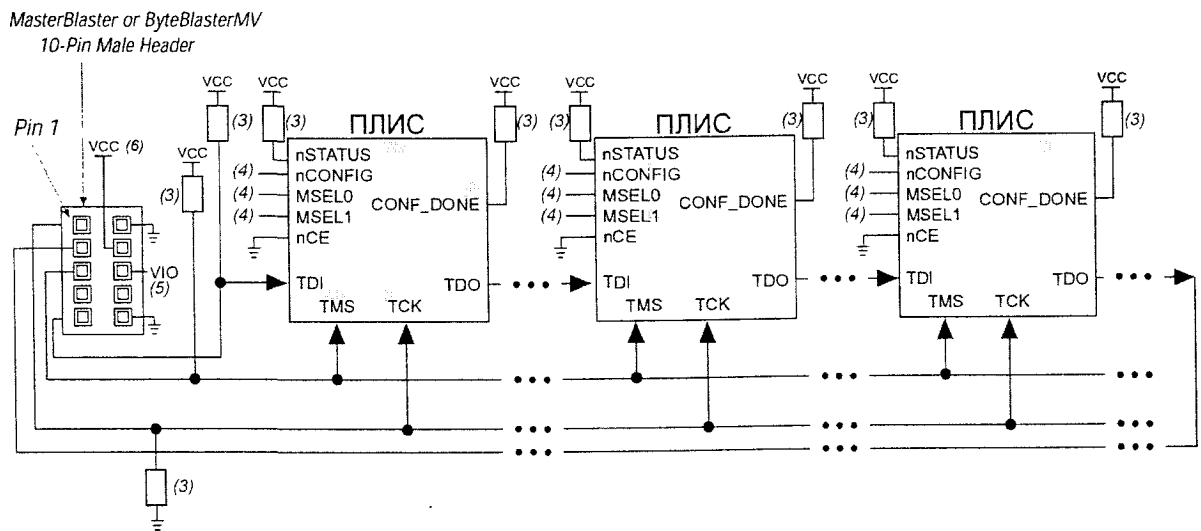
Обозначение вывода	Подключение вывода
1	2
nCE	Должен быть подключен к GND напрямую, через резистор или управляться некоторой управляющей схемой.
nSTATUS	Должен быть подключен к VCC через pull-up резистор 1кОм. Когда конфигурируются сложные устройства по JTAG схеме, каждый вывод nSTATUS должен быть подключен к VCC через отдельный pull-up резистор <sup>1)</sup> .
CONF_DONE	Должен быть подключен к VCC через pull-up резистор 1кОм. Когда конфигурируются сложные устройства по JTAG схеме, каждый вывод CONF_DONE должен быть подключен к VCC через отдельный pull-up резистор <sup>2)</sup> .
nCONFIG	Должен быть подключен к VCC через pull-up резистор 1кОм, или управляться некоторой управляющей схемой.
MSEL0, MSEL1	Эти выводы не должны оставаться неподключенными. Они используются во всех конфигурационных схемах, кроме JTAG. Если используется только JTAG конфигурирование, то оба вывода следует подключить к GND.
DCLK	Не должен оставаться неподключенным. Должен иметь низкий или высокий уровень.
DATA0	Не должен оставаться неподключенным. Должен иметь низкий или высокий уровень.
TRST	Этот JTAG вывод не подключен к загрузочному кабелю и должен иметь высокий уровень.
<p><sup>1)</sup> Состояние низкого уровня на выводе nSTATUS во время JTAG конфигурирования указывает на то, что произошла ошибка.</p> <p><sup>2)</sup> Состояние высокого уровня на выводе CONF_DONE в конце JTAG конфигурирования указывает на то, что конфигурирование прошло успешно.</p>	

JTAG конфигурирование возможно и для сложносоставных устройств путем их соединения в последовательную цепочку. В этом случае ПО пере-

Инв. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и
106	Октябрь 25.12.07			

водит все другие устройства, кроме конфигурируемого, в режим транзитной передачи данных (BYPASS). В этом режиме устройство пересылает данные для программирования от вывода TDI к выводу TDO через отдельный обходной регистр без внутренних изменений (BYPASS – регистр). Конфигурационные данные, отправленные в устройство, появляются на выводе TDO спустя один тактовый цикл.

Когда программируется цепочка JTAG устройств, к одному JTAG-совместимому головному устройству, например к кабелю ByteBlasterMV, подключают несколько программируемых устройств. Число устройств в JTAG цепочке ограничивается только возможностями загрузочного кабеля. Однако, когда в JTAG цепочке соединяются больше пяти устройств, рекомендуется буферизировать сигналы TCK и TMS. На рисунке 22 показана схема такого типа конфигурирования.



### Примечания

1 Несколько ПЛИС могут быть размещены в одной JTAG цепочке для программирования и конфигурирования.

2 Более подробная информация обо всех выводах, подключенных в этом режиме, приведена в таблице 8.

3 Все резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

Рисунок 22, лист 1 – JTAG конфигурирование нескольких ПЛИС

Инд. № по	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
106	Жуков- 25.12.07			

4 Если используется конфигурирование только по JTAG порту, вывод nCONFIG следует подключить к VCC, а выводы MSEL0 и MSEL1 – к GND. Если требуется поддерживать конфигурирование схемы не только по JTAG, выводы nCONFIG, MSEL0 и MSEL1 должны быть подключены согласно соответствующей схеме конфигурирования.

5 Напряжение на выводе VIO должно соответствовать напряжению на pull-up резисторах.

6 Напряжение питания для кабеля MasterBlaster или ByteBlasterMV должно соответствовать напряжению питания ПЛИС.

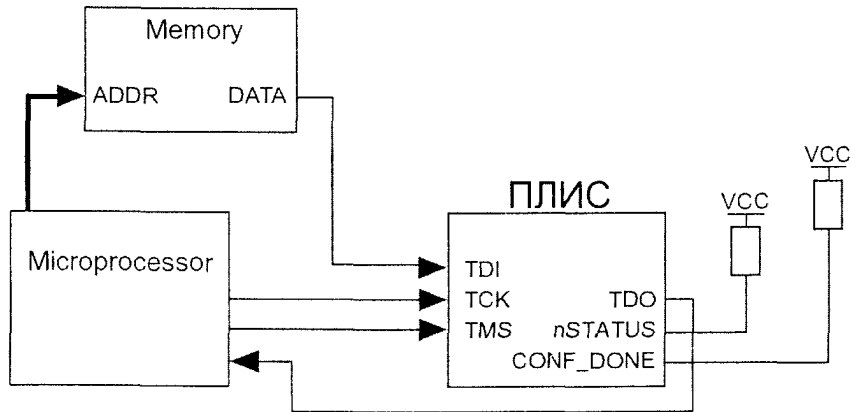
### Рисунок 22, лист 2

Успешное JTAG конфигурирование проверяется автоматически ПО Quartus II или MAX+PLUS II, которое анализирует состояние вывода CONF\_DONE через JTAG порт в конце конфигурирования. Если после передачи всех данных вывод CONF\_DONE находится в состоянии низкого уровня, то ПО Quartus II или MAX+PLUS II выдает сообщение, что конфигурирование не завершено. Если вывод CONF\_DONE находится в состоянии высокого уровня, ПО выдает сообщение, что конфигурирование завершено успешно.

Не допускается одновременно запускать конфигурирование по JTAG порту и по какой-либо иной схеме.

На рисунке 23 показано JTAG конфигурирование ПЛИС с микропроцессором.

Инв. № п/л 106	Подп. и дата В.Клиш - 25.12.07	Взам. инв. №	Инв. № дубл.	Подп. и дата
-------------------	-----------------------------------	--------------	--------------	--------------



Примечание – Все pull-up резисторы имеют номинал 1 кОм и должны быть подключены к такому напряжению питания, которое обеспечит допустимый входной сигнал для всех устройств в цепи.

Рисунок 23 – JTAG конфигурирование ПЛИС с микропроцессором

На рисунке 24 показаны временные диаграммы при JTAG конфигурировании, в таблице 8 приведены временные параметры ПЛИС при JTAG конфигурировании.

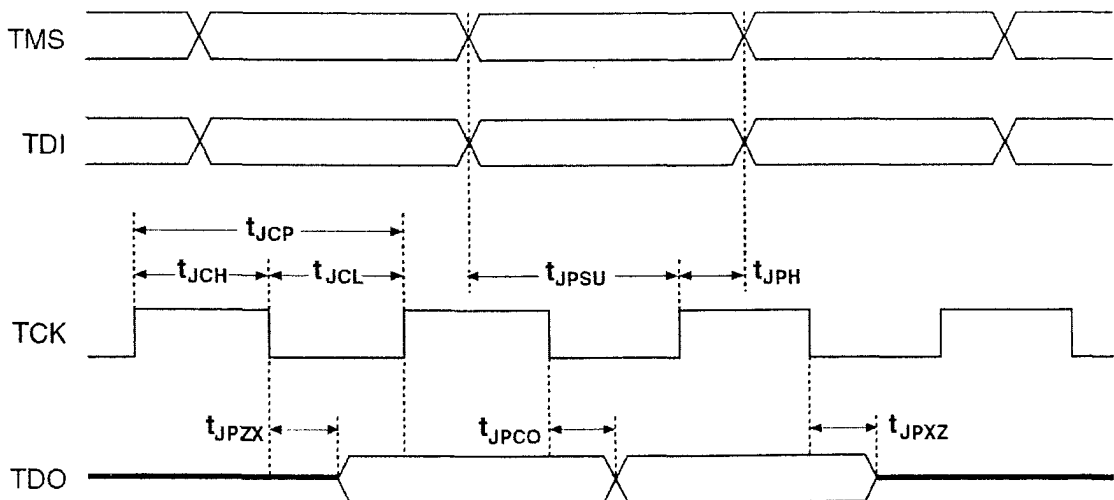


Рисунок 24 – Временные диаграммы при JTAG конфигурировании

Инд. № пр 106	Подп. и дата Влад. 25.12.07	Взам. инв. № Инд. 25.12.07	Инв. № дубл. Инд. 25.12.07	Подп. и дата
------------------	--------------------------------	-------------------------------	-------------------------------	--------------

Таблица 8 – Временные параметры ПЛИС при JTAG конфигурировании

Обозначение	Параметр	Значение	
		не менее, нс	не более, нс
$t_{JCP}$	Период тактового сигнала ТСК	100	–
$t_{JCH}$	Длительность импульса высокого уровня сигнала ТСК	50	–
$t_{JCL}$	Длительность импульса низкого уровня сигнала ТСК	50	–
$t_{JPSU}$	Время предустановки данных TMS и TDI перед передним фронтом ТСК	20	–
$t_{JPH}$	Время удержания данных TMS и TDI после переднего фронта ТСК	45	–
$t_{JPCO}$	Время между задним фронтом сигнала ТСК и переключением TDO	–	25
$t_{JPZX}$	Время между задним фронтом сигнала ТСК и переключением TDO в активное состояние	–	25
$t_{JPXZ}$	Время между задним фронтом сигнала ТСК и переключением TDO в третье состояние	–	25

Инв. № п/п 106	Подп. и дата Ожиг. 25.12.07	Взам. инв. №	Индв. № дубл.	Подп. и дата
-------------------	--------------------------------	--------------	---------------	--------------