

ЮКСУ.431243.001Д4–УД

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ

1890КПЗЯ

Указания по применению

ЮКСУ.431243.001Д4

Литера О

М-0611-3	Бочарникова 12.03.10			
Инв № подл	Подпись и дата	Взам инв №	Инв № дубл	Подпись и дата

Настоящие указания по применению микросхемы контроллера коммутатора Настоящие указания по применению микросхемы контроллера коммутатора RapidIO, 1890КПЗЯ, содержат необходимые сведения для изучения принципа работы контроллера коммутатора RapidIO и его правильного использования в аппаратуре.

Микросхема выполнена в корпусе 6304.680–1 (корпус металлополимерный с шариковыми выводами).

В тексте указаний по применению используются следующие сокращения и обозначения:

ЗУ – запоминающее устройство;

ПЗУ – постоянное запоминающее устройство;

ППЗУ – постоянное перезаписываемое запоминающее устройство;

JTAG – Joint Test Action Group (блок тестирования и граничного сканирования микросхемы);

TAP – Test Access Port (порт доступа тестового порта JTAG);

I<sup>2</sup>C – Inter-Integrated Circuit (шина связи ИС);

EEPROM – Electrically Erasable Programmed Read-Only Memory (электрически программируемое ПЗУ);

CRC – Cyclic Redundancy Code (циклический избыточный код);

MCS – Multicast-event Control Symbol (контрольный символ групповых сообщений);

TTL – Time-to-Live (время жизни)

## Содержание

1 Назначение микросхемы контроллера коммутатора RapidIO .....	8
1.1 Основные характеристики и структурная схема. ....	8
1.2 Назначения выводов .....	10
2 Регистры коммутатора RapidIO .....	39
2.1 Правила адресации.....	39
2.2 Типы регистров.....	39
2.2.1 Карта распределения регистров.....	40
2.2.2 Регистры логического/транспортного уровня.....	40
2.2.3 Регистры физического уровня .....	46
2.2.4 Регистры Управления Ошибками.....	51
2.2.5 Специальные регистры портов .....	62
2.2.6 Специальные регистры коммутатора (01A000 – 01AFFCh).....	86
3 Модули микросхемы коммутатора.....	95
3.1 Блок интерфейса RapidIO .....	95
3.2 Блок коммутации.....	96
3.3 Блок внутренних регистров.....	96
3.4 Схема контроля производительности .....	96
3.5 Обработка ошибок.....	97
3.6 Интерфейс I2C .....	97
3.7 Интерфейс JTAG .....	97
4 Интерфейс RapidIO .....	98
4.1 Обзор интерфейса.....	98
4.1.1 Описание сигналов.....	98
4.2 Передачи по интерфейсу RapidIO .....	99
4.2.1 Инициализация устройств .....	99
4.2.2 Механизм передачи пакетов и контрольных символов .....	100
4.2.3 Типы операций. ....	101
4.2.4 Типы и формат контрольных символов.....	102
4.2.5 Формат пакетов .....	105
4.3 Таблица маршрутизации .....	107
4.3.1 Стандартный режим маршрутизации.....	107
4.3.2 Иерархический режим маршрутизации .....	108
4.3.3 Смешанный режим.....	110
4.3.4 Контроль четности таблиц маршрутизации .....	111
4.3.5 Конфигурирование таблиц маршрутизации.....	111
4.4 Служебные пакеты. ....	112
4.5 Групповые сообщения .....	113
4.5.1 Прием символа группового сообщения .....	113
4.5.2 Отправка символа группового сообщения .....	114
4.5.3 Счетчик времени жизни.....	114
4.6 Управление ошибками интерфейса RapidIO .....	115
4.6.1 Управление ошибками физического уровня .....	115

4.6.2	Регистры состояния ошибок .....	115
4.6.3	Пороговые значения числа ошибок.....	116
4.6.4	Темп поступления ошибок .....	116
4.6.5	Превышение темпа поступления ошибок порогового значения.....	117
4.6.6	Управление ошибками логического и транспортного уровней .....	118
5	Блок коммутации.....	119
5.1	Основные характеристики.....	119
5.2	Работа блока коммутации.....	119
5.3	Арбитрация в выходном блоке .....	119
5.4	Очередь пакетов .....	120
5.4.1	Очередь выходного блока .....	121
5.4.2	Очередь входного блока .....	122
5.5	Арбитрация во входном блоке.....	122
5.5.1	Режим арбитрации 0 (FIFO) .....	122
5.5.2	Режим арбитрации 1 (приоритетный №1) .....	122
5.5.3	Режим арбитрации 2 (приоритетный №2) .....	123
6	Система оповещений о событиях .....	124
6.1	Внутренние события коммутатора .....	124
6.2	Оповещение о событиях с помощью пакетов “port-write” .....	128
6.3	Выход прерывания INT <sub>n</sub> .....	130
7	Система контроля производительности.....	131
7.1	Основные характеристики.....	131
7.2	Конфигурирование системы контроля производительности .....	131
8	Блок интерфейса I <sup>2</sup> C.....	133
8.1	Характеристики интерфейса .....	133
8.2	Пересылка бита.....	133
8.3	Валидность данных. ....	133
8.4	Сигналы START и STOP .....	134
8.5	Формат байта .....	135
8.6	Подтверждение .....	136
8.7	Формат передачи данных .....	137
8.8	Доступ к устройствам по I <sup>2</sup> C.....	139
8.9	Цикл записи по шине I <sup>2</sup> C.....	139
8.10	Цикл чтения по шине I <sup>2</sup> C.....	140
8.11	Начальная инициализация регистров коммутатора .....	141
9	Блок граничного сканирования (JTAG).....	142
9.1	Порт доступа (TAP).....	142
9.2	Контроллер порта доступа (TAP контроллер) .....	143
9.3	Регистры .....	143
9.3.1	Регистр команд .....	143
9.3.2	Регистры данных .....	144
9.3.3	Регистр граничного сканирования (Boundary Scan Register).....	144
9.3.4	Обходной регистр (Bypass Register).....	144
9.3.5	Идентификационный регистр (Device Identification Register).....	144
9.3.6	Доступ к регистрам коммутатора .....	145

10 Электрические параметры.....	146
10.1 Электрические параметры микросхемы .....	146
10.2 Значения предельно допустимых и предельных электрических режимов эксплуатации.....	149
10.3 Динамические параметры микросхемы .....	151
10.3.1 Динамические параметры интерфейса RapidIO.....	151
10.3.2 Динамические параметры интерфейса I <sup>2</sup> C .....	156
11 Указания по применению и монтажу.....	157
12 Применение в режимах и условиях, не предусмотренных ТУ.....	162
13 Требования по безопасности.....	163
Приложение А Нормативные документы.....	164

## Список иллюстраций.

Рисунок 1.1 – Структурная схема микросхемы коммутатора RapidIO. ....	9
Рисунок 3.1 – Схема взаимодействия блоков RapidIO.....	95
Рисунок 4.1 – Формат обучающей последовательности.....	99
Рисунок 4.2 – RapidIO 8 LP–LVDS механизм передачи данных между устройствами. ....	100
Рисунок 4.3 – Примеры транзакций протокола RapidIO.....	102
Рисунок 4.4 – Форматы контрольных символов.....	104
Рисунок 4.5 – Структура пакета RapidIO.....	106
Рисунок 4.6 – Пример стандартной маршрутизации.....	107
Рисунок 4.7 – Пример №1 иерархической маршрутизации.....	109
Рисунок 4.8 – Пример №2 иерархической маршрутизации.....	109
Рисунок 4.9 – Алгоритм работы таблиц маршрутизации .....	110
Рисунок 5.1 – Схема арбитра выходного блока .....	119
Рисунок 5.2 – Схема очередей пакетов.....	120
Рисунок 8.1 – Пересылка бита в шине I2C .....	134
Рисунок 8.2 – Сигналы СТАРТ и СТОП.....	134
Рисунок 8.3 – Пересылка данных по шине I2C .....	135
Рисунок 8.4 – Подтверждение.....	136
Рисунок 8.5 – Ведущий–передатчик адресует ведомого–приемника.....	137
Рисунок 8.6 – Ведущий читает из ведомого непосредственно после первого байта.....	138
Рисунок 8.7 – Комбинированный формат .....	138
Рисунок 9.1 – Формат регистра данных.....	145
Рисунок 10.1 – Маска глазковой диаграммы передатчика RapidIO .....	152
Рисунок 10.2 – Маска глазковой диаграммы приемника RapidIO .....	153
Рисунок 10.3 – Пример глазковой диаграммы приемника .....	154
Рисунок 10.4 – Смещение данных относительно синхросигнала .....	154
Рисунок 10.5 – Смещения синхросигналов относительно друг друга .....	155
Рисунок 10.6 – Диаграмма статических смещений данных .....	156
Рисунок 11.1 – Чертеж корпуса 6304.680-1 .....	158
Рисунок 11.2 – Рекомендуемое посадочное место .....	159
Рисунок 11.3 – Подключение ППЗУ .....	160
Рисунок 11.4 – Подключение устройства RapidIO .....	161

## Список таблиц.

Таблица 1.1 – Назначение выводов микросхемы 1890КПЗЯ .....	10
Таблица 2.1 – Правила адресации .....	39
Таблица 2.2 – Типы доступа к регистрам .....	39
Таблица 2.3 – Блоки регистров коммутатора .....	40
Таблица 2.4 – Регистры логического/транспортного уровня .....	40
Таблица 2.5 – Регистры физического уровня .....	46
Таблица 2.6 – Регистры Управления Ошибками. ....	51
Таблица 2.7 – Специальные регистры порта .....	62
Таблица 2.8 – Специальные регистры коммутатора .....	86
Таблица 4.1 – Список сигналов интерфейса RapidIO 8 LP–LVDS .....	98
Таблица 4.2 – Примеры maintenance–пакетов с hop_count=0 .....	112
Таблица 4.3 – Работа блока интерфейса RapidIO при поступлении ошибок.....	117
Таблица 5.1 – Пример программирования пороговых значений .....	121
Таблица 6.1 – События и соответствующие разряды регистров .....	124
Таблица 6.2 – Структура данных пакета “port–write” .....	129
Таблица 8.1 – Формат данных в загрузочном EEPROM .....	141
Таблица 9.1 – Команды JTAG .....	143
Таблица 10.1 – Электрические параметры 1890КПЗЯ .....	146
Таблица 10.2 – Предельно допустимые режимы эксплуатации 1890КПЗЯ .....	149

## 1 НАЗНАЧЕНИЕ МИКРОСХЕМЫ КОНТРОЛЛЕРА КОММУТАТОРА RAPIDIO

Устройство представляет собой контроллер коммутатора RapidIO, предназначенный для построения 8–портовых коммутаторов RapidIO. КПЗЯ использует режим коммутации с коммутационной матрицей. Порты контроллера выполнены по интерфейсу 8–разрядного последовательного RapidIO и требуют подключения внешних преобразователей физического интерфейса РНУ. Конфигурация контроллера может производиться через интерфейс I<sup>2</sup>C или через интерфейс RapidIO с помощью служебных пакетов.

### 1.1 Основные характеристики и структурная схема.

Микросхема коммутатора RapidIO предназначена для организации связи между устройствами с интерфейсом RapidIO. Микросхема коммутатора содержит восемь 8–разрядных портов RapidIO, работающих на частоте 250МГц.

На рисунке 1.1 показана структурная схема коммутатора.

Основные характеристики:

- восемь 8–разрядных портов RapidIO;
- рабочая частота 250 МГц;
- пропускная способность каждого порта 1 Гбайт/с;
- совместим со спецификацией “RapidIO Interconnect Specification (Revision 1.3)”;
- отдельная таблица коммутации для каждого порта;
- поддержка до 65535 номеров устройств (ID);
- механизм сбора статистики для каждого порта RapidIO;
- интерфейс I<sup>2</sup>C для загрузки начальной конфигурации;
- интерфейс JTAG для тестирования и доступа к внутренним регистрам.

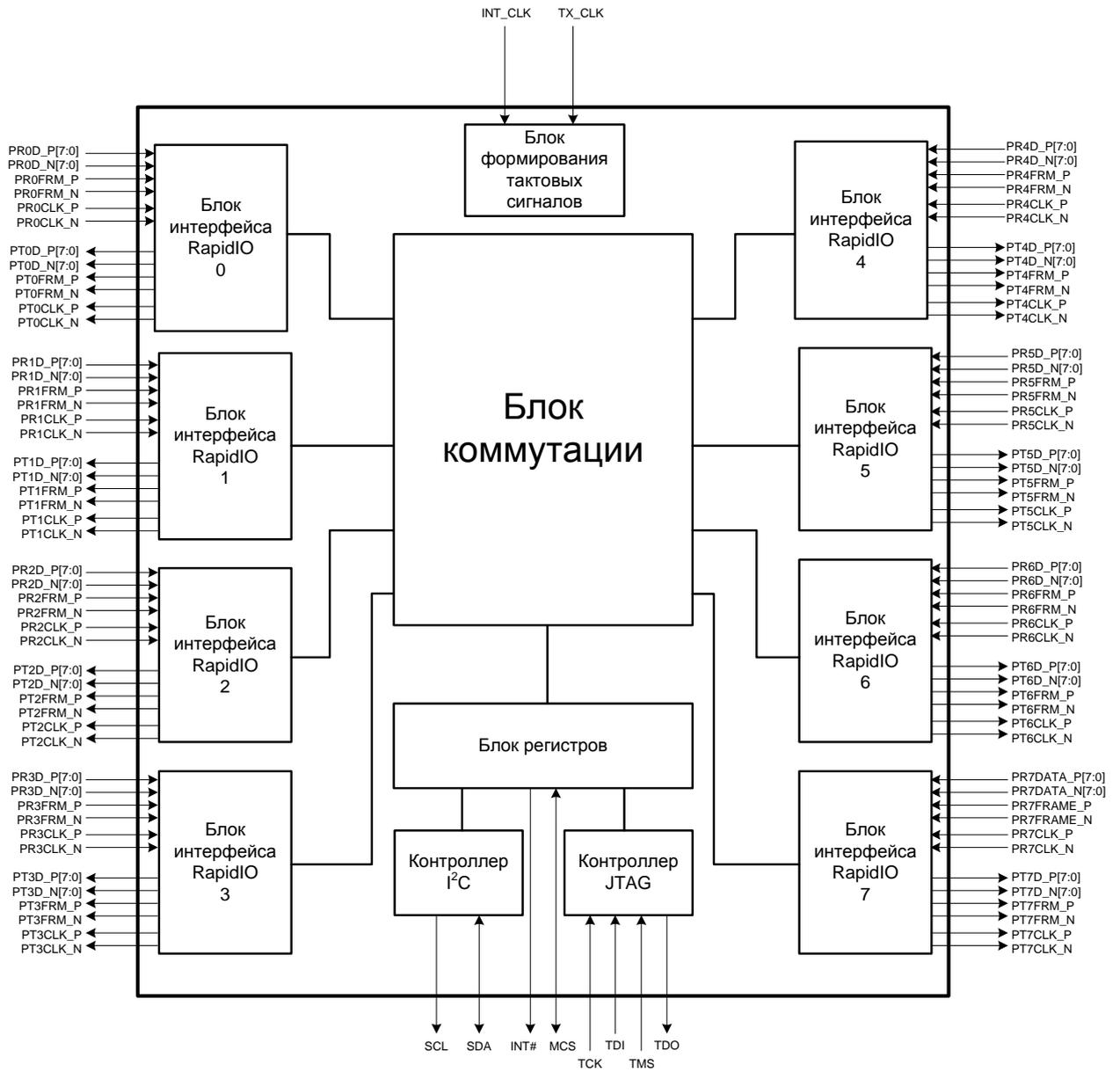


Рисунок 1.1 – Структурная схема микросхемы коммутатора RapidIO.

## 1.2 Назначения выводов

Микросхема 1890КПЗЯ выполнена в металлополимерном корпусе с шариковыми выводами типа 6304.680–1. Назначение и расположение выводов микросхемы приведены в таблице 1.1.

Таблица 1.1 – Назначение выводов микросхемы 1890КПЗЯ

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
A1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A3	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A4	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A5	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A6	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A7	PT1D_P[1]	Выход	Р-сигнал разряда <1> выходных данных порта 1
A8	GND	Земля	Земля микросхемы
A9	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A10	PT1D_P[3]	Выход	Р-сигнал разряда <3> выходных данных порта 1
A11	GND	Земля	Земля микросхемы
A12	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
A13	PT1D_P[4]	Выход	Р-сигнал разряда <4> выходных данных порта 1
A14	GND	Земля	Земля микросхемы
A15	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
A16	PT1D_P[6]	Выход	Р-сигнал разряда <6> выходных данных порта 1
A17	GND	Земля	Земля микросхемы
A18	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
A19	PT1FRM_P	Выход	Р-сигнал разрешения передачи данных из порта 1
A20	TX_INCLK2	Вход	Удвоенный тактовый сигнал передатчика порта (пользователем не используется)
A21	PR1FRM_N	Вход	Н-сигнал разрешения получения данных в порт 1
A22	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
A23	GND	Земля	Земля микросхемы
A24	PR1D_N[6]	Вход	N-сигнал разряда <6> входных данных порта 1
A25	GND	Земля	<u>Земля микросхемы</u>
A26	GND	Земля	<u>Земля микросхемы</u>
A27	PR1D_N[4]	Вход	N-сигнал разряда <4> входных данных порта 1
A28	GND	Земля	Земля микросхемы
A29	GND	Земля	Земля микросхемы
A30	PR1D_N[3]	Вход	N-сигнал разряда <3> входных данных порта 1
A31	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A32	GND	Земля	Земля микросхемы
A33	PR1D_N[1]	Вход	N-сигнал разряда <1> входных данных порта 1
A34	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A35	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A36	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A37	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
A39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B3	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B4	SDA	Вход/Выход/ОС	Сигнал данных интерфейса I2C
B5	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B6	PT1D_P[0]	Выход	P-сигнал разряда <0> выходных данных порта 1
B7	PT1D_N[1]	Выход	N-сигнал разряда <1> выходных данных порта 1
B8	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B9	PT1D_P[2]	Выход	P-сигнал разряда <2> выходных данных порта 1

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
B10	PT1D_N[3]	Выход	N-сигнал разряда <3> выходных данных порта 1
B11	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B12	PT1CLK_P	Выход	P-сигнал тактовой частоты передачи данных из порта 1
B13	PT1D_N[4]	Выход	N-сигнал разряда <4> выходных данных порта 1
B14	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
B15	PT1D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 1
B16	PT1D_N[6]	Выход	N-сигнал разряда <6> выходных данных порта 1
B17	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
B18	PT1D_P[7]	Выход	P-сигнал разряда <7> выходных данных порта 1
B19	PT1FRM_N	Выход	N-сигнал разрешения передачи данных из порта 1
B20	GND	Земля	Земля микросхемы
B21	PR1FRM_P	Вход	P-сигнал разрешения получения данных в порт 1
B22	PR1D_N[7]	Вход	N-сигнал разряда <7> входных данных порта 1
B23	GND	Земля	Земля микросхемы
B24	PR1D_P[6]	Вход	P-сигнал разряда <6> входных данных порта 1
B25	PR1D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 1
B26	GND	Земля	Земля микросхемы
B27	PR1D_P[4]	Вход	P-сигнал разряда <4> входных данных порта 1
B28	PR1CLK_N	Вход	N-сигнал тактовой частоты получения данных в порт 1
B29	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B30	PR1D_P[3]	Вход	P-сигнал разряда <3> входных данных порта 1
B31	PR1D_N[2]	Вход	N-сигнал разряда <2> входных данных порта 1
B32	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B33	PR1D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 1

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
B34	PR1D_N[0]	Вход	N-сигнал разряда <0> входных данных порта 1
B35	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B36	VREF2	Вход	Опорное напряжение (+1,25 В)
B37	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
B39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
C1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
C2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
C3	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
C4	GND	Земля	Земля микросхемы
C5	PR0D_N[0]	Вход	N-сигнал разряда <0> входных данных порта 0
C6	PT1D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 1
C7	GND	Земля	Земля микросхемы
C8	PR0D_N[2]	Вход	N-сигнал разряда <2> входных данных порта 0
C9	PT1D_N[2]	Выход	N-сигнал разряда <2> выходных данных порта 1
C10	GND	Земля	Земля микросхемы
C11	PR0CLK_N	Вход	N-сигнал тактовой частоты получения данных в порт 0
C12	PT1CLK_N	Выход	N-сигнал тактовой частоты передачи данных из порта 1
C13	GND	Земля	Земля микросхемы
C14	PR0D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 0
C15	PT1D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 1
C16	GND	Земля	Земля микросхемы
C17	PR0D_N[7]	Вход	N-сигнал разряда <7> входных данных порта 0
C18	PT1D_N[7]	Выход	N-сигнал разряда <7> выходных данных порта 1

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение Вывода
C19	GND	Земля	<u>Земля микросхемы</u>
C20	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
C21	GND	Земля	<u>Земля микросхемы</u>
C22	PR1D_P[7]	Вход	Р-сигнал разряда <7> входных данных порта 1
C23	PT0D_P[7]	Выход	Р-сигнал разряда <7> выходных данных порта 0
C24	GND	Земля	Земля микросхемы
C25	PR1D_P[5]	Вход	Р-сигнал разряда <5> входных данных порта 1
C26	PT0D_P[5]	Выход	Р-сигнал разряда <5> выходных данных порта 0
C27	GND	Земля	Земля микросхемы
C28	PR1CLK_P	Вход	Р-сигнал тактовой частоты получения данных в порт 1
C29	PT0CLK_P	Выход	Р-сигнал тактовой частоты передачи данных из порта 0
C30	GND	Земля	Земля микросхемы
C31	PR1D_P[2]	Вход	Р-сигнал разряда <2> входных данных порта 1
C32	PT0D_P[2]	Выход	Р-сигнал разряда <2> выходных данных порта 0
C33	GND	Земля	Земля микросхемы
C34	PR1D_P[0]	Вход	Р-сигнал разряда <0> входных данных порта 1
C35	PT0D_P[0]	Выход	Р-сигнал разряда <0> выходных данных порта 0
C36	GND	Земля	Земля микросхемы
C37	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
C38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
C39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
D1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
D2	TDO	Выход/Z	Сигнал TDO интерфейса JTAG
D3	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение Вывода
D4	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
D5	PR0D_P[0]	Вход	Р-сигнал разряда <0> входных данных порта 0
D6	TMS	Вход	Сигнал TMS интерфейса JTAG
D7	PR0D_N[1]	Вход	Н-сигнал разряда <1> входных данных порта 0
D8	PR0D_P[2]	Вход	Р-сигнал разряда <2> входных данных порта 0
D9	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
D10	PR0D_N[3]	Вход	Н-сигнал разряда <3> входных данных порта 0
D11	PR0CLK_P	Вход	Р-сигнал тактовой частоты получения данных в порт 0
D12	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
D13	PR0D_N[4]	Вход	Н-сигнал разряда <4> входных данных порта 0
D14	PR0D_P[5]	Вход	Р-сигнал разряда <5> входных данных порта 0
D15	GND	Земля	Земля микросхемы
D16	PR0D_N[6]	Вход	Н-сигнал разряда <6> входных данных порта 0
D17	PR0D_P[7]	Вход	Р-сигнал разряда <7> входных данных порта 0
D18	GND	Земля	Земля микросхемы
D19	PR0FRM_N	Вход	Н-сигнал разрешения получения данных в порт 0
D20	GND	Земля	Земля микросхемы
D21	PT0FRM_P	Выход	Р-сигнал разрешения передачи данных из порта 0
D22	GND	Земля	Земля микросхемы
D23	PT0D_N[7]	Выход	Н-сигнал разряда <7> выходных данных порта 0
D24	PT0D_P[6]	Выход	Р-сигнал разряда <6> выходных данных порта 0
D25	GND	Земля	Земля микросхемы
D26	PT0D_N[5]	Выход	Н-сигнал разряда <5> выходных данных порта 0
D27	PT0D_P[4]	Выход	Р-сигнал разряда <4> выходных данных порта 0

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение Вывода
D28	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
D29	PT0CLK_N	Выход	N-сигнал тактовой частоты передачи данных из порта 0
D30	PT0D_P[3]	Выход	P-сигнал разряда <3> выходных данных порта 0
D31	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
D32	PT0D_N[2]	Выход	N-сигнал разряда <2> выходных данных порта 0
D33	PT0D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 0
D34	TDI	Вход	Сигнал TDI интерфейса JTAG
D35	PT0D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 0
D36	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
D37	GND	Земля	Земля микросхемы
D38	GND	Земля	Земля микросхемы
D39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
E1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
E2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
E3	PT6D_P[0]	Выход	P-сигнал разряда <0> выходных данных порта 6
E4	PT6D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 6
E5	GND	Земля	Земля микросхемы
E6	GND	Земля	Земля микросхемы
E7	PR0D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 0
E8	VCCPLLPT1	Питание	Питание PLL (+1,8 В) передатчика порта 1
E9	GNDPLLPT1	Земля	Земля PLL передатчика порта 1
E10	PR0D_P[3]	Вход	P-сигнал разряда <3> входных данных порта 0
E11	VCCPLLPR0	Питание	Питание PLL (+1,8 В) приемника порта 0
E12	GNDPLLPR0	Земля	Земля PLL приемника порта 0

Продолжение таблицы 1.1.

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
E13	PR0D_P[4]	Вход	Р-сигнал разряда <4> входных данных порта 0
E14	GND	Земля	<u>Земля микросхемы</u>
E15	GND	Земля	<u>Земля микросхемы</u>
E16	PR0D_P[6]	Вход	Р-сигнал разряда <6> входных данных порта 0
E17	GND	Земля	Земля микросхемы
E18	GND	Земля	Земля микросхемы
E19	PR0FRM_P	Вход	Р-сигнал разрешения получения данных в порт 0
E20	GND	Земля	Земля микросхемы
E21	PT0FRM_N	Выход	Н-сигнал разрешения передачи данных из порта 0
E22	GND	Земля	Земля микросхемы
E23	GND	Земля	Земля микросхемы
E24	PT0D_N[6]	Выход	Н-сигнал разряда <6> выходных данных порта 0
E25	GND	Земля	Земля микросхемы
E26	GND	Земля	Земля микросхемы
E27	PT0D_N[4]	Выход	Н-сигнал разряда <4> выходных данных порта 0
E28	GNDPLLPT0	Земля	Земля PLL передатчика порта 0
E29	VCCPLLPT0	Питание	Питание PLL (+1,8 В) передатчика порта 0
E30	PT0D_N[3]	Выход	Н-сигнал разряда <3> выходных данных порта 0
E31	GNDPLLPR1	Земля	Земля PLL приемника порта 1
E32	VCCPLLPR1	Питание	Питание PLL (+1,8 В) приемника порта 1
E33	PT0D_N[1]	Выход	Н-сигнал разряда <1> выходных данных порта 0
E34	GND	Земля	Земля микросхемы
E35	GND	Земля	Земля микросхемы
E36	PR3D_P[0]	Вход	Р-сигнал разряда <0> входных данных порта 3

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
E37	PR3D_N[0]	Вход	N-сигнал разряда <0> входных данных порта 3
E38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
E39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
F1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
F2	PR7D_N[0]	Вход	N-сигнал разряда <0> входных данных порта 7
F3	PR7D_P[0]	Вход	P-сигнал разряда <0> входных данных порта 7
F4	PIREF	Вход	Опорный ток параллельного порта RIO. Сигнал не несёт логической информации
F5	GND	Земля	Земля микросхемы
F35	GND	Земля	Земля микросхемы
F36	POR	Вход/Выход	Сигнал сброса по включению питания. Сигнал не несёт логической информации
F37	PT2D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 2
F38	PT2D_P[0]	Выход	P-сигнал разряда <0> выходных данных порта 2
F39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
G1	PR7D_N[1]	Вход	N-сигнал разряда <1> входных данных порта 7
G2	PR7D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 7
G3	GND	Земля	Земля микросхемы
G4	PT6D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 6
G5	PT6D_N[1]	Выход	N-сигнал разряда <1> выходных данных порта 6
G35	PR3D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 3
G36	PR3D_N[1]	Вход	N-сигнал разряда <1> входных данных порта 3
G37	GND	Земля	Земля микросхемы
G38	PT2D_N[1]	Выход	N-сигнал разряда <1> выходных данных порта 2
G39	PT2D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 2
H1	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
H2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
H3	PT6D_P[2]	Выход	Р-сигнал разряда <2> выходных данных порта 6
H4	PT6D_N[2]	Выход	Н-сигнал разряда <2> выходных данных порта 6
H5	VCCPLLPR7	Питание	Питание PLL (+1,8 В) приемника порта 7
H35	VCCPLLPT2	Питание	Питание PLL (+1,8 В) передатчика порта 2
H36	PR3D_P[2]	Вход	Р-сигнал разряда <2> входных данных порта 3
H37	PR3D_N[2]	Вход	Н-сигнал разряда <2> входных данных порта 3
H38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
H39	GND	Земля	Земля микросхемы
J1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
J2	PR7D_N[2]	Вход	Н-сигнал разряда <2> входных данных порта 7
J3	PR7D_P[2]	Вход	Р-сигнал разряда <2> входных данных порта 7
J4	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
J5	GNDPLLPR7	Земля	Земля PLL приемника порта 7
J35	GNDPLLPT2	Земля	Земля PLL передатчика порта 2
J36	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
J37	PT2D_N[2]	Выход	Н-сигнал разряда <2> выходных данных порта 2
J38	PT2D_P[2]	Выход	Р-сигнал разряда <2> выходных данных порта 2
J39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
K1	PR7D_N[3]	Вход	Н-сигнал разряда <3> входных данных порта 7
K2	PR7D_P[3]	Вход	Р-сигнал разряда <3> входных данных порта 7
K3	GND	Земля	Земля микросхемы
K4	PT6D_P[3]	Выход	Р-сигнал разряда <3> выходных данных порта 6
K5	PT6D_N[3]	Выход	Н-сигнал разряда <3> выходных данных порта 6

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
K35	PR3D_P[3]	<u>Вход</u>	Р-сигнал разряда <3> входных данных порта 3
K36	PR3D_N[3]	<u>Вход</u>	Н-сигнал разряда <3> входных данных порта 3
K37	GND	Земля	<u>Земля микросхемы</u>
K38	PT2D_N[3]	Выход	Н-сигнал разряда <3> выходных данных порта 2
K39	PT2D_P[3]	Выход	Р-сигнал разряда <3> выходных данных порта 2
L1	GND	Земля	Земля микросхемы
L2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
L3	PT6CLK_P	Выход	Р-сигнал тактовой частоты передачи данных из порта 6
L4	PT6CLK_N	Выход	Н-сигнал тактовой частоты передачи данных из порта 6
L5	VCCPLLPT6	Питание	Питание PLL (+1,8 В) передатчика порта 6
L35	VCCPLLPR3	Питание	Питание PLL (+1,8 В) приемника порта 3
L36	PR3CLK_P	Вход	Р-сигнал тактовой частоты получения данных в порт 3
L37	PR3CLK_N	Вход	Н-сигнал тактовой частоты получения данных в порт 3
L38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
L39	GND	Земля	Земля микросхемы
M1	GND	Земля	Земля микросхемы
M2	PR7CLK_N	Вход	Н-сигнал тактовой частоты получения данных в порт 7
M3	PR7CLK_P	Вход	Р-сигнал тактовой частоты получения данных в порт 7
M4	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
M5	GNDPLLPT6	Земля	Земля PLL передатчика порта 6
M35	GNDPLLPR3	Земля	Земля PLL приемника порта 3
M36	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
M37	PT2CLK_N	Выход	Н-сигнал тактовой частоты передачи данных из порта 2
M38	PT2CLK_P	Выход	Р-сигнал тактовой частоты передачи данных из порта 2

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
M39	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
N1	PR7D_N[4]	<u>Вход</u>	N-сигнал разряда <4> входных данных порта 7
N2	PR7D_P[4]	<u>Вход</u>	P-сигнал разряда <4> входных данных порта 7
N3	GND	Земля	<u>Земля микросхемы</u>
N4	PT6D_P[4]	Выход	P-сигнал разряда <4> выходных данных порта 6
N5	PT6D_N[4]	Выход	N-сигнал разряда <4> выходных данных порта 6
N35	PR3D_P[4]	Вход	P-сигнал разряда <4> входных данных порта 3
N36	PR3D_N[4]	Вход	N-сигнал разряда <4> входных данных порта 3
N37	GND	Земля	Земля микросхемы
N38	PT2D_N[4]	Выход	N-сигнал разряда <4> выходных данных порта 2
N39	PT2D_P[4]	Выход	P-сигнал разряда <4> выходных данных порта 2
P1	GND	Земля	Земля микросхемы
P2	GND	Земля	Земля микросхемы
P3	PT6D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 6
P4	PT6D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 6
P5	GND	Земля	Земля микросхемы
P35	GND	Земля	Земля микросхемы
P36	PR3D_P[5]	Вход	P-сигнал разряда <5> входных данных порта 3
P37	PR3D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 3
P38	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
P39	GND	Земля	Земля микросхемы
R1	GND	Земля	Земля микросхемы
R2	PR7D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 7
R3	PR7D_P[5]	Вход	P-сигнал разряда <5> входных данных порта 7

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
R4	GND	Земля	<u>Земля микросхемы</u>
R5	GND	Земля	<u>Земля микросхемы</u>
R35	GND	Земля	<u>Земля микросхемы</u>
R36	GND	Земля	<u>Земля микросхемы</u>
R37	PT2D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 2
R38	PT2D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 2
R39	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
T1	PR7D_N[6]	Вход	N-сигнал разряда <6> входных данных порта 7
T2	PR7D_P[6]	Вход	P-сигнал разряда <6> входных данных порта 7
T3	GND	Земля	Земля микросхемы
T4	PT6D_P[6]	Выход	P-сигнал разряда <6> выходных данных порта 6
T5	PT6D_N[6]	Выход	N-сигнал разряда <6> выходных данных порта 6
T35	PR3D_P[6]	Вход	P-сигнал разряда <6> входных данных порта 3
T36	PR3D_N[6]	Вход	N-сигнал разряда <6> входных данных порта 3
T37	GND	Земля	Земля микросхемы
T38	PT2D_N[6]	Выход	N-сигнал разряда <6> выходных данных порта 2
T39	PT2D_P[6]	Выход	P-сигнал разряда <6> выходных данных порта 2
U1	GND	Земля	Земля микросхемы
U2	GND	Земля	Земля микросхемы
U3	PT6D_P[7]	Выход	P-сигнал разряда <7> выходных данных порта 6
U4	PT6D_N[7]	Выход	N-сигнал разряда <7> выходных данных порта 6
U5	GND	Земля	Земля микросхемы
U35	GND	Земля	Земля микросхемы
U36	PR3D_P[7]	Вход	P-сигнал разряда <7> входных данных порта 3

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
U37	PR3D_N[7]	<u>Вход</u>	N-сигнал разряда <7> входных данных порта 3
U38	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
U39	GND	Земля	<u>Земля микросхемы</u>
V1	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
V2	PR7D_N[7]	Вход	N-сигнал разряда <7> входных данных порта 7
V3	PR7D_P[7]	Вход	P-сигнал разряда <7> входных данных порта 7
V4	GND	Земля	Земля микросхемы
V5	GND	Земля	Земля микросхемы
V35	GND	Земля	Земля микросхемы
V36	GND	Земля	Земля микросхемы
V37	PT2D_N[7]	Выход	N-сигнал разряда <7> выходных данных порта 2
V38	PT2D_P[7]	Выход	P-сигнал разряда <7> выходных данных порта 2
V39	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
W1	PR7FRM_N	Вход	N-сигнал разрешения получения данных в порт 7
W2	PR7FRM_P	Вход	P-сигнал разрешения получения данных в порт 7
W3	GND	Земля	Земля микросхемы
W4	PT6FRM_P	Выход	P-сигнал разрешения передачи данных из порта 6
W5	PT6FRM_N	Выход	N-сигнал разрешения передачи данных из порта 6
W35	PR3FRM_P	Вход	P-сигнал разрешения получения данных в порт 3
W36	PR3FRM_N	Вход	N-сигнал разрешения получения данных в порт 3
W37	GND	Земля	Земля микросхемы
W38	PT2FRM_N	Выход	N-сигнал разрешения передачи данных из порта 2
W39	PT2FRM_P	Выход	P- сигнал разрешения передачи данных из порта 2
Y1	TX_CLK	Вход	Тактовая частота передачи данных

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
Y2	GND	Земля	<u>Земля микросхемы</u>
Y3	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
Y4	GND	Земля	<u>Земля микросхемы</u>
Y5	GND	Земля	<u>Земля микросхемы</u>
Y35	GND	Земля	<u>Земля микросхемы</u>
Y36	GND	Земля	Земля микросхемы
Y37	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
Y38	GND	Земля	Земля микросхемы
Y39	PLL_TEST_CLK	Выход	Тестовый выход схемы PLL (пользователем не используется)
AA1	PT7FRM_P	Выход	Р-сигнал разрешения передачи данных из порта 7
AA2	PT7FRM_N	Выход	Н-сигнал разрешения передачи данных из порта 7
AA3	GND	Земля	Земля микросхемы
AA4	PR6FRM_N	Вход	Н-сигнал разрешения получения данных в порт 6
AA5	PR6FRM_P	Вход	Р-сигнал разрешения получения данных в порт 6
AA35	PT3FRM_N	Выход	Н-сигнал разрешения передачи данных из порта 3
AA36	PT3FRM_P	Выход	Р-сигнал разрешения передачи данных из порта 3
AA37	GND	Земля	Земля микросхемы
AA38	PR2FRM_P	Вход	Р-сигнал разрешения получения данных в порт 2
AA39	PR2FRM_N	Вход	Н-сигнал разрешения получения данных в порт 2
AB1	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AB2	PT7D_P[7]	Выход	Р-сигнал разряда <7> выходных данных порта 7
AB3	PT7D_N[7]	Выход	Н-сигнал разряда <7> выходных данных порта 7
AB4	GND	Земля	Земля микросхемы
AB5	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AB35	GND	Земля	<u>Земля микросхемы</u>
AB36	GND	Земля	<u>Земля микросхемы</u>
AB37	PR2D_P[7]	<u>Вход</u>	Р-сигнал разряда <7> входных данных порта 2
AB38	PR2D_N[7]	<u>Вход</u>	Н-сигнал разряда <7> входных данных порта 2
AB39	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AC1	GND	Земля	Земля микросхемы
AC2	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AC3	PR6D_N[7]	Вход	Н-сигнал разряда <7> входных данных порта 6
AC4	PR6D_P[7]	Вход	Р-сигнал разряда <7> входных данных порта 6
AC5	GND	Земля	Земля микросхемы
AC35	GND	Земля	Земля микросхемы
AC36	PT3D_N[7]	Выход	Н-сигнал разряда <7> выходных данных порта 3
AC37	PT3D_P[7]	Выход	Р-сигнал разряда <7> выходных данных порта 3
AC38	GND	Земля	Земля микросхемы
AC39	GND	Земля	Земля микросхемы
AD1	PT7D_P[6]	Выход	Р-сигнал разряда <6> выходных данных порта 7
AD2	PT7D_N[6]	Выход	Н-сигнал разряда <6> выходных данных порта 7
AD3	GND	Земля	Земля микросхемы
AD4	PR6D_N[6]	Вход	Н-сигнал разряда <6> входных данных порта 6
AD5	PR6D_P[6]	Вход	Р-сигнал разряда <6> входных данных порта 6
AD35	PT3D_N[6]	Выход	Н-сигнал разряда <6> выходных данных порта 3
AD36	PT3D_P[6]	Выход	Р-сигнал разряда <6> выходных данных порта 3
AD37	GND	Земля	Земля микросхемы
AD38	PR2D_P[6]	Вход	Р-сигнал разряда <6> входных данных порта 2

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AD39	PR2D_N[6]	<u>Вход</u>	N-сигнал разряда <6> входных данных порта 2
AE1	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AE2	PT7D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 7
AE3	PT7D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 7
AE4	GND	Земля	Земля микросхемы
AE5	GND	Земля	Земля микросхемы
AE35	GND	Земля	Земля микросхемы
AE36	GND	Земля	Земля микросхемы
AE37	PR2D_P[5]	Вход	P-сигнал разряда <5> входных данных порта 2
AE38	PR2D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 2
AE39	GND	Земля	Земля микросхемы
AF1	GND	Земля	Земля микросхемы
AF2	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AF3	PR6D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 6
AF4	PR6D_P[5]	Вход	P-сигнал разряда <5> входных данных порта 6
AF5	GND	Земля	Земля микросхемы
AF35	GND	Земля	Земля микросхемы
AF36	PT3D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 3
AF37	PT3D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 3
AF38	GND	Земля	Земля микросхемы
AF39	GND	Земля	Земля микросхемы
AG1	PT7D_P[4]	Выход	P-сигнал разряда <4> выходных данных порта 7
AG2	PT7D_N[4]	Выход	N-сигнал разряда <4> выходных данных порта 7
AG3	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AG4	PR6D_N[4]	<u>Вход</u>	N-сигнал разряда <4> входных данных порта 6
AG5	PR6D_P[4]	<u>Вход</u>	P-сигнал разряда <4> входных данных порта 6
AG35	PT3D_N[4]	Выход	N-сигнал разряда <4> выходных данных порта 3
AG36	PT3D_P[4]	Выход	P-сигнал разряда <4> выходных данных порта 3
AG37	GND	Земля	Земля микросхемы
AG38	PR2D_P[4]	Вход	P-сигнал разряда <4> входных данных порта 2
AG39	PR2D_N[4]	Вход	N-сигнал разряда <4> входных данных порта 2
AH1	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AH2	PT7CLK_P	Выход	P-сигнал тактовой частоты передачи данных из порта 7
AH3	PT7CLK_N	Выход	N-сигнал тактовой частоты передачи данных из порта 7
AH4	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AH5	GNDPLLPR6	Земля	Земля PLL приемника порта 6
AH35	GNDPLLPT3	Земля	Земля PLL передатчика порта 3
AH36	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AH37	PR2CLK_P	Вход	P-сигнал тактовой частоты получения данных в порт 2
AH38	PR2CLK_N	Вход	N-сигнал тактовой частоты получения данных в порт 2
AH39	GND	Земля	Земля микросхемы
AJ1	GND	Земля	Земля микросхемы
AJ2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AJ3	PR6CLK_N	Вход	N-сигнал тактовой частоты получения данных в порт 6
AJ4	PR6CLK_P	Вход	P-сигнал тактовой частоты получения данных в порт 6
AJ5	VCCPLLPR6	Питание	Питание PLL (+1,8 В) приемника порта 6
AJ35	VCCPLLPT3	Питание	Питание PLL (+1,8 В) передатчика порта 3
AJ36	PT3CLK_N	Выход	N-сигнал тактовой частоты передачи данных из порта 3

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AJ37	PT3CLK_P	Выход	P-сигнал тактовой частоты передачи данных из порта 3
AJ38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AJ39	GND	Земля	<u>Земля микросхемы</u>
AK1	PT7D_P[3]	Выход	P-сигнал разряда <3> выходных данных порта 7
AK2	PT7D_N[3]	Выход	N-сигнал разряда <3> выходных данных порта 7
AK3	GND	Земля	Земля микросхемы
AK4	PR6D_N[3]	Вход	N-сигнал разряда <3> входных данных порта 6
AK5	PR6D_P[3]	Вход	P-сигнал разряда <3> входных данных порта 6
AK35	PT3D_N[3]	Выход	N-сигнал разряда <3> выходных данных порта 3
AK36	PT3D_P[3]	Выход	P-сигнал разряда <3> выходных данных порта 3
AK37	GND	Земля	Земля микросхемы
AK38	PR2D_P[3]	Вход	P-сигнал разряда <3> входных данных порта 2
AK39	PR2D_N[3]	Вход	N-сигнал разряда <3> входных данных порта 2
AL1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AL2	PT7D_P[2]	Выход	P-сигнал разряда <2> выходных данных порта 7
AL3	PT7D_N[2]	Выход	N-сигнал разряда <2> выходных данных порта 7
AL4	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AL5	GNDPLLPT7	Земля	Земля PLL передатчика порта 7
AL35	GNDPLLPR2	Земля	Земля PLL приемника порта 2
AL36	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AL37	PR2D_P[2]	Вход	P-сигнал разряда <2> входных данных порта 2
AL38	PR2D_N[2]	Вход	N-сигнал разряда <2> входных данных порта 2
AL39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AM1	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AM2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AM3	PR6D_N[2]	<u>Вход</u>	N-сигнал разряда <2> входных данных порта 6
AM4	PR6D_P[2]	<u>Вход</u>	P-сигнал разряда <2> входных данных порта 6
AM5	VCCPLLPT7	Питание	Питание PLL (+1,8 В) передатчика порта 7
AM35	VCCPLLPR2	Питание	Питание PLL (+1,8 В) приемника порта 2
AM36	PT3D_N[2]	Выход	N-сигнал разряда <2> выходных данных порта 3
AM37	PT3D_P[2]	Выход	P-сигнал разряда <2> выходных данных порта 3
AM38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AM39	GND	Земля	Земля микросхемы
AN1	PT7D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 7
AN2	PT7D_N[1]	Выход	N-сигнал разряда <1> выходных данных порта 7
AN3	GND	Земля	Земля микросхемы
AN4	PR6D_N[1]	Вход	N-сигнал разряда <1> входных данных порта 6
AN5	PR6D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 6
AN35	PT3D_N[1]	Выход	N-сигнал разряда <1> выходных данных порта 3
AN36	PT3D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 3
AN37	GND	Земля	Земля микросхемы
AN38	PR2D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 2
AN39	PR2D_N[1]	Вход	N-сигнал разряда <1> входных данных порта 2
AP1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AP2	PT7D_P[0]	Выход	P-сигнал разряда <0> выходных данных порта 7
AP3	PT7D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 7
AP4	GND	Земля	Земля микросхемы
AP5	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AP35	GND	Земля	<u>Земля микросхемы</u>
AP36	RESET#	Вход	Сигнал сброса микросхемы
AP37	PR2D_P[0]	<u>Вход</u>	Р-сигнал разряда <0> входных данных порта 2
AP38	PR2D_N[0]	<u>Вход</u>	Н-сигнал разряда <0> входных данных порта 2
AP39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AR1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AR2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AR3	PR6D_N[0]	Вход	Н-сигнал разряда <0> входных данных порта 6
AR4	PR6D_P[0]	Вход	Р-сигнал разряда <0> входных данных порта 6
AR5	GND	Земля	Земля микросхемы
AR6	GND	Земля	Земля микросхемы
AR7	PT4D_N[1]	Выход	Н-сигнал разряда <1> выходных данных порта 4
AR8	VCCPLLPR5	Питание	Питание PLL (+1,8 В) приемника порта 5
AR9	GNDPLLPR5	Земля	Земля PLL приемника порта 5
AR10	PT4D_N[3]	Выход	Н-сигнал разряда <3> выходных данных порта 4
AR11	VCCPLLPT4	Питание	Питание PLL (+1,8 В) передатчика порта 4
AR12	GNDPLLPT4	Земля	Земля PLL передатчика порта 4
AR13	PT4D_N[4]	Выход	Н-сигнал разряда <4> выходных данных порта 4
AR14	GND	Земля	Земля микросхемы
AR15	GND	Земля	Земля микросхемы
AR16	PT4D_N[6]	Выход	Н-сигнал разряда <6> выходных данных порта 4
AR17	GND	Земля	Земля микросхемы
AR18	GND	Земля	Земля микросхемы
AR19	PT4FRM_N	Выход	Н-сигнал разрешения передачи данных из порта 4

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AR20	GND	Земля	<u>Земля микросхемы</u>
AR21	PR4FRM_P	Вход	Р-сигнал разрешения получения данных в порт4
AR22	GND	Земля	<u>Земля микросхемы</u>
AR23	GND	Земля	<u>Земля микросхемы</u>
AR24	PR4D_P[6]	Вход	Р-сигнал разряда <6> входных данных порта 4
AR25	GND	Земля	Земля микросхемы
AR26	GND	Земля	Земля микросхемы
AR27	PR4D_P[4]	Вход	Р-сигнал разряда <4> входных данных порта 4
AR28	GNDPLLPR4	Земля	Земля PLL приемника порта 4
AR29	VCCPLLPR4	Питание	Питание PLL (+1,8 В) приемника порта 4
AR30	PR4D_P[3]	Вход	Р-сигнал разряда <3> входных данных порта 4
AR31	GNDPLLPT5	Земля	Земля PLL передатчика порта 5
AR32	VCCPLLPT5	Питание	Питание PLL (+1,8 В) передатчика порта 5
AR33	PR4D_P[1]	Вход	Р-сигнал разряда <1> входных данных порта 4
AR34	GND	Земля	Земля микросхемы
AR35	GND	Земля	Земля микросхемы
AR36	PT3D_N[0]	Выход	Н-сигнал разряда <0> выходных данных порта 3
AR37	PT3D_P[0]	Выход	Р-сигнал разряда <0> выходных данных порта 3
AR38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AR39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AT1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AT2	SCL	Выход/ОС	Тактовый сигнал интерфейса I2C
AT3	GND	Земля	Земля микросхемы
AT4	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AT5	PT4D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 4
AT6	TCK	Вход	Сигнал TCK интерфейса JTAG
AT7	PT4D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 4
AT8	PT4D_N[2]	Выход	N-сигнал разряда <2> выходных данных порта 4
AT9	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AT10	PT4D_P[3]	Выход	P-сигнал разряда <3> выходных данных порта 4
AT11	PT4CLK_N	Выход	N-сигнал тактовой частоты передачи данных из порта 4
AT12	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AT13	PT4D_P[4]	Выход	P-сигнал разряда <4> выходных данных порта 4
AT14	PT4D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 4
AT15	GND	Земля	Земля микросхемы
AT16	PT4D_P[6]	Выход	P-сигнал разряда <6> выходных данных порта 4
AT17	PT4D_N[7]	Выход	N-сигнал разряда <7> выходных данных порта 4
AT18	GND	Земля	Земля микросхемы
AT19	PT4FRM_P	Выход	P-сигнал разрешения передачи данных из порта 4
AT20	GND	Земля	Земля микросхемы
AT21	PR4FRM_N	Вход	N-сигнал разрешения получения данных в порт 4
AT22	GND	Земля	Земля микросхемы
AT23	PR4D_P[7]	Вход	P-сигнал разряда <7> входных данных порта 4
AT24	PR4D_N[6]	Вход	N-сигнал разряда <6> входных данных порта 4
AT25	GND	Земля	Земля микросхемы
AT26	PR4D_P[5]	Вход	P-сигнал разряда <5> входных данных порта 4
AT27	PR4D_N[4]	Вход	N-сигнал разряда <4> входных данных порта 4
AT28	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AT29	PR4CLK_P	Вход	Р-сигнал тактовой частоты получения данных в порт 4
AT30	PR4D_N[3]	Вход	Н-сигнал разряда <3> входных данных порта 4
AT31	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AT32	PR4D_P[2]	Вход	Р-сигнал разряда <2> входных данных порта 4
AT33	PR4D_N[1]	Вход	Н-сигнал разряда <1> входных данных порта 4
AT34	MCS	Вход/Выход	Сигнал управления групповыми сообщениями
AT35	PR4D_P[0]	Вход	Р-сигнал разряда <0> входных данных порта 4
AT36	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AT37	GND	Земля	Земля микросхемы
AT38	PA_SIZE_SEL	Вход	Сигнал выбора размера адреса интерфейса I2C
AT39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AU1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AU2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AU3	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AU4	GND	Земля	Земля микросхемы
AU5	PT4D_P[0]	Выход	Р-сигнал разряда <0> выходных данных порта 4
AU6	PR5D_P[0]	Вход	Р-сигнал разряда <0> входных данных порта 5
AU7	GND	Земля	Земля микросхемы
AU8	PT4D_P[2]	Выход	Р-сигнал разряда <2> выходных данных порта 4
AU9	PR5D_P[2]	Вход	Р-сигнал разряда <2> входных данных порта 5
AU10	GND	Земля	Земля микросхемы
AU11	PT4CLK_P	Выход	Р-сигнал тактовой частоты передачи данных из порта 4
AU12	PR5CLK_P	Вход	Р-сигнал тактовой частоты получения данных в порт 5
AU13	GND	Земля	Земля микросхемы

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AU14	PT4D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 4
AU15	PR5D_P[5]	Вход	P-сигнал разряда <5> входных данных порта 5
AU16	GND	Земля	<u>Земля микросхемы</u>
AU17	PT4D_P[7]	Выход	P-сигнал разряда <7> выходных данных порта 4
AU18	PR5D_P[7]	Вход	P-сигнал разряда <7> входных данных порта 5
AU19	GND	Земля	Земля микросхемы
AU20	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AU21	GND	Земля	Земля микросхемы
AU22	PT5D_N[7]	Выход	N-сигнал разряда <7> выходных данных порта 5
AU23	PR4D_N[7]	Вход	N-сигнал разряда <7> входных данных порта 4
AU24	GND	Земля	Земля микросхемы
AU25	PT5D_N[5]	Выход	N-сигнал разряда <5> выходных данных порта 5
AU26	PR4D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 4
AU27	GND	Земля	Земля микросхемы
AU28	PT5CLK_N	Выход	N-сигнал тактовой частоты передачи данных из порта 5
AU29	PR4CLK_N	Вход	N-сигнал тактовой частоты получения данных в порт 4
AU30	GND	Земля	Земля микросхемы
AU31	PT5D_N[2]	Выход	N-сигнал разряда <2> выходных данных порта 5
AU32	PR4D_N[2]	Вход	N-сигнал разряда <2> входных данных порта 4
AU33	GND	Земля	Земля микросхемы
AU34	PT5D_N[0]	Выход	N-сигнал разряда <0> выходных данных порта 5
AU35	PR4D_N[0]	Вход	N-сигнал разряда <0> входных данных порта 4
AU36	GND	Земля	Земля микросхемы
AU37	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AU38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AU39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV3	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV4	VREF1	Вход	Опорное напряжение (+1,25 В)
AV5	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV6	PR5D_N[0]	Вход	N-сигнал разряда <0> входных данных порта 5
AV7	PR5D_P[1]	Вход	P-сигнал разряда <1> входных данных порта 5
AV8	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV9	PR5D_N[2]	Вход	N-сигнал разряда <2> входных данных порта 5
AV10	PR5D_P[3]	Вход	P-сигнал разряда <3> входных данных порта 5
AV11	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV12	PR5CLK_N	Вход	N-сигнал тактовой частоты получения данных в порт 5
AV13	PR5D_P[4]	Вход	P-сигнал разряда <4> входных данных порта 5
AV14	GND	Земля	Земля микросхемы
AV15	PR5D_N[5]	Вход	N-сигнал разряда <5> входных данных порта 5
AV16	PR5D_P[6]	Вход	P-сигнал разряда <6> входных данных порта 5
AV17	GND	Земля	Земля микросхемы
AV18	PR5D_N[7]	Вход	N-сигнал разряда <7> входных данных порта 5
AV19	PR5FRM_P	Вход	P-сигнал разрешения получения данных в порт 5
AV20	GND	Земля	Земля микросхемы
AV21	PT5FRM_N	Выход	N-сигнал разрешения передачи данных из порта 5
AV22	PT5D_P[7]	Выход	P-сигнал разряда <7> выходных данных порта 5

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AV23	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AV24	PT5D_N[6]	Выход	N-сигнал разряда <6> выходных данных порта 5
AV25	PT5D_P[5]	Выход	P-сигнал разряда <5> выходных данных порта 5
AV26	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AV27	PT5D_N[4]	Выход	N-сигнал разряда <4> выходных данных порта 5
AV28	PT5CLK_P	Выход	P-сигнал тактовой частоты передачи данных из порта 5
AV29	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV30	PT5D_N[3]	Выход	N-сигнал разряда <3> выходных данных порта 5
AV31	PT5D_P[2]	Выход	P-сигнал разряда <2> выходных данных порта 5
AV32	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV33	PT5D_N[1]	Выход	N-сигнал разряда <1> выходных данных порта 5
AV34	PT5D_P[0]	Выход	P-сигнал разряда <0> выходных данных порта 5
AV35	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV36	INT#	Выход/ОС	Сигнал прерывания
AV37	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AV39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW1	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW2	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW3	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW4	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW5	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW6	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW7	PR5D_N[1]	Вход	N-сигнал разряда <1> входных данных порта 5

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AW8	GND	Земля	<u>Земля микросхемы</u>
AW9	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW10	PR5D_N[3]	<u>Вход</u>	N-сигнал разряда <3> входных данных порта 5
AW11	GND	Земля	<u>Земля микросхемы</u>
AW12	GND	Земля	Земля микросхемы
AW13	PR5D_N[4]	Вход	N-сигнал разряда <4> входных данных порта 5
AW14	GND	Земля	Земля микросхемы
AW15	GND	Земля	Земля микросхемы
AW16	PR5D_N[6]	Вход	N-сигнал разряда <6> входных данных порта 5
AW17	GND	Земля	Земля микросхемы
AW18	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AW19	PR5FRM_N	Вход	N-сигнал разрешения получения данных в порт 5
AW20	INT_CLK	Вход	Тактовый сигнал ядра микросхемы
AW21	PT5FRM_P	Выход	P-сигнал разрешения передачи данных из порта 5
AW22	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AW23	GND	Земля	Земля микросхемы
AW24	PT5D_P[6]	Выход	P-сигнал разряда <6> выходных данных порта 5
AW25	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AW26	GND	Земля	Земля микросхемы
AW27	PT5D_P[4]	Выход	P-сигнал разряда <4> выходных данных порта 5
AW28	VCCCORE	Питание	Питание ядра микросхемы (+1,8 В)
AW29	GND	Земля	Земля микросхемы
AW30	PT5D_P[3]	Выход	P-сигнал разряда <3> выходных данных порта 5
AW31	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)

Продолжение таблицы 1.1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
AW32	GND	Земля	Земля микросхемы
AW33	PT5D_P[1]	Выход	P-сигнал разряда <1> выходных данных порта 5
AW34	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW35	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW36	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW37	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW38	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)
AW39	VCC	Питание	Питание буферов ввода/вывода (+3,3 В)

Примечания:

1 В графе «Тип вывода» используются следующие обозначения:  
Вход/Выход – комбинированный вывод с состоянием «выключено» (3–е состояние);  
/Z – выход с состоянием «выключено» (3–е состояние);  
/OC – выход с открытым стоком.

2 В графе «Обозначение вывода» знак «#» означает активный низкий уровень сигнала.

## 2 РЕГИСТРЫ КОММУТАТОРА RAPIDIO

Доступ только по 8 байтов.

Первоначальные значения в регистры заносятся при инициализации через I2C интерфейс и внешний EEPROM, все необозначенные регистры при считывании выдают 0, запись же в них игнорируется.

### 2.1 Правила адресации

Регистры коммутатора – это 32–битные регистры. Согласно спецификации RapidIO, *RapidIO Interconnect Specification (Revision 1.2)*, используется 64–битная адресация, см. таблицу 2.1.

Таблица 2.1 – Правила адресации

Формат адреса в коммутаторе	Формат адреса согласно спецификации RapidIO
0 x XXXX0	0 x XXXX0, слово 0
0 x XXXX4	0 x XXXX0, слово 1
0 x XXXX8	0 x XXXX8, слово 0
0 x XXXXC	0 x XXXX8, слово 1

### 2.2 Типы регистров

Зарезервированные регистры не доступны для чтения или записи. Чтение этих регистров возвращает некие данные, запись же может привести к непредсказуемым результатам.

В зарезервированных полях определенных регистров должны быть записаны 0, если нет дополнительных указаний. Типы доступа к регистрам указаны в таблице 2.2.

Таблица 2.2 – Типы доступа к регистрам

Аббревиатура	Пояснения
R	Только чтение
R/W	Чтение или Запись
R/W1C	Считываемый. Запись 1 для сброса данных
R/W0C	Считываемый. Запись 0 для сброса данных
R/W1S	Считываемый. Запись 1 для установки (запись единицы вызывает событие)
RC	Чтение, которое автоматически сбрасывает данные. Поля записываемы для проведения тестирования

### 2.2.1 Карта распределения регистров

Регистры коммутатора делятся на регистры логического/транспортного уровней (CAR, CSR – регистры команд/статуса), регистры физического уровня (Extended registers), регистры управления ошибками (Error Management Extension Registers) и специальные регистры.

В таблице 2.3 приведены адреса блоков регистров.

Таблица 2.3 – Блоки регистров коммутатора

Смещение	Описание
00000 – 000FC	Регистры логического/транспортного уровней RapidIO (CAR и CSR)
00100 – 003FC	Регистры физического уровня RapidIO (Extended registers)
01000 – 013FF	Регистры блока управления ошибками (Error Management Extension Registers)
10000 – 103FC	Специальные регистры порта 0
10400 – 207FC	Специальные регистры порта 1
10800 – 10BFC	Специальные регистры порта 2
10C00 – 10FFC	Специальные регистры порта 3
11000 – 113FC	Специальные регистры порта 4
11400 – 117FC	Специальные регистры порта 5
11800 – 11BFC	Специальные регистры порта 6
11C00 – 11FFC	Специальные регистры порта 7
1A000 – 1A3FF	Специальные регистры коммутатора

### 2.2.2 Регистры логического/транспортного уровня

Регистры логического/транспортного уровня перечислены в таблице 2.4.

Таблица 2.4 – Регистры логического/транспортного уровня

Смещение	Название регистра	Описание	Начальное состояние
00h	DEV_ID	Регистр ID микросхемы и производителя	00010074h
04h	DEV_INFO	Регистр версии микросхемы	00000010h
08h	ASBLY_ID	Регистр ID модуля, содержащего микросхему и ID производителя модуля	00000000h
0Ch	ASMBLY_INFO	Регистр версии модуля	00000100h
10h	PE_FEAT	Регистр набора функций микросхемы	1000001Fh
14h	SWITCH_PI	Регистр данных о портах комму-	00000800h

		татора	
18h	SOURCE_OP	Регистр набора операций, источником которых может быть микросхема	00000004h
1Ch	DEST_OP	Регистр набора операций, приемником которых может быть микросхема	00000000h
1C–30h	Reserved	Зарезервировано	00000000h
34h	LUT_SIZE	Регистр размера таблицы маршрутизации	000001FFh
38–64h	Reserved	Зарезервировано	00000000h
68h	HB_DEV_ID_LOCK	Регистр ID устройства (Host), проводящего инициализацию микросхемы.	0000FFFFh
6Ch	COMP_TAG	Дополнительный регистр (Component tag)	00000000h
70h	ROUTE_CFG_DESTID	Регистр ID приемника для настройки таблиц маршрутизации	00000000h
74h	ROUTE_CFG_PORT	Регистр номера порта коммутатора для настройки таблиц маршрутизации	не определено
78h	LUT_ATTR	Регистр свойств таблицы маршрутизации	000000FFh
7C–FCh	Reserved	Зарезервировано	00000000h

### 2.2.2.1 Регистр ID микросхемы и изготовителя DEV\_ID (00h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	DEV_ID	0001h	ID микросхемы	R
15:0	DEV_VEN_ID	0074h	ID производителя	R

### 2.2.2.2 Регистр версии микросхемы DEV\_INFO (04h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:8	Reserved	0h	Зарезервированы	R
7:0	DEV_INFO	10h	Версия микросхемы	R

### 2.2.2.3 Регистр ID модуля, содержащего микросхему и ID производителя модуля ASBLY\_ID (08h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	ASBLY_ID	0000h	ID модуля, содержащего микросхему (загружается из EEPROM)	R
15:0	ASBLY_VEN_ID	0000h	ID производителя модуля	R

### 2.2.2.4 Регистр версии модуля ASBLY\_INFO (0Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	ASBLY_REV	0000h	Версия модуля (загружается из EEPROM)	R
15:0	EF_PTR	0100h	Указатель на блок регистров физического уровня (Extended registers)	R

### 2.2.2.5 Регистр набора функций микросхемы PE\_FEAT (10h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	BRDG	0h	Микросхема является мостом между RapidIO и другим интерфейсом	R
30	MEM	0h	Микросхема имеет адресное пространство, доступное операциями NREAD и NWRITE	R
29	PROC	0h	Микросхема содержит процессор или другое устройство, выполняющее программу.	R
28	SW	1h	Микросхема является коммутатором RapidIO.	R
27:9	Reserved	0h	Зарезервировано	R
8	S_CFG_SUP	1h	Поддержка стандартного механизма конфигурации таблиц маршрутизации: 1 – стандартный механизм поддерживается; 0 – стандартный механизм не поддерживается	R
7:5	Reserved	0h	Зарезервировано	R
4	CTLS	1h	0 – устройство поддерживает только 8-разрядный ID приемника; 1 – устройство поддерживает	

			16- и 8- разрядный ID приемника	
3	EXT_FEA	1h	Микросхема имеет расширенный блок регистров	R
2:0	EXT_AS	111b	Поддержка расширенного адреса 001 – 34 разряда 011 – 50 и 34 разряда 101 – 66 и 34 разряда 111 – 66, 50, 34 разряда	R

#### 2.2.2.6 Регистр данных о портах коммутатора SWITCH\_PI (14h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	Reserved	0h	Зарезервировано	R
15:8	PORT_TOTAL	8h	Общее число портов коммутатора	R
7:0	PORT_NUM	–	Номер порта, через который производится чтение данного регистра	R

#### 2.2.2.7 Регистр набора операций, источником которых может быть микросхема SOURCE\_OP (18h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:30	Reserved	0h	Зарезервировано	R
29	PORT_WR	1h	Поддержка Port-Write (источник)	R
28	Reserved	0h	Зарезервировано	R
27	A_CLEAR	0h	Поддержка atomic (clear) операции	R
26	A_SET	0h	Поддержка atomic (set) операции	R
25	A_DEC	0h	Поддержка atomic (decrement) операции	R
24	A_INC	0h	Поддержка atomic (increment) операции	R
23	A_TSWAP	0h	Поддержка atomic (test-and-swap) операции	R
22	Reserved	0h	Зарезервировано	R
21	DBELL	0h	Прерывания	R
20	D_MSG	0h	Обмен сообщениями	R
19	WR_RES	0h	Поддержка операции запись-с-подтверждением	R
18	STRM_WR	0h	Поддержка операции потоко-	R

			вой записи	
17	WRITE	0h	Поддержка операции записи	R
16	READ	0h	Поддержка операции чтения	R
15:0	Reserved	0h	Зарезервировано	R

2.2.2.8 Регистр набора операций, приемником которых может быть микросхема DEST\_OP (18h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	Reserved	0h	Зарезервировано	R
15	READ	0h	Приемник пакетов Read	R
14	WRITE	0h	Приемник пакетов Write	R
13	STREAM_WRITE	0h	Приемник пакетов Streaming-write	R
12	WRITE_W_RESP	0h	Приемник пакетов Write-with-response	R
11-10	Reserved	0h	Зарезервировано	R
9	ATOM (COMP_SWAP)	0h	Приемник пакетов Atomic compare-and-swap	R
8	ATOM (TEST_SWAP)	0h	Приемник пакетов Atomic test-and-swap	R
7	ATOM (INC)	0h	Приемник пакетов Atomic increment	R
6	ATOM (DEC)	0h	Приемник пакетов Atomic decrement	R
5	ATOM (SET)	0h	Приемник пакетов Atomic set	R
4	ATOM (CLEAR)	0h	Приемник пакетов Atomic clear	R
3	ATOM (SWAP)	0h	Приемник пакетов Atomic swap	R
2	PORT_WRITE	0h	Приемник пакетов Port-write	R
1:0	Reserved	0h	Зарезервировано	R

2.2.2.9 Регистр размера таблицы маршрутизации LUT\_SIZE (34h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	Reserved	0h	Зарезервировано	R
15:0	LUT_SIZE	1Fh	Размер таблицы маршрутизации	R

### 2.2.2.10 Регистр ID устройства (Host), проводящего инициализацию микросхемы HB\_DEV\_ID\_LOCK (68h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	Reserved	0h	Зарезервировано	R
15:0	HOST_BASE_ID	FFFFh	ID устройства, проводящего инициализацию коммутатора. Это поле доступно только для одной записи, последующие записи будут игнорироваться, исключая случай, когда значение совпадает со значением в этом поле. В этом случае, в регистр записывается значение 0xFFFF	R/W

### 2.2.2.11 Дополнительный регистр (Component tag) COMP\_TAG (6Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	CTAG	0h	Содержимое регистр используется в качестве метки при операциях PORT-WRITE.	R/W

### 2.2.2.12 Регистр ID приемника для настройки таблиц маршрутизации ROUTE\_CFG\_DESTID (70h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	Reserved	0h	Зарезервировано	R
15:8	LRG_CFG_DEST_ID	0h	Старший байт ID приемника при конфигурации таблиц маршрутизации.	R/W
7:0	CFG_DEST_ID	0h	Младший байт ID приемника при конфигурации таблиц маршрутизации.	R/W

### 2.2.2.13 Регистр порта для настройки таблиц маршрутизации ROUTE\_CFG\_PORT (74h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:8	Reserved	0h	Зарезервировано	R
7:0	PORT		Выходной порт, в который направляются пакеты с ID приемника, указанном в регистре 70h (ROUTE_CFG_DESTID).	R/W

## 2.2.2.14 Регистр атрибутов таблицы маршрутизации LUT\_ATTR(78h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:8	Reserved	0h	Зарезервировано	R
7:0	DEFAULT_PORT	FFh	По умолчанию Выходной Порт	R/W

## 2.2.3 Регистры физического уровня

Регистры физического уровня (0x00100 – 0x003FC) указаны в таблице 2.5.

Таблица 2.5 – Регистры физического уровня.

Смещение	Название регистра	Описание	Начальное состояние
100h	PORT_MBH0	Регистр заголовка расширенного блока регистров	10000003h
104–11Ch	Reserved	Зарезервировано	00000000h
120h	PORT_LT_CTL	Регистр аварийного тайм-аута соединения	FFFFFF00h
124–138h	Reserved	Зарезервировано	00000000h
13Ch	PORT_GEN_CTL	Регистр общего управления	00000000h
140–154h	Reserved	Зарезервировано	00000000h
158h	PORT0_ERR_STAT	Регистр состояния порта 0	00000001h
15Ch	PORT0_CTL	Регистр управления порта 0	00000000h
160–174h	Reserved	Зарезервировано	00000000h
178h	PORT1_ERR_STAT	Регистр состояния порта 1	00000001h
17Ch	PORT1_CTL	Регистр управления порта 1	00000000h
180–194h	Reserved	Зарезервировано	00000000h
198h	PORT1_ERR_STAT	Регистр состояния порта 2	00000001h
19Ch	PORT1_CTL	Регистр управления порта 2	00000000h
1A0–1B4h	Reserved	Зарезервировано	00000000h
1B8h	PORT2_ERR_STAT	Регистр состояния порта 3	00000001h
1BCh	PORT2_CTL	Регистр управления порта 3	00000000h
1C0–1D4h	Reserved	Зарезервировано	00000000h
1D8h	PORT2_ERR_STAT	Регистр состояния порта 4	00000001h
1DCh	PORT2_CTL	Регистр управления порта 4	00000000h
1E0–1F4h	Reserved	Зарезервировано	00000000h
1F8h	PORT2_ERR_STAT	Регистр состояния порта 5	00000001h
1FCh	PORT2_CTL	Регистр управления порта 5	00000000h
200–214h	Reserved	Зарезервировано	00000000h
218h	PORT2_ERR_STAT	Регистр состояния порта 6	00000001h
21Ch	PORT2_CTL	Регистр управления порта 6	00000000h
220–234h	Reserved	Зарезервировано	00000000h
238h	PORT2_ERR_STAT	Регистр состояния порта 7	00000001h

23Ch	PORT2_CTL	Регистр управления порта 7	00000000h
240–3FCh	Reserved	Зарезервировано	00000000h

## 2.2.3.1 Регистр заголовка блока регистров PORT\_MBH0 (100h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	EF_PTR	1000h	Указатель на следующий расширенный блок регистров	R
15:0	EF_ID	0003h	ID блока регистров	R

## 2.2.3.2 Регистр аварийного тайм-аута соединения PORT\_LT\_CTL (120h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:23	TVAL	FFFFFFh	Значение аварийного тайм-аута соединения	R/W
24:0	Reserved	0h	Зарезервировано	R

## 2.2.3.3 Регистр общего управления PORT\_GEN\_CTL (13Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:30	Reserved	0h	Зарезервировано	R
29	DISCV	0h	Флаг обнаружения. 1 – коммутатор был обнаружен устройством, проводящим инициализацию системы; 0 – коммутатор не был обнаружен	R/W
28:0	Reserved	0h	Зарезервировано	R

## 2.2.3.4 Регистр состояния порта x PORTx\_ERR\_STAT (158h, 178h, 198h, 1B8h, 1D8h, 1F8h, 218h, 238h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:27	Reserved	0h	Зарезервировано	R
26	OUTPUT_DROP	0h	В выходном порту произошла потеря пакета. Разряд сбрасывается записью в него 1.	R/W1C
25	OUTPUT_FAIL	0h	В выходном порту счетчик ошибок в регистре PORTx_ERR_RATE превысил значение ERROR_RATE_FAIL_THR	R/W1C

			регистре PORTx_ERR_RATE_THR. Разряд сбрасывается записью в него 1.	
24	OUTPUT_DEG	0h	В выходном порту счетчик ошибок в регистре PORTx_ERR_RATE превысил значение ERROR_RATE_DEG_THR в регистре PORTx_ERR_RATE_THR. Разряд сбрасывается записью в него 1.	R/W1C
23:21	Reserved	0h	Зарезервировано	R
20	OUTPUT_RE	0h	Выходной блок произвел повторную передачу пакета. Устанавливается в 1, когда Бит 18 (OUTPUT_RS) данного регистра устанавливается в 1. Сбрасывается записью 1.	R/W1C
19	OUTPUT_R	0h	Выходной блок производит повторную передачу пакета. Устанавливается в 1, когда блок принял управляющий символ “packet-retry” находясь в состоянии “output retry-stopped” (Бит 18 данного регистра установлен). Сбрасывается после приема управляющего символа “packet-accepted” или “packet-not-accepted”.	R
18	OUTPUT_RS	0h	Выходной блок принял управляющий символ “packet-retry” и находится в состоянии “output retry-stopped”.	R
17	OUTPUT_ERR_ENCTR	0h	В выходном блоке произошла ошибка при передаче. Устанавливается в 1, когда Бит 16 (OUTPUT_ERR_STOP) данного регистра устанавливается в 1. Сбрасывается записью 1.	R/W1C
16	OUTPUT_ERR_STOP	0h	Выходной блок находится в состоянии “output error-stopped”.	R
15:11	Reserved	0h	Зарезервировано	R
10	INPUT_RS	0h	Входной блок находится в состоянии “input retry-stopped”.	R
9	INPUT_ERR	0h	Входной блок обнаружил ошибку при передаче. Устанавливается в 1, когда Бит 8 (INPUT_ERR_STOP) данного регистра устанавливается в 1.	R/W1C

			Сбрасывается записью 1.	
8	INPUT_ERR_STOP	0h	Входной блок находится в состоянии “input error–stopped”	R
7:5	Reserved	0h	Зарезервировано	R
4	PORT_W_PEND		Произошла отправка пакета “port–write”. Сбрасывается записью 1.	R/W1C
3	PORT_PST	0h	Признак наличия подключения к данному порту 1 – во входной блок поступает тактовый сигнал (rclk). 0 – тактовый сигнал (rclk) отсутствует.	R/W1C
2	PORT_ERR	0h	Разряд устанавливается в 1, когда порт обнаружил неисправимую ошибку при передаче. Сбрасывается записью 1.	R/W1C
1	PORT_OK	0h	Разряд устанавливается в 1, когда порт завершил инициализацию и готов к обмену пакетами с соседним устройством.	R
0	PORT_UNIT	0h	В разряде сохраняется 0, пока порт не завершил инициализацию и находится в режиме настройки.	R

### 2.2.3.5 Регистр управления порта x PORTx\_CTL (15Ch, 17Ch, 19Ch, 1BCh, 1DCh, 1FCh, 21Ch, 23Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31	OUTPUT_WIDTH	0h	Разрядность выходного порта (только 8 разрядов)	R
30	OUTPUT_EN	0h	Разрешение передачи пакетов (кроме пакетов типа 8) из выходного порта: 1 – передача разрешена 0 – передача запрещена.	R/W
29	OUTPUT_DRVR_DIS	0h	Отключение буферов выходного порта. 1 – выходные буферы отключены. 0 – выходные буферы включены	R/W
28	Reserved	0h	Зарезервировано	R
27	INPUT_WIDTH	0h	Разрядность входного порта (только 8 разрядов)	R/W
26	INPUT_EN	0h	Разрешение приема пакетов (кроме пакетов типа 8) во входной порт: 1 – прием разрешен,	R/W

			0 – прием запрещен.	
25	INPUT_DRVR_DISS	0h	Отключение буферов входного порта: 1 – входные буферы отключены; 0 – входные буферы включены.	R/W
24	Reserved	0h	Зарезервировано	R
23	ERR_DIS		Запрещение обработки ошибок передачи. 1 – обнаружение и обработка ошибок запрещены. 0 – обнаружение и обработка ошибок разрешены.	
22	MCS_OUT		Управляет передачей входящих управляющих символов “multicast-event” в данный выходной порт: 1 – входящие символы передаются в данный выходной порт; 0 – входящие символы не передаются в данный выходной порт;	R/W
21:4	Reserved	0h	Зарезервировано	R
3	STOP_ON_FAIL_EN	0h	Разряд используется совместно с разрядом DROP_EN этого регистра для управления поведением выходного порта при возникновении ошибок передачи. См. главу 4.6.5.	R/W
2	DROP_EN	0h	Разряд используется совместно с разрядом STOP_ON_FAIL_EN этого регистра для управления поведением выходного порта при возникновении ошибок передачи. См. главу 4.6.5.	
1	PORT_LOCKOUT	0h	Когда разряд установлен в 1, порт прекращает прием и передачу всех пакетов. На все входящие пакеты возвращают контрольный символ “packet-not-accepted”.	
0	PORT_TYPE	0h	Тип порта: параллельный или последовательный. 0 – параллельный. 1 – последовательный	

## 2.2.4 Регистры Управления Ошибками

Регистры управления ошибками (0x01000–0x013FF) указаны в таблице 2.6.

Таблица 2.6 – Регистры Управления Ошибками.

Смещение	Название регистра	Описание	Начальное состояние
1000h	ERR_RPT_BH	Заголовок блока регистров управления ошибками	00000007h
1004h	Reserved	Зарезервировано	0h
1008h	LOG_ERR_DET	Регистр типа ошибки транспортного или логического уровня	00000000h
100Ch	LOG_ERR_DET_EN	Регистр разрешения фиксации ошибок.	00000000h
1010h	Reserved	Зарезервировано	0h
1014h	LOG_ERR_ADDR	Регистр адреса ошибочного пакета.	00000000h
1018h	LOG_ERR_DEVID	Регистр ID источника ошибочного пакета.	00000000h
101Ch	LOG_ERR_CTRL_INFO	Регистр типа ошибочного пакета.	00000000h
1020–1024h	Reserved	Зарезервировано	0h
1028h	PW_DESTID	Регистр ID приемника пакетов “port-write”.	00000000h
102Ch	PKT_TTL	Регистр максимального времени нахождения пакета в коммутаторе	00000000h
1030–103Ch	Reserved	Зарезервировано	0h
1040, 1080, 10C0, 1100, 1140, 1180, 11C0, 1200h	PORTx_ERR_DET	Регистр типа обнаруженных ошибок данного порта	00000000h
1044, 1084, 10C4, 1104, 1144,	PORTx_RATE_EN	Регистр разрешения фиксации ошибок данного порта.	00000000h

1184, 11C4, 1204h			
1048, 1088, 10C8, 1108, 1148, 1188, 11C8, 1208h	PORTx_ERR_ATTR_CAPT	Регистр атрибутов зафиксированной ошибки данного порта	00000000h
104C, 108C, 10CC, 110C, 114C, 118C, 11CC, 120Ch	PORTx_ERR_CAPT_0	Регистр 0 состояния ошибки	00000000h
1050, 1090, 10D0, 1110, 1150, 1190, 11D0, 1210h	PORTx_ERR_CAPT_1	Регистр 1 состояния ошибки	00000000h
1054, 1094, 10D4, 1114, 1154, 1194, 11D4, 1214h	PORTx_ERR_CAPT_2	Регистр 2 состояния ошибки	00000000h
1058, 1098, 10D8, 1118, 1158, 1198, 11D8, 1218h	PORTx_ERR_CAPT_3	Регистр 3 состояния ошибки	00000000h
105C–1064, 109C–	Reserved	Зарезервировано	0h

10A4, 10DC– 10E4, 111C–1124, 115C–1164, 119C– 11A4, 11DC– 11E4, 121C–1224			
1068, 10A8, 10E8, 1128, 1168, 11A8, 11E8, 1228h	PORTx_ERR_RATE	Регистр частоты ошибок передачи данного порта	80000000h
106C, 10AC, 10EC, 112C, 116C, 11AC, 11EC, 122Ch	PORTx_ERR_THRESH	Регистр пороговых значений счетчика ошибок данного порта.	FFFF0000h
1070–107C, 10B0– 10BC, 10F0–10FC, 1130–113C, 1170–117C, 11B0– 11BC, 11F0–11FC, 1230–123C.	Reserved	Зарезервировано	0h

#### 2.2.4.1 Заголовок блока регистров управления ошибками ERR\_RPT\_BH (1000h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	EF_PTR	0h	Указатель на следующий блок в структуре данных	R
15:0	EF_ID	0007h	Тип расширенного блока регистров 0007 – блок управления ошибками	R

2.2.4.2 Регистр типа ошибки логического и транспортного уровней, LOG\_ERR\_DET (1008h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	Reserved	0h	Зарезервировано	R
27	L_ILL_TRANS	0h	Неверная транзакция. Разряд устанавливается в 1, когда принимается служебный пакет пакет (Type=8, hop_count=0) со следующими полями: • TTYPE = 0b0101 – 0b1111 • TT != 0b00/0b01	R/W0C
26:24	Reserved	0h	Зарезервировано	R
23	L_ILL_RESP	0h	Неверный отклик. Принят пакет “maintenance response”, с полем hop count =0.	R/W0C
22	L_UNSUP_TRANS	0h	Неподдерживаемая транзакция. Принят пакет “port-write” с полем hop count =0.	R/W0C
21:0	Reserved	0h	Зарезервировано	R

2.2.4.3 Регистр разрешения фиксации ошибок логического и транспортного уровней LOG\_ERR\_DET\_EN (100Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	Reserved	0h	Зарезервировано	R
27	ILL_TRANS_EN	0h	1 – ошибка L_ILL_TRANS фиксируется 0 – ошибка L_ILL_TRANS не фиксируется	R/W
26:24	Reserved	0h	Зарезервировано	R
23	ILL_RESP_EN	0h	1 – ошибка L_ILL_RESP фиксируется 0 – ошибка L_ILL_RESP не фиксируется	R/W
22	UNSUP_TRANS_EN	0h	1 – ошибка L_UNSUP_TRANS фиксируется 0 – ошибка L_UNSUP_TRANS не фиксируется	R/W
21:0	Reserved	0h	Зарезервировано	R

## 2.2.4.4 Регистр адреса ошибочного пакета LOG\_ERR\_ADDR (1014h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:24	Reserved	0h	Зарезервировано	R
23:3	ADDRESS	0h	Поле “address” ошибочного пакета	R/W
2	Reserved	0h	Зарезервировано	R
1	WDPTR	0h	Поле “wdptr” ошибочного пакета	R/W
0	Reserved	0h	Зарезервировано	R

## 2.2.4.5 Регистр ID источника ошибочного пакета LOG\_ERR\_DEVID (1018h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	Reserved	0h	Зарезервировано	R
15:8	MSB_SRC_ID	0h	Старший байт ID источника ошибочного пакета	R/W
7:0	SRC_ID	0h	Младший байт ID источника ошибочного пакета	R/W

## 2.2.4.6 Регистр типа ошибочного пакета LOG\_ERR\_CTRL\_INFO (101Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	FTYPE	0h	Поле “ftype” ошибочного пакета	R/W
27:24	TTYPE	0h	Поле “ttype” ошибочного пакета	R/W
23:0	Reserved	0h	Зарезервировано	R

## 2.2.4.7 Регистр ID приемника пакетов “port-write” PW\_DESTID (1028h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:24	PW_DSTID_MSB	0h	Старший байт ID приемника для пакетов “port-write”. Используется только в случае PW_LARGE_DSTID = 1	R/W
23:16	PW_DSTID_LSB	0h	Младший байт ID приемника для пакетов “port-write”	R/W
15	PW_LARGE_DSTID	0h	0 – пакеты “port-write” генерируются с 8-разрядным полем ID приемника.	R/W

			1 – пакеты “port-write” генерируются с 16-разрядным полем ID приемника	
14:0	Reserved	0h	Зарезервировано	R

#### 2.2.4.8 Регистр максимального времени нахождения пакета в коммутаторе PКТ\_TTL (102Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:15	TTL	0h	Максимальное время нахождения пакета в коммутаторе. При TTL == 0x0000 таймер отключен. Максимальное время нахождения пакетов в коммутаторе определяется по формуле: Время (нс) = 1230 * TTL. По истечении заданного времени пакет отбрасывается, взводится разряд OUTPUT_DROP в регистре PORTx_ERR_STAT соответствующего порта.	R/W
15:0	Reserved	0h	Зарезервировано	R

#### 2.2.4.9 Регистр типа обнаруженных ошибок порта x PORTx\_ERR\_DET (1040h, 1080h, 10c0h, 1100h, 1140h, 1180h, 11c0h, 1200 h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	IMP_SPEC_ERR	0h	Разряд взводится в 1 при следующих ошибках: <ul style="list-style-type: none"> <li>• принят пакет с зарезервированным значением в поле “tt” (10b или 11b);</li> <li>• значение счетчика повторных посылок пакета MAX_RETRY достигло порога MAX_RETRY_THRSH;</li> <li>• сработал таймер максимального времени нахождения пакета в коммутаторе;</li> <li>• ошибка четности при чтении из таблиц маршрутизации;</li> <li>• принят пакет с ID приемника, отсутствующем в таблице маршрутизации;</li> </ul>	R/WOC

			Сброс этого бита также сбрасывает: MAX_RETRY / TTL_EXPIRED / LUT_PAR_ERR / ILL_TRANS_ERR в регистре PORTx_INT_STAT	
30:24	Reserved	0h	Зарезервировано	R
23	CS_S_ERR	0h	Ошибка в S-бите контрольного символа	R/W0C
22	CS_ERR	0h	Ошибка в контрольном символе (несоответствие прямой и инверсной части)	R/W0C
21	CS_ILL_ID	0h	Получен контрольный символ с ошибочным полем "ackID".	R/W0C
20	CS_NOT_ACC	0h	Получен контрольный символ "packet-not-accepted"	R/W0C
19	PKT_ILL_ACK_ID	0h	Получен пакет с ошибочным полем "ackID"	R/W0C
18	PKT_CRC_ERR	0h	CRC ошибка в принятом пакете	R/W0C
17	PKT_ILL_SIZE	0h	Размер принятого пакета превышает 276 байт	R/W0C
16:6	Reserved	0h	Зарезервировано	R
5	LR_ACKID_ILL	0h	Получен контрольный символ "link-response" ссс ошибочным полем "ackID"	R/W0C
4	PROT_ERR	0h	Ошибка протокола. Получен непредвиденный контрольный символ или пакет.	R/W0C
3	FRAME_ERR	0h	Ошибка выравнивания сигнала Frame относительно тактового сигнала	R/W0C
2	DELIN_ERR	0h	Ошибка выравнивания сигнала Frame по 32 разрядам	R/W0C
1	CS_ACK_ILL	0h	Получен непредвиденный контрольный символ	R/W0C
0	LINK_TO	0h	Таймаут соединения (не получен подтверждающий контрольный символ).	R/W0C

#### 2.2.4.10 Регистр разрешения фиксации ошибок порта x PORTx\_RATE\_EN (1044h, 1084h, 10c4h, 1104h, 1144h, 1184h, 11c4h, 1204 h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	IMP_SPEC_ERR_EN	0h	Разрешение фиксирования ошибки IMP_SPEC_ERR: 1 – разрешено; 0 – запрещено.	R/W

30:24	Reserved	0h	Зарезервировано	R
23	CS_S_ERR_EN	0h	Разрешение фиксирования ошибки CS_S_ERR: 1 – разрешено; 0 – запрещено.	R/W
22	CS_ERR_EN	0h	Разрешение фиксирования ошибки CS_ERR: 1 – разрешено; 0 – запрещено.	R/W
21	CS_ILL_ID_EN	0h	Разрешение фиксирования ошибки CS_ILL_ID: 1 – разрешено; 0 – запрещено.	R/W
20	CS_NOT_ACC_EN	0h	Разрешение фиксирования ошибки CS_NOT_ACC: 1 – разрешено; 0 – запрещено.	R/W
19	PKT_ILL_ACK_ID_EN	0h	Разрешение фиксирования ошибки PKT_ILL_ACKID: 1 – разрешено; 0 – запрещено.	R/W
18	PKT_CRC_ERR_EN	0h	Разрешение фиксирования ошибки PKT_CRC_ERR: 1 – разрешено; 0 – запрещено.	R/W
17	PKT_ILL_SIZE_EN	0h	Разрешение фиксирования ошибки PKT_ILL_SIZE: 1 – разрешено; 0 – запрещено.	R/W
16:6	Reserved	0h	Зарезервировано	R
5	LR_ACKID_ILL_EN	0h	Разрешение фиксирования ошибки LR_ACKID_ILL: 1 – разрешено; 0 – запрещено.	R/W
4	PROT_ERR_EN	0h	Разрешение фиксирования ошибки PROT_ERR: 1 – разрешено; 0 – запрещено.	R/W
3	FRAME_ERR_EN	0h	Разрешение фиксирования ошибки FRAME_ERR: 1 – разрешено; 0 – запрещено.	R/W
2	DELIN_ERR_EN	0h	Разрешение фиксирования ошибки DELIN_ERR: 1 – разрешено; 0 – запрещено.	R/W
1	CS_ACK_ILL_EN	0h	Разрешение фиксирования ошибки CS_ACK_ILL: 1 – разрешено; 0 – запрещено.	R/W
0	LINK_TO_EN	0h	Разрешение фиксирования	R/W

			ошибки LINK_TO: 1 – разрешено; 0 – запрещено.	
--	--	--	---	--

2.2.4.11 Регистр атрибутов зафиксированной ошибки порта x  
PORTx\_ERR\_ATTR\_CAPT (1048h, 1088h, 10c8h, 1108h, 1148h, 1188h, 11c8h,  
1208 h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:30	INFO_TYPE	0h	Тип ошибки: 00b – пакет; 01b – контрольный символ; 10b – специфическое предложение; 11b – зарезервировано.	R/W
29	Reserved	0h	Зарезервировано	R
28:24	ERR_TYPE	0h	Разряд в регистре PORTx_ERR_DET, соответствующий зафиксированной ошибке: <ul style="list-style-type: none"> <li>• 00000b – разряд 31 (IMP_SPEC_ERR)</li> <li>• 00001b – разряд 30 (зарезервировано)</li> <li>• ...</li> <li>• 01000b – разряд 22 (CS_CRC_ERR)</li> <li>• 01001b – разряд 21 (CS_ILL_ID)</li> <li>• 01010b – разряд 20 (CS_NOT_ACC)</li> <li>• ...</li> </ul>	R/W
23:1	Reserved	0h	Зарезервировано	R
0	VAL_CAPT	0h	Разряд устанавливается в 1, когда в регистрах фиксации атрибутов ошибки (PORTx_ERR_ATTR_CAPT, PORTx_ERR_CAPT0, PORTx_ERR_CAPT1, PORTx_ERR_CAPT2, PORTx_ERR_CAPT3) сохраняются данные об ошибке. При установленном разряде повторная запись в указанные регистры невозможна. Разряд сбрасывается записью 0.	R/W0C

2.2.4.12 Регистр 0 состояния ошибки порта x PORTx\_ERR\_CAPT\_0 (104C, 108C, 10CC, 110C, 114C, 118C, 11CC, 120Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	CAPT_0	0h	Зафиксированный ошибочный контрольный символ или байты 0–3 заголовка ошибочного пакета.	R/W

2.2.4.13 Регистр 1 состояния ошибки порта x PORTx\_ERR\_CAPT\_1 (1050, 1090, 10D0, 1110, 1150, 1190, 11D0, 1210h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	CAPT_1	0h	Байты 4–7 заголовка ошибочного пакета .	R/W

2.2.4.14 Регистр 2 состояния ошибки порта x PORTx\_ERR\_CAPT\_2 (1054, 1094, 10D4, 1114, 1154, 1194, 11D4, 120Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	CAPT_2	0h	Байты 8–11 заголовка ошибочного пакета.	R/W

2.2.4.15 Регистр 3 состояния ошибки порта x PORTx\_ERR\_CAPT\_3 (1058, 1098, 10D8, 1118, 1158, 1198, 11D8, 1218h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	CAPT_3	0h	Байты 12–15 заголовка ошибочного пакета.	R/W

2.2.4.16 Регистр частоты ошибок передачи порта x PORTx\_ERR\_RATE (1068, 10A8, 10E8, 1128, 1168, 11A8, 11E8, 1228h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:24	ERR_RB	8h	Период времени, через который значение счетчика ошибок ERR_RATE_CNT уменьшается на единицу: <ul style="list-style-type: none"> <li>• 00h – не изменяется;</li> <li>• 01h – 1.31 мс;</li> </ul>	R/W

			<ul style="list-style-type: none"> <li>• 02h – 10.48 мс;</li> <li>• 04h – 83.88 мс;</li> <li>• 08h – 1.342 с;</li> <li>• 10h – 10.74 с;</li> <li>• 20h – 86 с;</li> <li>• 40h – 374 с;</li> <li>• 80h – 10995 с;</li> <li>• FFh – 1.28 мкс; (для отладки)</li> </ul>	
23:18	Reserved	0h	Зарезервировано	R
17:16	ERR_RR	0h	Разряды определяют, на сколько значение счетчика ERR_RATE_CNT может превысить значение ERR_RFT: 00b – на 2; 01b – на 4; 10b – на 16; 11b – без ограничения	R/W
15:8	PEAK	0h	Максимальное значение, достигнутое счетчиком ERR_RATE_CNT.	R/W
7:0	ERR_RATE_CNT	0h	Частота возникновения ошибок в данном порту (число ошибок с учетом декремента с частотой ERR_RB).	R/W

2.2.4.17 Регистр пороговых значений счетчиков ошибок порта x – PORTx\_ERR\_THRSH (106C, 10AC, 10EC, 112C, 116C, 11AC, 11EC, 122Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:24	ERR_RFT	FFh	Определяет значение счетчика ERR_RATE_CNT, при котором вырабатывается сообщение о возможной неработоспособности канала: 00b – сообщение не вырабатывается.	R/W
23:16	ERR_RDT	FFh	Определяет значение счетчика ERR_RATE_CNT, при котором вырабатывается сообщение об ухудшении характеристик канала: 00b – сообщение не вырабатывается.	R/W
15:0	Reserved	0h	Зарезервировано	R

### 2.2.5 Специальные регистры портов

Специальные регистры портов (0x10000 – 0x11FFC).

Все порты коммутатора имеют одинаковый набор специальных регистров. В таблице 4.7 описан блок специальных регистров одного порта. Смещение в таблице дано относительно базового адреса специальных регистров конкретного порта.

Таблица 2.7 – Специальные регистры порта

Смещение	Название регистра	Описание	Начальное состояние
00h	Px_PORT_CONFIG	Регистр конфигурации порта	10000000h
04h	Px_CS_INT_STATUS	Регистр состояния прерываний от контрольных символов	00000000h
08h	Px_TRN_STAT	Регистр состояния процесса начальной настройки	00000000h
0Ch	Px_RIO_WM	Регистр порогов входных буферов	00010203h
10h	Px_BUF_STAT	Регистр состояния входных и выходных буферов.	00000000h
70h	Px_ROUTE_CFG_DSTID	Регистр ID приемника для настройки таблицы маршрутизации порта	00000000h
74h	Px_ROUTE_CFG_PORT	Регистр порта коммутатора для настройки таблицы маршрутизации порта	не определено
78h	Px_ROUTE_BASE	Регистр выбора диапазона ID приемников	00000000h
80h	Px_PORT_CTL	Регистр управления порта	00000000h
84h	Px_LUT_PAR_ERR_INFO	Регистр состояния ошибки четности таблицы маршрутизации.	00000000h
90h	Px_INT_STAT	Регистр состояния прерываний	00000000h
94h	Px_INT_GEN	Регистр программной установки прерываний	00000000h
A0h	Px_TX_Q_D_THD	Регистр порога очереди выходных буферов.	00000000h
A4h	Px_TX_CONG_CTR	Регистр состояния очереди выходных буферов.	00000000h
A8h	Px_TX_Q_PERIOD	Регистр счетчика времени нахождения выходного блока перегруженном состоянии.	00000000h
B0h	Px_RX_Q_D_THD	Регистр порога очереди входных буферов.	00000000h
B4h	Px_RX_CONG_CTR	Регистр состояния очереди входных буферов.	00000000h
B8h	Px_RX_Q_PERIOD	Регистр счетчика времени нахождения входного блока в перегруженном состоянии.	00000000h
C0h	Px_INB_REORDER	Регистр счетчика перестановок очереди входного блока	00000000h
C4h	Px_SEND_MCS	Регистр управления отправкой контрольного символа “multicast-event”	00000000h

D0h	Px_CFG_PS0n1_CTR	Регистр управления счетчиками событий 0 и 1.	00000000h
D4h	Px_CFG_PS2n3_CTR	Регистр управления счетчиками событий 2 и 3.	00000000h
D8h	Px_CFG_PS4n5_CTR	Регистр управления счетчиками событий 4 и 5.	00000000h
E0h	Px_PS0_CNT	Счетчик событий 0	00000000h
E4h	Px_PS1_CNT	Счетчик событий 1	00000000h
E8h	Px_PS2_CNT	Счетчик событий 2	00000000h
ECh	Px_PS3_CNT	Счетчик событий 3	00000000h
F0h	Px_PS4_CNT	Счетчик событий 4	00000000h
F4h	Px_PS5_CNT	Счетчик событий 5	00000000h
100h	Px_PLL_CNTL	Регистр управления блоками PLL.	00000000h
104h	Px_DPA_CTRL	Регистр управления схемой DPA	00000000h

### 2.2.5.1 Регистр конфигурации порта Px\_PORT\_CONFIG (Базовый адрес + 00h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	LINK_T_DIS	0h	Запрещение тайма-аута соединения: 0 – тайм-аут разрешен; 1 – тайм-аут запрещен.	R/W
30:29	Reserved	0h	Зарезервировано	R
28	CRC_CHK_EN	1h	Разрешение проверки CRC во входящих пакетах: 0 – CRC не проверяется; 1 – CRC проверяется.	R/W
27	PW_DIS	0h	Запрещение отправки пакета “port-write” 0 – разрешена отправка; 1 – запрещена отправка.	R/W
26	Reserved	0h	Зарезервировано.	R
25	SELF_RST	1h	Разрешение сброса микросхемы. После принятия четырех последовательностей управляющих символов “reset”, устройство или сбрасывается, или выставляет прерывание. 0 – сброс запрещен, выставляется прерывание (если установлен разряд RCS_INT_EN); 1 – сброс разрешен.	R/W
24	LUT_512	1h	Режим работы таблиц маршрутизации: 0 – глобальная таблица (64L ID, сгруппированы по 256 элементов). 1 – локальная таблица на 512 элементов.	R/W

27:2	Reserved	0h	Зарезервировано.	R
1	MCS_INT_EN	0h	Разрешение прерывания по приходу управляющего символа “multicast-event”. 0 – прерывание запрещено; 1 – прерывание разрешено.	R/W
0	RCS_INT_EN	0h	Разрешение прерывания по приходу управляющих символов “reset”. 0 – прерывание запрещено; 1 – прерывание разрешено.	R/W

### 2.2.5.2 Регистр состояния прерываний от контрольных символов P<sub>x</sub>\_CS\_INT\_STATUS (Базовый адрес + 04h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:2	Reserved	0h	Зарезервировано	R
1	MCS_INT	0h	Разряд устанавливается в 1 при приеме контрольного символа “multicast-event”. Сбрасывается записью 1.	R/W1C
0	RCS_INT	0h	Разряд устанавливается в 1 при приеме четырех последовательностей контрольных символов “reset”. Сбрасывается записью 1.	R/W1C

### 2.2.5.3 Регистр состояния процесса начальной настройки P<sub>x</sub>\_TRN\_STAT (Базовый адрес + 08h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:23	TRN_CMPL	0h	Состояние начальной настройки на входных линиях rd и rframe. Разряды 0:7 соответствуют линиям rd[0:7], 8 – линии rframe. 0 – настройка не завершена; 1 – настройка завершена	R
22:12	Reserved	0h	Зарезервировано	R
11	LOCK_DET	0h	Состояние синхронизации входной схемы PLL и входного тактового сигнала rclk. 0 – синхронизация не завершена; 1 – синхронизация завершена	R/W
10	Reserved	0h	Зарезервировано	R

9	NO_PORT	0h	1 – на входе линии rclk в течение 50нс не было изменений сигнала 0 – на входную линию rclk подается тактовый сигнал	R/W
8:0	Reserved	0h	Зарезервировано	R

#### 2.2.5.4 Регистр порогов входных буферов Rx\_RIO\_WM (Базовый адрес + 0Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:19	Reserved	0h	Зарезервировано	R
18:16	PRIO2WM	1	Пакеты с приоритетом 2 будут приняты, если число свободных буферов больше, чем значение, записанное в этом поле. Это значение должно быть меньше, чем значение, записанное в поле PRIO1WM/	R/W
15:11	Reserved	0h	Зарезервировано.	R
10:8	PRIO1WM	2h	Пакеты с приоритетом 1 будут приняты, если число свободных буферов больше, чем значение, записанное в этом поле. Это значение должно быть меньше, чем значение, записанное в поле PRIO0WM.	R/W
7:3	Reserved	0h	Зарезервировано	R
2:0	PRIO0WM	3h	Пакеты с приоритетом 2 будут приняты, если число свободных буферов больше, чем значение, записанное в этом поле. Это значение должно быть меньше, чем 7.	R/W

#### 2.2.5.5 Регистр состояния входных и выходных буферов Rx\_BUF\_STAT (Базовый адрес + 10h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:12	Reserved	0h	Зарезервировано	R
11:8	OUTB_STAT	0h	Число занятых выходных буферов	R/W
7:4	Reserved	0h	Зарезервировано	R
3:0	INB_STAT	0h	Число занятых входных буферов	R/W

2.2.5.6 Регистр ID приемника для настройки таблицы маршрутизации порта P<sub>x</sub>\_ROUTE\_CFG\_DESTID (Базовый адрес + 70h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	AUTO_INC	0h	Разрешает автоматическое увеличение на 1 значения поля CFG_DEST_ID при чтении или записи регистра ROUTE_CFG_PORT. 0 – инкремент не производится; 1 – инкремент производится.	R/W
30	PAR_INVERT	0h	Разрешает инвертирование разряда четности при записи в таблицу маршрутизации для генерации прерывания и проверки ПО. 0 – нормальный режим работы; 1 – разряд четности инвертируется.	R/W
29:16	Reserved	0h	Зарезервировано.	R
15:8	LRG_CFG_DEST_ID	0h	Старший байт ID приемника, используемый как адрес в таблице маршрутизации при обращении к ней через регистр ROUTE_CFG_PORT	R/W
7:0	CFG_DEST_ID	0h	ID приемника, используемый как адрес в таблице маршрутизации при обращении к ней через регистр ROUTE_CFG_PORT.	R/W

2.2.5.7 Регистр порта коммутатора для настройки таблицы маршрутизации порта P<sub>x</sub>\_ROUTE\_CFG\_PORT (Базовый адрес + 74h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:8	Reserved	0h	Зарезервировано	R
7:0	PORT	не определено	Номер порта для передачи пакетов с ID приемника, указанным в регистре ROUTE_CFG_DESTID.	R/W

2.2.5.8 Регистр выбора диапазона ID P<sub>x</sub>\_ROUTE\_BASE (Базовый адрес + 78h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:24	BASE	0h	Если старший байт ID приемника совпадает со значением в данном поле, младший байт ID используется как индекс в локальной таблице маршрутизации, в противном случае старшие 8 разрядов ID используются как индекс в глобальной таблице маршрутизации.	R/W
23:0	Reserved	0h	Зарезервировано	R

2.2.5.9 Регистр P<sub>x</sub>\_PORT\_CTL (Базовый адрес + 80h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:27	Reserved	0h	Зарезервировано	R
26	FORCE_REINIT	0h	Форсирует процесс переинициализации связи	W
25:20	Reserved	0h	Зарезервировано	R
19	PORT_ERR_EN	0h	Прерывания выставляются в случае ошибки порта (разряд PORT_ERR в регистре PORT <sub>x</sub> _ERR_STAT установлен в 1)	R/W
18	Reserved	0h	Зарезервировано	R
17	LINK_INIT_NOTIFICATION_EN	0h	Разрешение прерывания по окончанию процесса начальной инициализации порта	R/W
16	LUT_PAR_ERR_EN	0h	Разрешение выставления прерывания при обнаружении ошибки четности таблицы маршрутизации	R/W
15:8	MAX_RETRY_THRSH	0h	Разряды определяют максимальное число последовательных повторных пересылок пакета, после которого выставляется сигнал ошибки MAX_RETRY_ERR. 00h – запрещено выставление сигнала ошибки	R/W
7	ILL_TRAN_ERR	0h	Разрешение прерывания по ошибке ILL_TRAN_ERR 1 – прерывание разрешено; 0 – прерывание запрещено.	R/W

6	IRQ_EN	0h	Разрешение выставления прерываний на линию INT_N: 1 – прерывания разрешены; 0 – прерывания запрещены.	R/W
5	MAX_RETRY_EN	0h	Разрешение прерывания по достижению счетчиком последовательных повторных посылок пакета порогового значения MAX_RETRY_THRSH в регистре PORT_CTRL: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
4	OUTB_DEPTH_EN	0h	Разрешение прерывания по достижению счетчиком переполнений выходного блока CONG_CTR порогового значения CONG_THRSH в регистре TX_CONG_CTR: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
3	INB_DEPTH_EN	0h	Разрешение прерывания по достижению счетчиком переполнений входного блока CONG_CTR порогового значения CONG_THRSH в регистре RX_CONG_CTR: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
2	INB_RDR_EN	0h	Разрешение прерывания по достижению счетчиком перестановок RDR_CNT порогового значения RDR_THRSH в регистре INB_REORDER: 1 – прерывание разрешено; 0 – прерывание запрещено.	R/W
1	TTL_EXPIRED_EN	0h	Разрешение прерывания по истечению максимального времени нахождения пакета в коммутаторе: 1 – прерывание разрешено; 0 – прерывание запрещено.	R/W
0	Reserved	0h	Зарезервировано.	R

#### 2.2.5.10 Регистр состояния ошибки четности таблицы маршрутизации Rx\_LUT\_PAR\_ERR\_INFO (Базовый адрес + 84h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:24	DSTID_MSB	0h	Старший байт 16–разрядного ID приемника пакета – источ-	R/W

			ника ошибки. Действителен при условии, что в поле LG_DSTID установлена 1.	
23:16	DSTID_LSB	0h	Младший байт ID приемника пакета – источника ошибки.	R/W
15	LG_DSTID	0h	Разряд выставляется в 1, когда в ошибочном пакете поле “t” равно 01b.	R/W
14:8	Reserved	0h	Зарезервировано	R
7	PAR	0h	Разряд четности, полученный при обращении к таблице маршрутизации.	R/W
6	LUT_VLD	0h	0 – элемент таблицы, соответствующий ошибочному ID не заполнен. Значение в поле PORT_NUM в этом случае должно быть 0xF. 1 – элемент таблицы, соответствующий ошибочному ID заполнен.	R/W
5:4	Reserved	0h	Зарезервировано.	R
3:0	PORT_NUM	0h	Номер порта, полученные при обращении к таблице.	R/W

#### 2.2.5.11 Регистр состояния прерываний P<sub>x</sub>\_INT\_STAT (Базовый адрес + 90h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:18	Reserved	0h	Зарезервировано	R
17	LINK_INIT_NOTIFICATION	0h	Прерывание по окончании процесса начальной инициализации порта: 1–прерывание выставлено; 0–прерывание отсутствует. Разряд сбрасывается записью 1.	R/W1C
16	LUT_PAR_ERR	0h	Прерывание при обнаружении ошибки четности таблицы маршрутизации: 1–прерывание выставлено; 0–прерывание отсутствует. Разряд сбрасывается записью 1 или при сбросе всех разрядов регистра PORT <sub>x</sub> _ERR_DET.	R/W1C
15:8	Reserved	0h	Зарезервировано	R
7	ILL_TRANS_ERR	0h	Прерывание при приеме ошибочного пакета. Выставляется в следующих случаях:	R/W1C

			<p>– полученный пакет в поле “tt” содержит зарезервированное значение;</p> <p>– ID приемника пакета не прописано в таблице маршрутизации.</p> <p>1 – прерывание выставлено. 0 – прерывание отсутствует.</p>	
6	IRQ_ERR	0h	<p>Выставляется в 1, когда в регистре INT_STAT зафиксированы ошибки. Если разряд IRQ_EN регистра PORT_CTL установлен в 1, на линию INT_n выставляется прерывание.</p> <p>Разряд сбрасывается после сброса всех разрядов регистра INT_STAT.</p>	R
5	MAX_RETRY	0h	<p>Прерывания по достижению счетчиком последовательных повторных посылок пакета порогового значения MAX_RETRY_THRSH в регистре PORT_CTRL:</p> <p>1 – прерывание выставлено; 0 – прерывание отсутствует;</p> <p>Разряд сбрасывается записью 1 или при сбросе всех разрядов регистра PORTx_ERR_DET.</p>	R/W1C
4	OUT_DEPTH	0h	<p>Прерывания по достижению счетчиком переполнений выходного блока CONG_CTR порогового значения CONG_THRSH в регистре TX_CONG_CTR</p> <p>1 – прерывание выставлено; 0 – прерывание отсутствует;</p> <p>Разряд сбрасывается записью 1, сброс разряда также очищает счетчик TX_CONG_CNTR .</p>	R/W1C
3	INB_DEPTH	0h	<p>Прерывания по достижению счетчиком переполнений входного блока CONG_CTR порогового значения CONG_THRSH в регистре RX_CONG_CTR</p> <p>1 – прерывание выставлено; 0 – прерывание отсутствует;</p> <p>Разряд сбрасывается записью 1, сброс разряда также очищает счетчик RX_CONG_CNTR .</p>	R/W1C
2	INB_RDR	0h	<p>Прерывания по достижению счетчиком перестановок RDR_CNT порогового значения</p>	R/W1C

			RDR_THRSH в регистре INB_REORDER: 1 – прерывание выставлено; 0 – прерывание отсутствует; Разряд сбрасывается записью 1, сброс разряда также очищает счетчи INB_RDR_CNT	
1	TTL_EXPIRED	0h	прерывания по истечению мак- симального времени находже- ния пакета в коммутаторе: 1 – прерывание выставлено; 0 – прерывание отсутствует; Разряд сбрасывается записью 1 или сбросом IMP_SPEC_ERR регистра PORTx_ERR_DET	R/W1C
0	Reserved	0h	Зарезервировано	R

### 2.2.5.12 Регистр программной установки прерываний P<sub>x</sub>\_INT\_GEN (Базо- вый адрес + 94h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:18	Reserved	0h	Зарезервированы	R
17	LINK_INIT_NOTI- FICATION_GEN	0h	Запись 1 выставляет прерыва- ние LINK_INIT_NOTIFICATION в регистре INT_STAT. Считыва- ется всегда ноль.	R/W1S
16	LUT_PAR_ERR_ GEN	0h	Запись 1 выставляет прерыва- ние LUT_PAR_ERR в регистре INT_STAT. Считывается все- гда ноль.	R/W1S
15:8	Reserved	0h	Зарезервировано	R
7	ILL_TRANS_ GEN	0h	Запись 1 выставляет прерыва- ние ILL_TRANS_ERR в реги- стре INT_STAT. Считывается всегда ноль.	R/W1S
6	Reserved	0h	Зарезервировано	R/W1S
5	MAX_RETRY_ GEN	0h	Запись 1 выставляет прерыва- ние MAX_RETRY в регистре INT_STAT. Считывается все- гда ноль.	R/W1S
4	OUT_DEPTH_ GEN	0h	Запись 1 выставляет прерыва- ние OUT_DEPTH в регистре INT_STAT. Считывается все- гда ноль.	R/W1S
3	INB_DEPTH_ GEN	0h	Запись 1 выставляет прерыва- ние INB_DEPTH в регистре INT_STAT. Считывается все- гда ноль.	R/W1S

2	INB_RDR_GEN	0h	Запись 1 выставляет прерывание INB_RDR в регистре INT_STAT. Считывается всегда ноль.	R/WIS
1	TTL_EXPIRED_GEN	0h	Запись 1 выставляет прерывание TTL_EXPIRED в регистре INT_STAT. Считывается всегда ноль.	R/WIS
0	Reserved	0h	Зарезервировано	R

### 2.2.5.13 Регистр порога очереди выходных буферов Rx\_TX\_Q\_D\_THD (базовый адрес + A0h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	TX_CONG_PERIOD	0h	Разряды определяют максимальный промежуток времени (в тактах, один такт – 4нс) нахождения выходного блока в перегруженном состоянии, по истечению которого счетчик TX_CONG_PERIOD_CTR увеличивается на 1. Блок находится в перегруженном состоянии, если число пакетов в буферах равно или превышает значение поля TX_DEPTH. 0000h – счетчик TX_CONG_PERIOD_CTR отключен. 0001h – инкремент счетчика каждый такт; FFFFh – инкремент счетчика каждые 64К тактов;	R/W
15:12	TX_DEPTH	0h	Разряды используются для определения состояния перегруженности выходного блока. 0h – счетчик TX_CONG_CTR отключен.	R/W
11	Reserved	0h	Зарезервировано	R
10:0	LEAK_RT	0h	Значение определяет частоту, с какой будет производиться автоматический декремент счетчиков TX_CONG_CTR и RX_CONG_CTR: 0 – декремент отключен; 1 – декремент через каждые 1.28 мкс; 2 – декремент через каждые 2*1.28=2.56мкс;	R/W

		...	
		2047 – декремент через каждые 2047*1.28 мкс=2.62ms.	

#### 2.2.5.14 Регистр состояния очереди выходных буферов Rx\_TX\_CONG\_CTR (базовый адрес + A4h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	TX_CONG_CTR	0h	Подсчет количества ситуаций, когда в выходной блок поступает пакет в то время, как блок находится в перегруженном состоянии (число пакетов в буферах равно или превышает значение поля TX_DEPTH). Счетчик считает до FFFFh и не меняет этого значения до сброса. Счетчик сбрасывается при записи 1 в разряд OUTB_DEPTH регистра INT_STAT.	R/W
15:0	TX_CONG_THD	0h	Пороговое значение, по достижении которого счетчиком TX_CONG_CTR выставляется прерывание OUTB_DEPTH. Счетчик сбрасывается при записи 1 в разряд OUTB_DEPTH регистра INT_STAT. 0000h – счетчик TX_CONG_CTR отключен.	R/W

#### 2.2.5.15 Регистр времени нахождения выходного блока в перегруженном состоянии Rx\_TX\_Q\_PERIOD (базовый адрес+ A8h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	TX_CONG_PERIOD_CTR	0h	Значение определяет полное время нахождения выходного блока в перегруженном состоянии. Счетчик инкрементируется каждые N тактов (определяется значением TX_CONG_PERIOD), когда выходной блок находится в перегруженном состоянии. Счетчик считает до FFFFh и не меняет этого значения до сброса. Сбрасывается чтением.	R/W

2.2.5.16 Регистр порога очереди входных буферов Rx\_RX\_Q\_D\_THD (базовый адрес + B0h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	RX_CONG_PERIOD	0h	Разряды определяют максимальный промежуток времени (в тактах, один такт – 4нс) нахождения входного блока в перегруженном состоянии, по истечению которого счетчик RX_CONG_PERIO_CTR увеличивается на 1. Блок находится в перегруженном состоянии, если число пакетов в буферах равно или превышает значение поля RX_DEPTH. 0000h – счетчик RX_CONG_PERIOD_CTR отключен. 0001h – инкремент счетчика каждый такт; FFFFh – инкремент счетчика каждые 64К тактов;	R/W
15:12	RX_DEPTH	0h	Разряды используются для определения состояния перегруженности входного блока. 0h – счетчик RX_CONG_CTR отключен.	R/W
11:0	Reserved	0h	Зарезервировано.	R

2.2.5.17 Регистр состояния очереди входных буферов Rx\_RX\_CONG\_CTR (базовый адрес + B4h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	RX_CONG_CTR	0h	Подсчет количества ситуаций, когда во входной блок поступает пакет в то время, как блок находится в перегруженном состоянии (число пакетов в буферах равно или превышает значение поля RX_DEPTH). Счетчик считает до FFFFh и не меняет этого значения до сброса. Счетчик сбрасывается при записи 1 в разряд INB_DEPTH регистра INT_STAT.	R/W

15:0	RX_CONG_THD	0h	Пороговое значение, по достижении которого счетчиком RX_CONG_CTR выставляется прерывание INB_DEPTH. Счетчик сбрасывается при записи 1 в разряд INB_DEPTH регистра INT_STAT. 0000h – счетчик RX_CONG_CTR отключен.	R/W
------	-------------	----	--	-----

#### 2.2.5.18 Регистр времени нахождения входного блока в перегруженном состоянии Rx\_RX\_Q\_PERIOD (базовый адрес+ B8h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	RX_CONG_PERIOD_CTR	0h	Значение определяет полное время нахождения входного блока в перегруженном состоянии. Счетчик инкрементируется каждые N тактов (определяется значением RX_CONG_PERIOD), когда входной блок находится в перегруженном состоянии. Счетчик считает до FFFFh и не меняет этого значения до сброса. Сбрасывается чтением.	R/W

#### 2.2.5.19 Регистр счетчика перестановок очереди входного блока Rx\_INB\_REORDER (базовый адрес + C0h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:16	RDR_CTR	0h	Счетчик перестановок в очереди входного блока. По достижении FFFFh, счетчик сохраняет это значение до сброса. Счетчик сбрасывается при записи единицы в статусный бит INB_REORDER в регистре INT_STAT.	R/W
15:0	RDR_THD	FFFFh	Разряды определяют пороговое значение счетчика перестановок RDR_CTR, при достижении которого выставляется прерывание INB_REORDER в регистре INT_STAT. Установка значения THD в 0 отключает счетчик RDR_CTR.	R/W

2.2.5.20 Регистр управления отправкой контрольного символа “multicast–event” P<sub>x</sub>\_SEND\_MCS (базовый адрес + C4h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:1	Reserved	0h	Зарезервировано	R
0	SEND	0h	Запись 1 вызывает отправку контрольного символа “multicast–event”.	R/WIS

2.2.5.21 Регистр управления счетчиками событий 0 и 1 P<sub>x</sub>\_CFG\_PS0n1\_CTR (базовый адрес + D0h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	PS0_PRIО3	0h	Разрешение подсчета счетчиком PS0_CTR пакетов с приоритетом 3: 0 – счетчик PS0_CTR не считает пакеты с приоритетом 3; 1 – счетчик PS0_CTR считает пакеты с приоритетом 3; При PS0_PRIО[0..3] установленных в ноль регистр PS0_CTR не активирован.	R/W
30	PS0_PRIО2	0h	Разрешение подсчета счетчиком PS0_CTR пакетов с приоритетом 2: 0 – счетчик PS0_CTR не считает пакеты с приоритетом 2; 1 – счетчик PS0_CTR считает пакеты с приоритетом 2; При PS0_PRIО[0..3] установленных в ноль регистр PS0_CTR не активирован.	R/W
29	PS0_PRIО1	0h	Разрешение подсчета счетчиком PS0_CTR пакетов с приоритетом 1: 0 – счетчик PS0_CTR не считает пакеты с приоритетом 1; 1 – счетчик PS0_CTR считает пакеты с приоритетом 1; При PS0_PRIО[0..3] установленных в ноль регистр PS0_CTR не активирован.	R/W
28	PS0_PRIО0	0h	Разрешение подсчета счетчиком PS0_CTR пакетов с приоритетом 0:	R/W

			0 – счетчик PS0_CTR не считает пакеты с приоритетом 0; 1 – счетчик PS0_CTR считает пакеты с приоритетом 0; При PS0_PRIO[0..3] установленных в ноль регистр PS0_CTR не активирован.	
27:5	Reserved	0h	Зарезервировано	R
24	PS0_DIR	0h	1 – счетчик PS0_CTR считает исходящие пакеты/контрольные символы; 0 – счетчик PS0_CTR считает входящие пакеты/контрольные символы;	R/W
23:19	Reserved	0h	Зарезервировано	R
18:16	PS0_TYPE	0h	Разряды определяют тип информации, регистрируемой счетчиком PS0_CTR: 000b – только пакеты–запроса. Пакеты типа 8 (“maintenance”) исключаются. 001b – все пакеты; 010b – контрольные символы “retry”; 011b – все контрольные символы (исключая “retry”); 100b – 32–разрядные слова пакета (включая заголовки);	R/W
15	PS1_PRIO3	0h	Разрешение подсчета счетчиком PS1_CTR пакетов с приоритетом 3: 0 – счетчик PS1_CTR не считает пакеты с приоритетом 3; 1 – счетчик PS1_CTR считает пакеты с приоритетом 3; При PS1_PRIO[0..3] установленных в ноль регистр PS1_CTR не активирован;	R/W
14	PS1_PRIO2	0h	Разрешение подсчета счетчиком PS1_CTR пакетов с приоритетом 2: 0 – счетчик PS1_CTR не считает пакеты с приоритетом 2; 1 – счетчик PS1_CTR считает пакеты с приоритетом 2; При PS1_PRIO[0..3] установленных в ноль регистр PS1_CTR не активирован;	R/W
13	PS1_PRIO1	0h	Разрешение подсчета счетчиком PS1_CTR пакетов с приоритетом 1: 0 – счетчик PS1_CTR не считает	R/W

			пакеты с приоритетом 1; 1 – счетчик PS1_CTR считает пакеты с приоритетом 1; При PS1_PRIO[0..3] установленных в ноль регистр PS1_CTR не активирован;	
12	PS1_PRIO0	0h	Разрешение подсчета счетчиком PS1_CTR пакетов с приоритетом 0: 0 – счетчик PS1_CTR не считает пакеты с приоритетом 0; 1 – счетчик PS1_CTR считает пакеты с приоритетом 0; При PS1_PRIO[0..3] установленных в ноль регистр PS1_CTR не активирован;	R/W
11:9	Reserved	0h	Зарезервировано	R/W
8	PS1_DIR	0h	1 – счетчик PS1_CTR считает исходящие пакеты/контрольные символы; 0 – счетчик PS1_CTR считает входящие пакеты/контрольные символы;	R/W
7:3	Reserved	0h	Зарезервировано	R
2:0	PS1_TYPE	0h	Разряды определяют тип информации, регистрируемой счетчиком PS1_CTR: 000b – только пакеты-запроса. Пакеты типа 8 (“maintenance”) исключаются. 001b – все пакеты; 010b – контрольные символы “retry”; 011b – все контрольные символы (исключая “retry”); 100b – 32-разрядные слова пакета (включая заголовок);	R/W

2.2.5.22 Регистр управления счетчиками событий 2 и 3  
Px\_CFG\_PS2n3\_CTR (базовый адрес + D4h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	PS2_PRI03	0h	Разрешение подсчета счетчиком PS2_CTR пакетов с приоритетом 3: 0 – счетчик PS2_CTR не считает пакеты с приоритетом 3; 1 – счетчик PS2_CTR считает пакеты с приоритетом 3; При PS2_PRI0[0..3] установленных в ноль регистр PS2_CTR не активирован;	R/W
30	PS2_PRI02	0h	Разрешение подсчета счетчиком PS2_CTR пакетов с приоритетом 2: 0 – счетчик PS2_CTR не считает пакеты с приоритетом 2; 1 – счетчик PS2_CTR считает пакеты с приоритетом 2; При PS2_PRI0[0..3] установленных в ноль регистр PS2_CTR не активирован;	R/W
29	PS2_PRI01	0h	Разрешение подсчета счетчиком PS2_CTR пакетов с приоритетом 1: 0 – счетчик PS2_CTR не считает пакеты с приоритетом 1; 1 – счетчик PS2_CTR считает пакеты с приоритетом 1; При PS2_PRI0[0..3] установленных в ноль регистр PS2_CTR не активирован;	R/W
28	PS2_PRI00	0h	Разрешение подсчета счетчиком PS2_CTR пакетов с приоритетом 0: 0 – счетчик PS2_CTR не считает пакеты с приоритетом 0; 1 – счетчик PS2_CTR считает пакеты с приоритетом 0; При PS2_PRI0[0..3] установленных в ноль регистр PS2_CTR не активирован;	R/W
27:25	Reserved	0h	Зарезервировано	R
24	PS2_DIR	0h	1 – счетчик PS2_CTR считает исходящие пакеты/контрольные символы;	R/W

			0 – счетчик PS2_CTR считает входящие пакеты/контрольные символы;	
23:19	Reserved	0h		R
18:16	PS2_TYPE	0h	Разряды определяют тип информации, регистрируемой счетчиком PS2_CTR: 000b – только пакеты–запросы. Пакеты типа 8 (“maintenance”) исключаются. 001b – все пакеты; 010b – контрольные символы “retry”; 011b – все контрольные символы (исключая “retry”); 100b – 32–разрядные слова пакета (включая заголовок);	R/W
15	PS3_PRIO3	0h	Разрешение подсчета счетчиком PS3_CTR пакетов с приоритетом 3: 0 – счетчик PS3_CTR не считает пакеты с приоритетом 3; 1 – счетчик PS3_CTR считает пакеты с приоритетом 3; При PS3_PRIO[0..3] установленных в ноль регистр PS3_CTR не активирован;	R/W
14	PS3_PRIO2	0h	Разрешение подсчета счетчиком PS3_CTR пакетов с приоритетом 2: 0 – счетчик PS3_CTR не считает пакеты с приоритетом 2; 1 – счетчик PS3_CTR считает пакеты с приоритетом 2; При PS3_PRIO[0..3] установленных в ноль регистр PS3_CTR не активирован;	R/W
13	PS3_PRIO1	0h	Разрешение подсчета счетчиком PS3_CTR пакетов с приоритетом 1: 0 – счетчик PS3_CTR не считает пакеты с приоритетом 1; 1 – счетчик PS3_CTR считает пакеты с приоритетом 1; При PS3_PRIO[0..3] установленных в ноль регистр PS3_CTR не активирован;	R/W
12	PS3_PRIO0	0h	Разрешение подсчета счетчиком PS3_CTR пакетов с приоритетом 0: 0 – счетчик PS3_CTR не считает пакеты с приоритетом 0;	R/W

			1 – счетчик PS3_CTR считает пакеты с приоритетом 0; При PS3_PRIO[0..3] установленных в ноль регистр PS3_CTR не активирован;	
11:9	Reserved	0h	Зарезервировано	R
8	PS3_DIR	0h	1 – счетчик PS3_CTR считает исходящие пакеты/контрольные символы; 0 – счетчик PS3_CTR считает входящие пакеты/контрольные символы;	R/W
7:3	Reserved	0h	Зарезервировано	R
2:0	PS3_TYPE	0h	Разряды определяют тип информации, регистрируемой счетчиком PS3_CTR: 000b – только пакеты–запроса. Пакеты типа 8 (“maintenance”) исключаются. 001b – все пакеты; 010b – контрольные символы “retry”; 011b – все контрольные символы (исключая “retry”); 100b – 32–разрядные слова пакета (включая заголовок);	R/W

### 2.2.5.23 Регистр управления счетчиками событий 4 и 5 Px\_CFG\_PS4n5\_CTR (базовый адрес + D8h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	PS4_PRIO3	0h	Разрешение подсчета счетчиком PS4_CTR пакетов с приоритетом 3: 0 – счетчик PS4_CTR не считает пакеты с приоритетом 3; 1 – счетчик PS4_CTR считает пакеты с приоритетом 3; При PS4_PRIO[0..3] установленных в ноль регистр PS4_CTR не активирован;	R/W
30	PS4_PRIO2	0h	Разрешение подсчета счетчиком PS4_CTR пакетов с приоритетом 2: 0 – счетчик PS4_CTR не считает пакеты с приоритетом 2; 1 – счетчик PS4_CTR считает пакеты с приоритетом 2; При PS4_PRIO[0..3] установ-	R/W

			ленных в ноль регистр PS4_CTR не активирован;	
29	PS4_PRIO1	0h	Разрешение подсчета счетчиком PS4_CTR пакетов с приоритетом 1: 0 – счетчик PS4_CTR не считает пакеты с приоритетом 1; 1 – счетчик PS4_CTR считает пакеты с приоритетом 1; При PS4_PRIO[0..3] установленных в ноль регистр PS4_CTR не активирован;	R/W
28	PS4_PRIO0	0h	Разрешение подсчета счетчиком PS4_CTR пакетов с приоритетом 0: 0 – счетчик PS4_CTR не считает пакеты с приоритетом 0; 1 – счетчик PS4_CTR считает пакеты с приоритетом 0; При PS4_PRIO[0..3] установленных в ноль регистр PS4_CTR не активирован;	R/W
27:25	Reserved	0h	Зарезервировано	R
24	PS4_DIR	0h	1 – счетчик PS4_CTR считает исходящие пакеты/контрольные символы; 0 – счетчик PS4_CTR считает входящие пакеты/контрольные символы;	R/W
23:19	Reserved	0h	Зарезервировано	R
18:16	PS4_TYPE	0h	Разряды определяют тип информации, регистрируемой счетчиком PS4_CTR: 000b – только пакеты-запроса. Пакеты типа 8 (“maintenance”) исключаются. 001b – все пакеты; 010b – контрольные символы “retry”; 011b – все контрольные символы (исключая “retry”); 100b – 32-разрядные слова пакета (включая заголовок);	R/W
15	PS5_PRIO3	0h	Разрешение подсчета счетчиком PS5_CTR пакетов с приоритетом 3: 0 – счетчик PS5_CTR не считает пакеты с приоритетом 3; 1 – счетчик PS5_CTR считает пакеты с приоритетом 3; При PS5_PRIO[0..3] установленных в ноль регистр PS5_CTR	R/W

			не активирован;	
14	PS5_PRI02	0h	Разрешение подсчета счетчиком PS5_CTR пакетов с приоритетом 2: 0 – счетчик PS5_CTR не считает пакеты с приоритетом 2; 1 – счетчик PS5_CTR считает пакеты с приоритетом 2; При PS5_PRI0[0..3] установленных в ноль регистр PS5_CTR не активирован;	R/W
13	PS5_PRI01	0h	Разрешение подсчета счетчиком PS5_CTR пакетов с приоритетом 1: 0 – счетчик PS5_CTR не считает пакеты с приоритетом 1; 1 – счетчик PS5_CTR считает пакеты с приоритетом 1; При PS5_PRI0[0..3] установленных в ноль регистр PS5_CTR не активирован;	R/W
12	PS5_PRI00	0h	Разрешение подсчета счетчиком PS5_CTR пакетов с приоритетом 0: 0 – счетчик PS5_CTR не считает пакеты с приоритетом 0; 1 – счетчик PS5_CTR считает пакеты с приоритетом 0; При PS5_PRI0[0..3] установленных в ноль регистр PS5_CTR не активирован;	R/W
11:9	Reserved	0h	Зарезервировано	R
8	PS5_DIR	0h	1 – счетчик PS5_CTR считает исходящие пакеты/контрольные символы; 0 – счетчик PS5_CTR считает входящие пакеты/контрольные символы;	R/W
7:3	Reserved	0h	Зарезервировано	R
2:0	PS5_TYPE	0h	Разряды определяют тип информации, регистрируемой счетчиком PS5_CTR: 000b – только пакеты-запроса. Пакеты типа 8 (“maintenance”) исключаются. 001b – все пакеты; 010b – контрольные символы “retry”; 011b – все контрольные символы (исключая “retry”); 100b – 32-разрядные слова пакета (включая заголовок);	R/W

## 2.2.5.24 Регистр событий Px\_PS0\_CTR (базовый адрес + E0h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	PS0_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS0n1_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

## 2.2.5.25 Регистр событий Px\_PS1\_CTR (базовый адрес + E4h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	PS1_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS1n1_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

## 2.2.5.26 Регистр событий Px\_PS2\_CTR (базовый адрес + E8h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	PS2_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS1n3_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	PS2_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS2n3_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

## 2.2.5.27 Регистр событий Px\_PS3\_CTR (базовый адрес + ECh)

Разряды	Название	Начальное состояние	Описание	Доступ
31	PS3_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS4n3_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

## 2.2.5.28 Регистр событий Px\_PS4\_CTR (базовый адрес + F0h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	PS3_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS4n5_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

## 2.2.5.29 Регистр событий Px\_PS5\_CTR (базовый адрес + F4h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	PS3_CTR	0h	Счетчик, регистрирующий события, определенные в регистре CFG_PS4n5_CTR. Регистр сбрасывается чтением. При достижении значения FFFFFFFFh счет прекращается.	R/W

## 2.2.5.30 Регистр управления блоками Px\_PLL PLL\_CNTL (базовый адрес + 100h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:2	Reserved	0h	Зарезервирован	R
1	PX_PLL_EN	0h	Разрешение работы PLL входы блока: 1 – блок PLL включен. Порт принимает данные; 0 – блок PLL отключен. Порт не принимает данные. Блоки PLL порта 0 всегда включены.	R/W

0	TX_PLL_EN	0h	Разрешение работы PLL выходного блока: 0 – блок PLL включен. Порт передает данные; 1 – блок PLL отключен. Порт не передает данные. Блоки PLL порта 0 всегда включены.	R/W
---	-----------	----	--	-----

### 2.2.5.31 Регистр управления схемой P<sub>x</sub>\_DPA DPA\_CNTL (базовый адрес + 104h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:9	Reserved	0h	Зарезервировано	R
8:0	DPA_EN	0h	Разрешение работы схемы DPA входного блока (динамическое выравнивание фазы входного сигнала). Разряды [0:7] соответствуют линиям rdata[0:0], разряд 8 – линии rframe. 1 – режим DPA для данной линии включен; 0 – режим DPA для данной линии выключен.	R/W

### 2.2.6 Специальные регистры коммутатора (01A000 – 01AFFCh)

В таблице 2.8 описан блок специальных регистров коммутатора. Эти регистры используются для контроля работы коммутатора.

Таблица 2.8 – Специальные регистры коммутатора

Смещение	Название регистра	Описание	Начальное состояние
1A000h	GLOB_INT_STAT	Общий регистр состояния прерываний.	00000000h
1A004h	GLOB_INT_EN	Общий регистр разрешения прерываний.	00000000h
1A008h	RIO_PW_TIME	Регистр периода повторения пакетов “port-write”.	00000000h
1A00Ch	RIO_PW_REQ_STAT	Регистр состояния запросов на отправку пакетов “port-write”.	00000000h
1A010h	MCES_PIN_CTRL	Регистр управления выводом MCES.	00000000h
1A014h	I2C_RST	Регистр сброса шины I2C.	00000000h
1A018h	I2C_CTRL_1	Регистр 1 управления шины I2C.	00000000h
1A01Ch	I2C_CTRL_2	Регистр 2 управления шины I2C.	00000000h
1A020h	I2C_STAT_1	Регистр 1 состояния шины I2C.	00000000h
1A024h	I2C_STAT_2	Регистр 2 состояния шины I2C.	00000000h
1A028h	I2C_READ	Регистр чтения шины I2C.	00000000h
1A02Ch	I2C_WRITE	Регистр записи шины I2C.	00000000h

1A030h	P0_OUTB_WM	Регистр порогов выходного блока порта 0.	00010203h
1A034h	P1_OUTB_WM	Регистр порогов выходного блока порта 1.	00010203h
1A038h	P2_OUTB_WM	Регистр порогов выходного блока порта 2.	00010203h
1A03Ch	P3_OUTB_WM	Регистр порогов выходного блока порта 3.	00010203h
1A040h	P4_OUTB_WM	Регистр порогов выходного блока порта 4.	00010203h
1A044h	P5_OUTB_WM	Регистр порогов выходного блока порта 5.	00010203h
1A048h	P6_OUTB_WM	Регистр порогов выходного блока порта 6.	00010203h
1A04Ch	P7_OUTB_WM	Регистр порогов выходного блока порта 7.	00010203h
1A050h	P0_RDR_MODE	Регистр режима перестановки очереди входного блока порта 0.	00000000h
1A054h	P1_RDR_MODE	Регистр режима перестановки очереди входного блока порта 1.	00000000h
1A058h	P2_RDR_MODE	Регистр режима перестановки очереди входного блока порта 2.	00000000h
1A05Ch	P3_RDR_MODE	Регистр режима перестановки очереди входного блока порта 3.	00000000h
1A060h	P4_RDR_MODE	Регистр режима перестановки очереди входного блока порта 4.	00000000h
1A064h	P5_RDR_MODE	Регистр режима перестановки очереди входного блока порта 5.	00000000h
1A068h	P6_RDR_MODE	Регистр режима перестановки очереди входного блока порта 6.	00000000h
1A06Ch	P7_RDR_MODE	Регистр режима перестановки очереди входного блока порта 7.	00000000h

### 2.2.6.1 Общий регистр состояния прерываний GLOB\_INT\_STAT (1A000h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	Reserved	0h	Зарезервировано	R
27	RST_INT	0h	Общий сигнал прерывания по получению символа “reset” от всех портов. 1 – прерывание выставлено; 0 – прерывание отсутствует.	R
26	MCS_INT	0h	Общий сигнал прерывания по получению символа “multicast-event” от всех портов. 1 – прерывание выставлено; 0 – прерывание отсутствует;	R
25:8	Reserved	0h	Зарезервировано	R
7	P7_INT	0h	Прерывание от порта 7: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W
6	P6_INT	0h	Прерывание от порта 6: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W
5	P5_INT	0h	Прерывание от порта 5: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W

4	P4_INT	0h	Прерывание от порта 4: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W
3	P3_INT	0h	Прерывание от порта 3: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W
2	P2_INT	0h	Прерывание от порта 2: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W
1	P1_INT	0h	Прерывание от порта 1: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W
0	P0_INT	0h	Прерывание от порта 0: 1 – прерывание выставлено; 0 – прерывание отсутствует;	R/W

### 2.2.6.2 Общий регистр разрешения прерываний GLOB\_INT\_EN (1A004h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	Reserved	0h	Зарезервировано	R
27	RST_INT_EN	0h	Разрешение выставления прерывания по получению символа “reset” от всех портов. 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
26	MCS_INT_EN	0h	Разрешение выставления прерывания по получению символа “multicast–event” от всех портов. 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
25:8	Reserved	0h	Зарезервировано	R
7	P7_INT_EN	0h	Разрешение прерывание от порта 7: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
6	P6_INT_EN	0h	Разрешение прерывание от порта 6: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
5	P5_INT_EN	0h	Разрешение прерывание от порта 5: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
4	P4_INT_EN	0h	Разрешение прерывание от порта 4: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
3	P3_INT_EN	0h	Разрешение прерывание от порта 3:	R/W

			1 – прерывание разрешено; 0 – прерывание запрещено;	
2	P2_INT_EN	0h	Разрешение прерывание от порта 2: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
1	P1_INT_EN	0h	Разрешение прерывание от порта 1: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W
0	P0_INT_EN	0h	Разрешение прерывание от порта 0: 1 – прерывание разрешено; 0 – прерывание запрещено;	R/W

### 2.2.6.3 Регистр периода повторения пакетов “port–write” RIO\_PW\_TIME (1A008h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	PW_TIMER	0h	Разряды определяют интервал времени, через который происходит повторная отправка пакета “port–write”. Повтор пакетов прекращается после записи в регистр PORTx_ERR_DET. Период повторения = $16777216 * PW\_TIMER * (\text{такт})$ , где такт – период внутренней частоты коммутатора (11нс при 90МГц).	R/W
27:0	Reserved	0h	Зарезервировано	R

### 2.2.6.4 Регистр состояния запросов на отправку пакетов “port–write” RIO\_PW\_REQ\_STAT (1A00Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:8	Reserved	0h	Зарезервировано	R
7:0	PORTX_OREQ	0h	Установленный в 1 разряд указывает на наличие в соответствующем порту запроса на отправку пакета “port–write”. Разряд 7 – порт 7; Разряд 6 – порт 6; Разряд 5 – порт 5; Разряд 4 – порт 4; Разряд 3 – порт 3; Разряд 2 – порт 2;	R

			Разряд 1 – порт 1; Разряд 0 – порт 0;	
--	--	--	--	--

## 2.2.6.5 Регистр управления выводом MCES MCES\_PIN\_CTRL (1A010h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:30	Reserved	0h	Зарезервировано	R
29:28	MCES_CTRL	0h	Разряды управляют выводом MCES: 00b – вывод отключен и не влияет на прием/отправку символов “multicast–event”; 01b – вывод работает как вход; 10b – вывод работает как выход; 11b – зарезервировано;	R/W
27:0	Reserved	0h	Зарезервировано	R

## 2.2.6.6 Регистр сброса шины I2C I2C\_RES (1A014h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	I2C_SRESET	0h	Запись 1 в данный разряд приводит к установке контроллера I2C в исходное состояние	R/W
30:0	Reserved	0h	Зарезервировано	R

## 2.2.6.7 Регистр 1 управления шины I2C I2C\_CTRL\_1 (1A018h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:26	Reserved	0h	Зарезервировано	R
25:24	PA_SIZE	1h	Разряды определяют адреса в устройстве на шине I2C: 00b – адрес не используется; 01b – 8–разрядный адрес (младшие разряды поля PADDR регистра I2C_CTRL_2); 10b – 16–разрядный адрес (поле PADDR регистра I2C_CTRL_2); 11b – зарезервировано;	R/W
23:7	Reserved	0h	Зарезервировано	R
6:0	DEV_ADDR	50h	Адрес устройства на шине I2C	R/W

## 2.2.6.8 Регистр 2 управления шины I2C I2C\_CTRL\_2 (1A01Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31	I2C_START	0h	Запись 1 в разряд начинает цикл на шине I2C. Сбрасывается при завершении цикла.	R/W1S
30	I2C_WRITE	0h	Определяет тип цикла на шине I2C: 1 – запись; 0 – чтение;	R/W
29:27	Reserved	0h	Зарезервировано	R
26:24	SIZE	0h	Размер передачи по шине I2C (байт): 000b – 0 байт; 001b – 1 байт; 010b – 2 байта; 011b – 3 байта; 100b – 4 байта; 101b – зарезервировано; 110b – зарезервировано; 111b – зарезервировано;	R/W
23:16	Reserved	0h	Зарезервировано	R
15:0	PADDR	0h	Адрес в устройстве на шине I2C	R/W

## 2.2.6.9 Регистр 1 состояния шины I2C I2C\_STAT\_1 (1A020h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:28	Reserved	0h	Зарезервировано	R
27	I2C_DONE	0h	Разряд устанавливается в 1 при завершении цикла обращения к I2C. Сбрасывается записью 1.	R/W1C
26	I2C_NACK	0h	Разряд устанавливается в 1 при ошибочном завершении цикла обращения к I2C (таймаут). Сбрасывается записью 1.	R/W1C
25	I2C_CFG_ERR	0h	Разряд устанавливается в 1 при ошибочном завершении процедуры начальной загрузки регистров коммутатора из EEPROM. Ошибка возникает, если значение первых 16 разрядов в EEPROM больше 00FFh. Сбрасывается записью 1.	R/W1C
24:18	Reserved	0h	Зарезервировано	R
17	I2C_RD_STAT	0h	Разряд стоит в 1 во время цикла чтения на шине I2C.	R
16	I2C_WR_STAT	0h	Разряд стоит в 1 во время цикла	R

			записи на шине I2C.	
15:0	Reserved	0h	Зарезервировано	R

## 2.2.6.10 Регистр 2 состояния шины I2C I2C\_STAT\_2 (1A024h)

Разряды	Название	Начальное состояние	Описание	Доступ
31	BOOT	0h	Разряд стоит в 1 в течении начальной загрузки регистров коммутатора из EEPROM.	R
30:27	Reserved	0h	Зарезервировано	R
26:24	I2C_NACK_STAT E	0h	В разряде сохраняется состояние контроллера I2C при ошибочном завершении цикла на I2C. Сбрасывается в начале следующего цикла на шине I2C.	R
23	SCL	0h	Состояние линии SCL	R
22	SDA	0h	Состояние линии SDA	R
21	SDA_OUT	0h	Разряд определяет, кто в данный момент удерживает линию SDA в активном (нулевом) состоянии: 1 – внешнее устройство; 0 – контроллер I2C;	R
20:19	Reserved	0h	Зарезервировано	R
18:16	BYTE_CNT	0h	Число байтов, переданных в последнем цикле по I2C.	R
15	Reserved	0h	Зарезервировано	R
14:0	I2C_STATE	0h	Текущее внутреннее состояние контроллера I2C.	R/W1C

## 2.2.6.11 Регистр чтения шины I2C I2C\_READ (1A028h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	I2C_READ_DATA	0h	Данные, полученные при чтении из устройства на шине I2C.	R/W

## 2.2.6.12 Регистр записи шины I2C I2C\_WRITE (1A02Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	I2C_WRITE_DATA	0h	Данные, предназначенные для записи в устройство на шине I2C.	R/W

2.2.6.13 Регистры порогов выходного блока порта x P<sub>x</sub>\_OUTB\_WM  
(1A030, 1A034, 1A038, 1A03C, 1A040, 1A044, 1A048, 1A04Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:19	Reserved	0h	Зарезервировано	R
18:16	PRI02_WM	1h	Если число свободных буферов выходного блока меньше или равно данному значению, то пакеты с приоритетом 2 не передаются из входных блоков в данный выходной блок.	R/W
15:11	Reserved	0h	Зарезервировано	R
10:8	PRI01_WM	1h	Если число свободных буферов выходного блока меньше или равно данному значению, то пакеты с приоритетом 1 не передаются из входных блоков в данный выходной блок.	R/W
7:3	Reserved	0h	Зарезервировано	R
2:0	PRI00_WM	1h	Если число свободных буферов выходного блока меньше или равно данному значению, то пакеты с приоритетом 0 не передаются из входных блоков в данный выходной блок.	R/W

2.2.6.14 Регистры режима перестановки очереди входного блока порта x P<sub>x</sub>\_RDR\_MODE (1A050, 1A054, 1A058, 1A05C, 1A060, 1A064, 1A068, 1A06Ch)

Разряды	Название	Начальное состояние	Описание	Доступ
31:2	Reserved	0h	Зарезервировано	R
1:0	RDR_MODE	0h	Режим перестановки очереди: 00b – режим 0; 01b – режим 1; 10b – режим 2; 11b – зарезервировано;	R/W

2.2.6.15 Регистр тестового режима (базовый адрес + 70h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	TEST_DATA	10000000h	Запись в данный регистр запрещена	R/W

2.2.6.16 Регистр глобального управления отправкой контрольного символа “multicast–event” SEND\_MCS\_GLOBAL (базовый адрес + 74h)

Разряды	Название	Начальное состояние	Описание	Доступ
31:0	Reserved	0h	Зарезервировано	R
0	SEND	0h	Запись 1 вызывает отправку контрольного символа “multicast–event” во все выходные порты.	R/W1S

### 3 МОДУЛИ МИКРОСХЕМЫ КОММУТАТОРА

#### 3.1 Блок интерфейса RapidIO

Микросхема коммутатора содержит восемь портов 8-разрядного параллельного интерфейса RapidIO. Каждый порт разделен на входной блок и выходной, что позволяет осуществлять одновременную двунаправленную передачу данных между портами коммутатора. Интерфейс RapidIO работает на частоте 250 МГц. Так как данные передаются с удвоенной частотой в полнодуплексном режиме, пропускная способность каждого порта составляет 1 Гбайт/с (500 Мбайт/с входящий и 500 Мбайт/с исходящий потоки).

Порты RapidIO соединены через внутренний блок коммутации. На рисунке 3.1 показана схема взаимодействия входного и выходного блоков интерфейса RapidIO с внутренним блоком коммутации. Каждый из восьми интерфейсов полностью независим от остальных и может одновременно передавать и принимать данные.

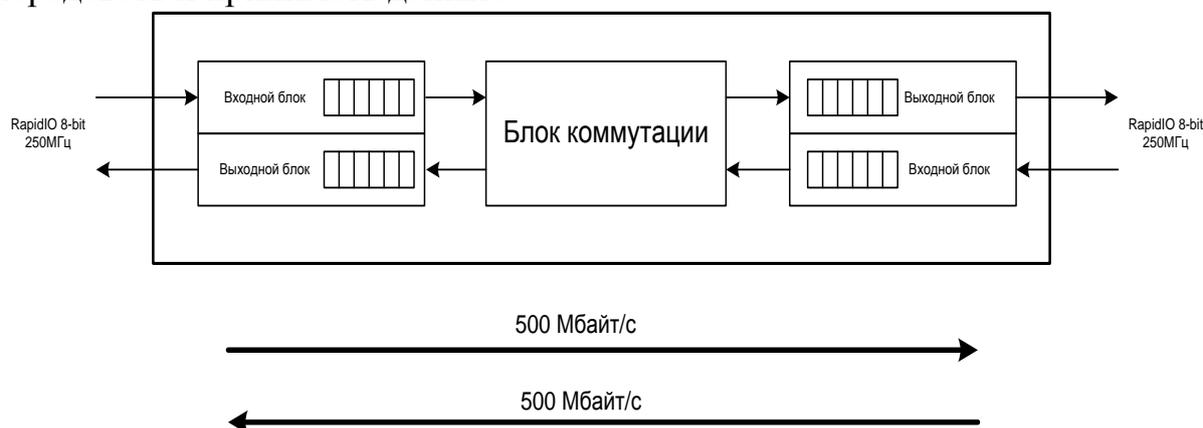


Рисунок 3.1 – Схема взаимодействия блоков RapidIO

Блок коммутации обеспечивает независимую передачу пакетов между всеми 8 портами микросхемы. Таким образом, общая пропускная способность коммутатора составляет 8 Гбайт/с (4 Гбайта/с входной поток, 4 Гбайта/с – выходной).

Каждый входящий RapidIO-пакет имеет поле идентификатора места назначения (Destination ID). Это поле извлекается из входящего пакета и сравнивается со значениями в программируемой таблице маршрутизации. Коммутатор имеет отдельные таблицы для каждого из портов. Входящий пакет передается в порт назначения в соответствии с результатом сравнения поля ID пакета и значением, полученным из таблицы маршрутизации. Входящий пакет может быть направлен в любой выходной блок коммутатора или во внутренний блок регистров.

Коммутатор передает пакет из входного порта в выходной без изменения его содержимого, за исключением служебных пакетов (Type8).

### 3.2 Блок коммутации

Блок коммутации является ядром устройства. Он осуществляет независимую передачу пакетов из входных блоков в выходные. Блок содержит схемы арбитражи, позволяющие организовать поток данных между портами с учетом приоритета пакетов и исключить блокировки при передаче.

### 3.3 Блок внутренних регистров

Микросхема имеет блок внутренних регистров, используемых для управления работой коммутатора. Доступ к регистрам возможен через любой порт RapidIO с использованием служебных пакетов и через интерфейс JTAG.

Также возможна начальная загрузка регистров и таблиц маршрутизации из внешней микросхемы EEPROM с интерфейсов I<sup>2</sup>C.

### 3.4 Схема контроля производительности

Задачей схемы контроля производительности является наблюдение за потоком данных через каждый порт коммутатора. Источником потока данных на шине RapidIO может быть любой вычислительный элемент, и перегрузка может возникнуть на любом участке сети. Схема контроля производительности может использоваться для обнаружения и устранения перегрузок в сети RapidIO.

Контроль производительности может проводиться при работе системы в реальном времени. Системное программное обеспечение может циклически считывать содержимое регистров, анализировать потоки и, по необходимости, менять маршруты передачи пакетов. Каждый порт микросхемы имеет свой набор контрольных регистров.

Ниже приведены параметры потока, которые сохраняются в контрольных регистрах:

- принятые/переданные пакеты–запросы с заданным приоритетом (0, 1, 2, 3 на выбор, либо их комбинации);
- все принятые/переданные пакеты с заданным приоритетом (0, 1, 2, 3 на выбор, либо их комбинации);
- принятые/переданные 32–разрядные слова в пакетах с заданным приоритетом (0, 1, 2, 3 на выбор, либо их комбинации)
- принятые /переданные контрольные символы (исключая “retry”);
- принятые /переданные контрольные символы “retry”;
- состояние очередей входного и выходного блоков;
- число произведенных переупорядочиваний пакетов во входном блоке;

### 3.5 Обработка ошибок

Протокол шины RapidIO имеет встроенные средства для обнаружения и исправления ошибок. Средства включают в себя механизм повторных посылок, код контроля CRC, контроль четности. Ошибки, возникающие на шине RapidIO, делятся на две категории: исправимые и неисправимые.

Исправление ошибок производится путем повторной пересылки пакета без вмешательства управляющего процессора. Признаки ошибок сохраняются в регистрах.

### 3.6 Интерфейс I<sup>2</sup>C

Интерфейс I<sup>2</sup>C предназначен для подключения к СБИС коммутатора микросхемы энергонезависимой перепрограммируемой памяти (EEPROM). Микросхема EEPROM может содержать конфигурационную информацию, которая автоматически загружается в регистры коммутатора после снятия сигнала сброса. Также, содержимое EEPROM доступно через обычные операции чтения/записи по интерфейсу RapidIO.

### 3.7 Интерфейс JTAG

Коммутатор обеспечивает доступ к внутренним регистрам через интерфейс JTAG. Это позволяет контролировать в рабочем режиме состояние микросхемы без использования каналов RapidIO и, следовательно, не изменяя информационный поток через коммутатор.

## 4 ИНТЕРФЕЙС RAPIDIO

### 4.1 Обзор интерфейса

Интерфейс RapidIO представляет собой пакетную коммутируемую шину передачи данных типа “точка–точка” и предназначен как для связи микросхем в пределах одного модуля и модулей в крейте, так и для межкрейтного обмена. Основные характеристики интерфейса RapidIO микросхемы 1890КПЗЯ:

- разрядность шины 8–бит;
- частота передачи 250 МГц;
- пропускная способность по 500 Мбайт/с в каждом направлении;
- отдельные таблицы маршрутизации для каждого порта;
- схема обработки ошибок согласно спецификации RapidIO Interconnect Specification (Revision 1.3) Part 8;
- поддержка до 64К номеров устройств;
- схема контроля производительности.

#### 4.1.1 Описание сигналов

В таблице 4.1 приведены сигналы параллельного интерфейса RapidIO 8 LP–LVDS

Таблица 4.1 – Список сигналов интерфейса RapidIO 8 LP–LVDS

Название	Тип	Описание
TCLK0	Выход	Тактовый сигнал передатчика 8–разрядного порта (для старших разрядов данных 16–разрядного порта). Соединяется с RCLK0 приемника
TCLK0*	Выход	Дифференциальная пара TCLK0.
TD[7:0]	Выход	Передаваемые данные (разряды 7:0). Соединяется с RD[7:0] приемника.
TD[7:0]*	Выход	Дифференциальная пара TD[7:0].
TFRAME	Выход	Сигнал управления передатчика. Соединяется с RFRAME приемника.
TFRAME*	Выход	Дифференциальная пара TFRAME
RCLK0	Вход	Тактовый сигнал приемника 8–разрядного порта (для старших разрядов данных 16–разрядного порта). Соединяется с TCLK0 передатчика
RCLK0*	Вход	Дифференциальная пара RCLK0.
RD[7:0]	Вход	Принимаемые данные (разряды 7:0). Соединяется с TD[7:0] передатчика.
RD[7:0]*	Вход	Дифференциальная пара RD[7:0].
RFRAME	Вход	Сигнал управления приемника. Соединяется с TFRAME приемника.
RFRAME*	Вход	Дифференциальная пара RFRAME

## 4.2 Передачи по интерфейсу RapidIO

### 4.2.1 Инициализация устройств

Стандарт RapidIO 8 / 16 LP–LVDS предполагает синхронную дифференциальную передачу данных в каждом направлении. Исходя из этого, необходимо инициализировать входные порты устройств с целью обеспечить правильное распознавание пакетов и контрольных символов.

Для этой цели осуществляются два типа процедур инициализации 8 / 16 LP–LVDS входных портов:

- выравнивание входного тактового сигнала и входных данных, для надёжного распознавания входной информации;
- выравнивание пакетов и контрольных символов по 32 бита для правильной организации потока данных.

Непосредственно сама инициализация устройств осуществляется посредством обмена обучающими последовательностями (ОП). Это специальная битовая последовательность может быть легко распознана входной логикой устройства, и проигнорирована, в случае, если устройства уже синхронизированы.

ОП не может быть включена в состав пакета или использована для прерывания пакета. Все транзакции должны быть заблаговременно остановлены. ОП представляет собой 64 – разрядную последовательность для 8 – битового порта и 128 – разрядную последовательность для 16 – битового порта. Формат ОП предусматривает передачу 32 (64) единиц в каждом разряде, чередуемую с передачей 32 (64) нулей в каждом разряде. На рисунке 4.1 представлен формат обучающей последовательности.

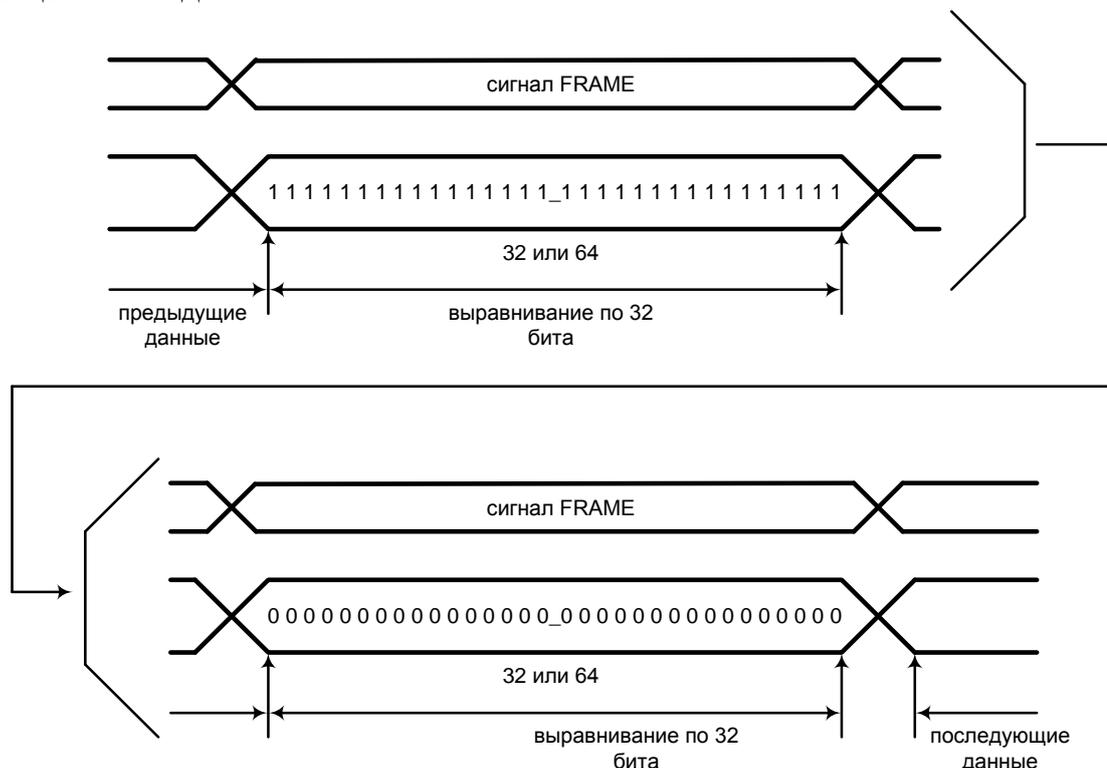


Рисунок 4.1 – Формат обучающей последовательности.

#### 4.2.2 Механизм передачи пакетов и контрольных символов

В процессе прохождения пакетом разных уровней иерархий в него добавляются необходимые данные и служебная информация. В конце пакет с включёнными в него контрольными символами разбивается на посылки по 8 бит и непосредственно передаётся по системе передачи данных.

Сигнал управления передатчика FRAME служит для определения начала пакета или контрольного символа и представляет собой NRZ (no–return–to–zero) сигнал. Также FRAME предваряет первый байт пакета или первый байт контрольного символа и остаётся неизменным для других байтов пакета, включая CRC. Однако FRAME должен предварять также и пустые (idle) контрольные символы между пакетами или в составе пакетов. Сигнал управления передатчика FRAME, также как и все пакеты и контрольные символы, выровнен по 32 бита. Это значит, что максимальная частота переключения составит каждые 4 байта.

На рисунке 4.2 представлен RapidIO 8 LP–LVDS механизм передачи данных между устройствами.

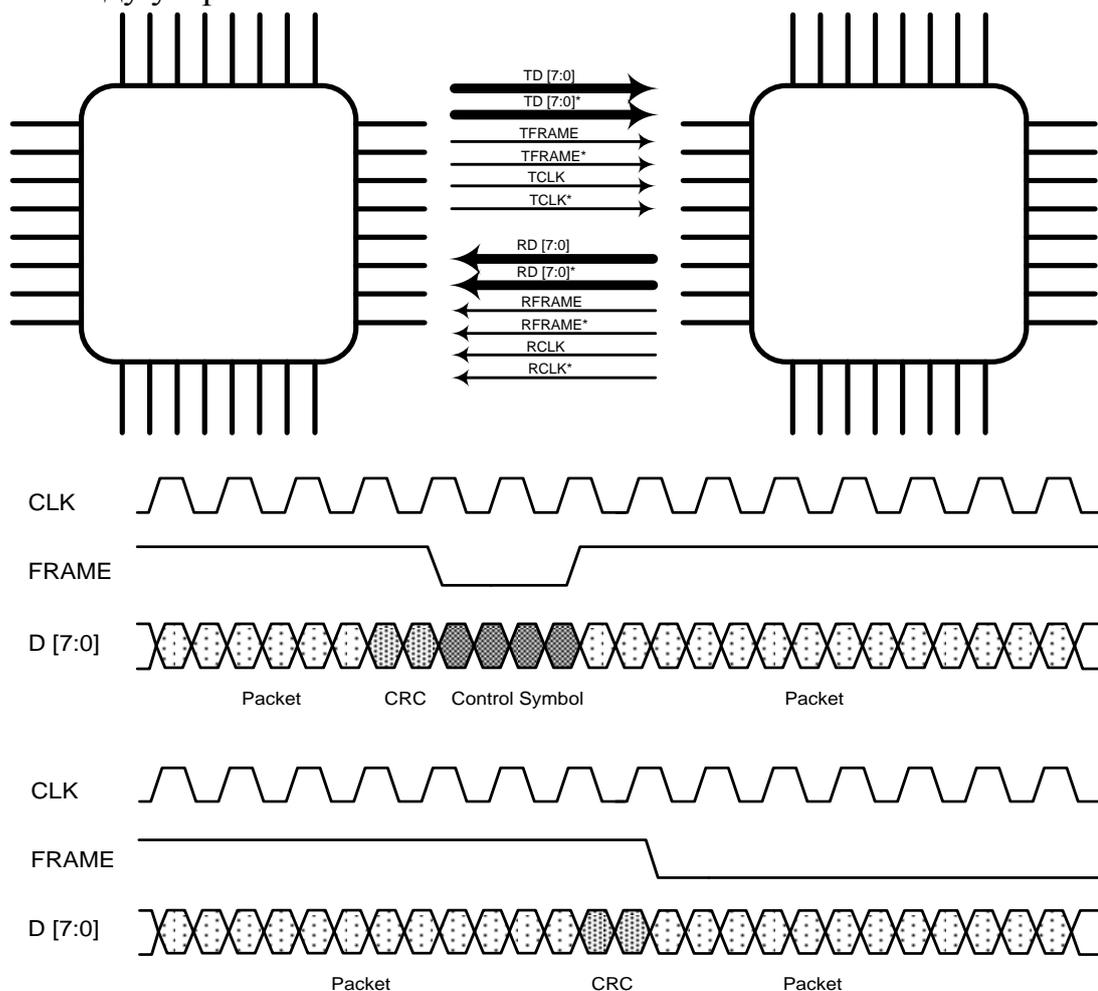


Рисунок 4.2 – RapidIO 8 LP–LVDS механизм передачи данных между устройствами.

### 4.2.3 Типы операций.

Протокол ввода/вывода интерфейса RapidIO использует операции типа запрос/ответ (request/response operations). Задатчик посылает запрос исполнителю, а он в свою очередь отсылает ответ обратно задатчику. Всего возможно два типа реакции исполнителя на запрос:

- DONE. Ведомое устройство сообщает об успешном выполнении действия и отсылает необходимые данные;

- ERROR. Ведомое устройство сообщает о возникновении ошибки при выполнении действия.

Операции, поддерживаемые протоколом RapidIO можно разделить на несколько групп:

Операции некогерентного ввода/вывода:

- NREAD – чтение памяти;

- NWRITE, NWRITE\_R, SWRITE – запись в память;

- ATOMIC – чтение–модификация–запись;

Операции передачи сообщений:

- MESSAGE – передача сообщений;

- DOORBELL – выдача прерывания;

Системные функции:

- MAINTENANCE – чтение или запись конфигурационных, управляющих и статусных регистров;

Операции по поддержке когерентности памяти:

- READ – чтение разделяемой памяти;

- READ\_TO\_OWN – запись в разделяемую память;

- CASTOUT, IKILL, DKILL, FLUSH, IO\_READ – обеспечение когерентности памяти.

На рисунке 4.3 проиллюстрированы примеры вышеперечисленных транзакций.

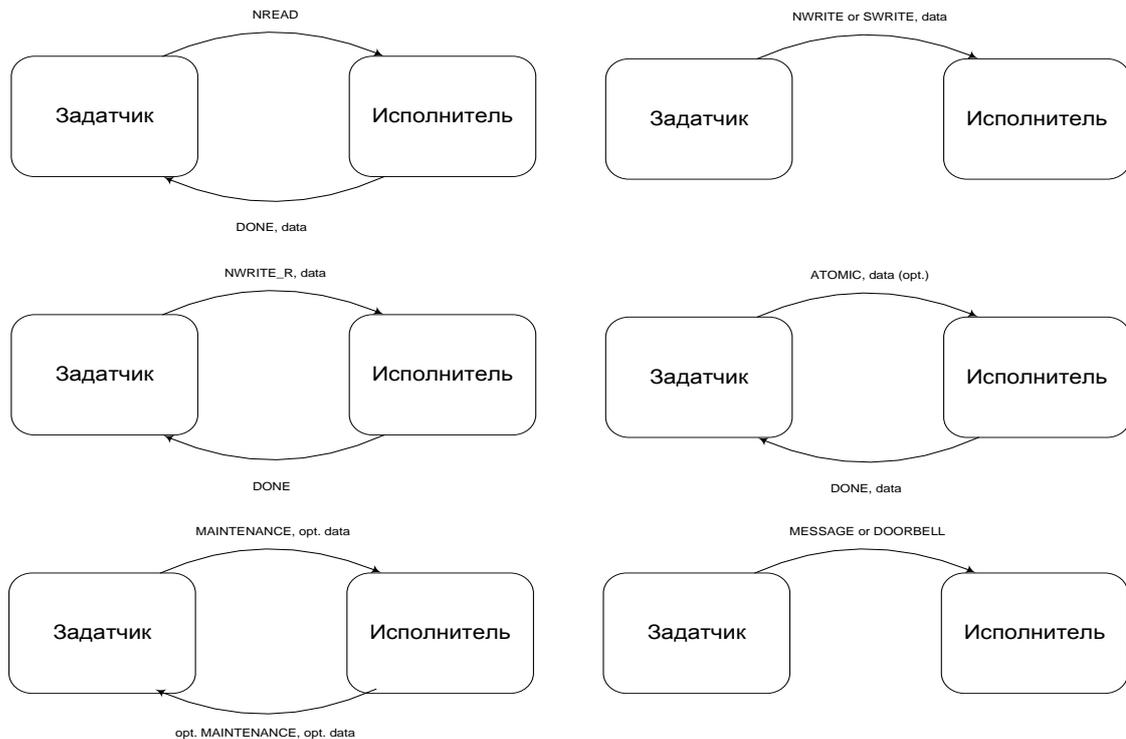


Рисунок 4.3 – Примеры транзакций протокола RapidIO

Кроме того, возможно введение дополнительных типов операций, которые поддерживаются конкретными конечными устройствами.

#### 4.2.4 Типы и формат контрольных символов

Контрольные символы интерфейса RapidIO служат для синхронизации устройств, подтверждения приёма пакета, обеспечения управления обменом, используются для обнаружения и исправления ошибок.

Контрольные символы стандарта RapidIO 8/16 LP–LVDS выровнены по 32 бита и представляют собой совокупность полей суммарной шириной 16 бит + те же инвертированные 16 бит.

Стандарт RapidIO 8/16 LP–LVDS определяет 13 типов контрольных символов, которые разбиты на подгруппы. Каждая подгруппа содержит конечное число резервных позиций, которые могут быть использованы как определённые пользователем контрольные символы.

Ниже приведены основные типы и подгруппы контрольных символов.

Контрольные символы подтверждения:

- packet–accepted – свидетельствует о том, что противоположное устройство успешно приняло пакет;
- packet–retry – сообщает об ошибке буфера транспортного уровня противоположного устройства;
- packet–not–accepted – сообщает об общей ошибке при приёме пакета противоположным устройством.

## Общие контрольные символы:

- idle – служат для управления потоком;
- stomp – прерывает заведомо ошибочный пакет;
- eor – обозначает конец пакета;
- restart–from–retry – свидетельствует о возобновлении передачи пакетов из-за ошибки буфера;
- throttle – противоположное устройство требует прервать передачу пакетов;
- multicast–event – используются для передачи служебной информации.

## Контрольные символы обслуживания сети:

- link request/send–training – противоположное устройство требует осуществить процесс синхронизации;
- link request/input–status – посылается в ответ на packet–not–accepted контрольный символ;
- link request/reset – противоположное устройство выполнило команду Reset (сброс);
- link response – посылается в ответ на link request/input–status контрольный символ.

Контрольные символы stomp, link request, restart–from–retry могут быть использованы для прерывания передачи пакета. Прерванный пакет не исследуется на предмет возможных ошибок и не сохраняется во входном буфере транспортного уровня. Остальные контрольные символы могут быть включены в состав пакета.

Все типы контрольных символов формируются на физическом уровне интерфейса. Ниже, на рисунке 4.4, представлены форматы различных контрольных символов.

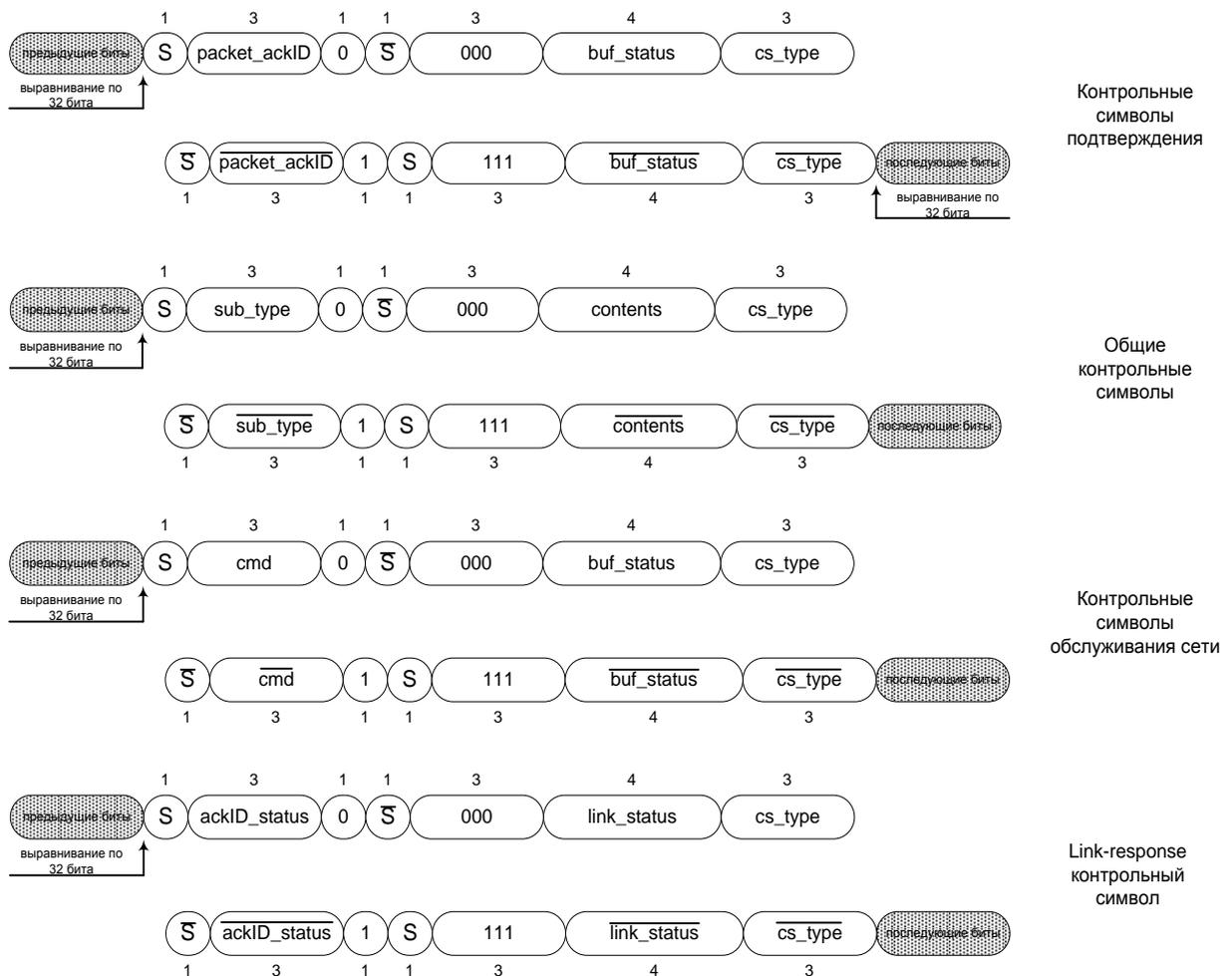


Рисунок 4.4 – Форматы контрольных символов

Поле «cs\_type» – непосредственно определяет тип или целую подгруппу контрольных символов. Во втором случае контрольные символы доопределяются полями «sub\_type» или «cmd».

Поле «cs\_type» может принимать следующие значения:

- 000 – packet-accepted контрольный символ;
- 001 – packet-retry контрольный символ;
- 010 – packet-not-accepted контрольный символ;
- 100 – подгруппа контрольных символов общего назначения;
- 101 – link request подгруппа контрольных символов обслуживания сети;
- 110 – link response контрольный символ.

«packet\_ackID» – это уникальный «ackID» пакета, который был передан задатчиком исполнителю. Возвращается исполнителем обратно в составе контрольных символов подтверждения приёма пакета.

«buf\_status» – число пакетов максимальной длины, которые могут быть приняты входными буферами. Используется для transmitter-controlled flow control.

Поле «sub\_type» доопределяет тип контрольного символа общего назначения.

Поле «contents» может быть использовано в качестве поля «buf\_status».

«cmd» – доопределяет link request тип контрольного символа обслуживания сети.

«ackID\_status» – уникальный ackID ожидаемого исполнителем пакета. Используется в составе link response контрольного символа.

Поле «link\_status» указывает на состояние цепи ввода/вывода.

#### 4.2.5 Формат пакетов

Пакеты RapidIO включают в себя поля трёхуровневой иерархии. На рисунке 4.5 представлена структура пакета RapidIO. Каждое из полей пакета формируется на своём уровне иерархии, а после этого составляется готовый пакет.

Пакет обычно начинают поля, сформированные на физическом уровне.

«S» бит определяет пакет это, или контрольный символ. Единичное значение «S» бита указывает на контрольный символ, а нулевое – на пакет.

Поле «AckID» служит для подтверждения приёма пакета фабрикой межсоединений (коммутатором).

Поле «Prio» служит для задания приоритета обработки пакета.

Поля «TT», «Destination ID» и «Source ID» определяют тип механизма передачи пакета между коммутаторами.

«Ftype» и «Transaction» отображают тип выполняемой передачи.

Поле «Size» содержит информацию о размере передачи. Полезные данные в составе пакета RapidIO могут составлять от 1 до 256 байт.

«Source TID» определяют ID передачи. Устройства RapidIO могут иметь до 256 отложенных передач между двумя точками.

Поле адреса «Device Offset Address» непосредственно адресует данные в определённую область памяти.

Для операций записи используется поле «Data Payload», содержащие данные. Завершает пакет поле «CRC» шириной 16 бит.

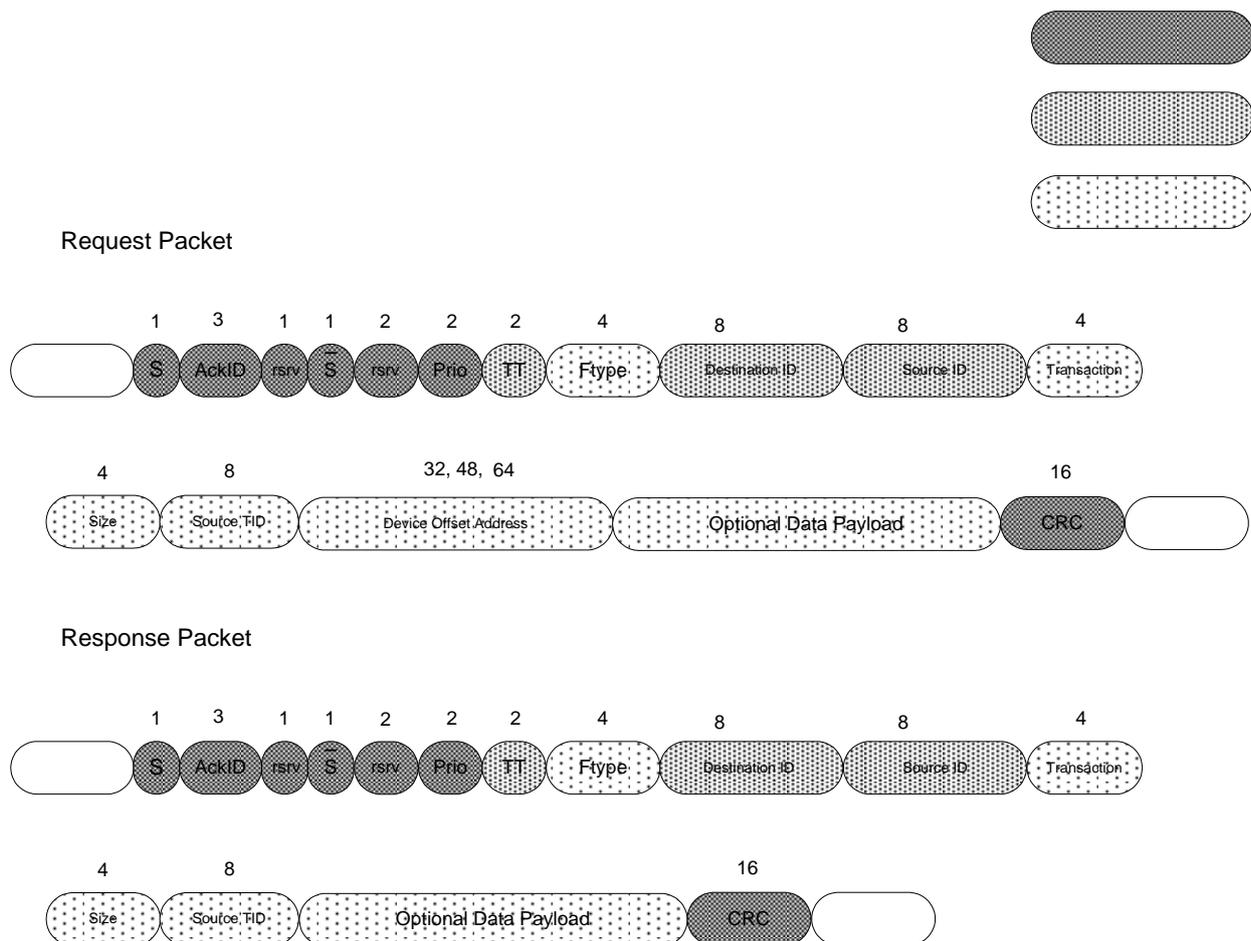


Рисунок 4.5 – Структура пакета RapidIO

Принятый пакет попадает во входной блок интерфейса RapidIO, где проверяется целостность пакета. Если пакет принят верно, он помещается в буфер, а передающему устройству отправляется контрольный символ подтверждения принятия пакета.

В заголовке пакета имеется поле номера устройства назначения («Destination ID»), которое используется для определения порта коммутатора, куда будет передан пакет. Номер выходного порта определяется через таблицу маршрутизации порта, принявшего пакет. Далее, если выходной блок имеет возможность принять пакет (свободное место в буферной памяти), внутренний блок коммутации начинает передачу пакета из входного блока в выходной. Затем выходной блок передает пакет наружу по интерфейсу RapidIO.

Внутренний блок коммутации не дожидается окончания приема пакета входным блоком, а начинает передачу в выходной блок, как только определится порт назначения. Также выходной блок начинает передачу на RapidIO при поступлении первого слова пакета. Если по окончании приема обнаружена ошибка CRC, передача пакета прерывается, пакет выбрасывается из буферов и, посредством контрольных символов, передатчик информируется о необходимости возобновить передачу этого же пакета.

### 4.3 Таблица маршрутизации

Таблицы маршрутизации используются для определения порта, в который должен быть отправлен входящий пакет. Входной блок использует поле “DestID” пакета как адрес для выбора одного из элементов в таблице маршрутизации, указывающего, в какой выходной порт необходимо передать пакет.

Каждый из восьми портов коммутатора имеет собственную таблицу маршрутизации, которая может быть запрограммирована независимо от остальных.

Возможны два режима работы таблиц маршрутизации: стандартный и иерархический. Стандартный режим поддерживает номера устройств от 0 до 511. Иерархический режим обеспечивает маршрутизацию всего диапазона номеров (64К) с некоторыми ограничениями. Режим работы выбирается для каждого порта индивидуально посредством значения поля LUT\_512 в регистре PORT\_CONFIG.

Для повышения надежности, в таблицах маршрутизации используется проверка четности. Это исключает ошибочную передачу пакета при одноразрядных ошибках в таблицах.

#### 4.3.1 Стандартный режим маршрутизации

Стандартная модель маршрутизации предназначена для системы с номерами устройств от 0 до 511. Пакеты с полем “DestID”, выходящим за указанный диапазон, передаются в порт, указанный в регистре LUT\_ATTR. Также, пакет передается в порт по умолчанию, если полученный номер порта назначения превышает значение PORT\_TOTAL в регистре SWITCH\_PI. Если порт по умолчанию не задан (значение 0xFF), пакет сбрасывается и коммутатор выставляет бит IMP\_SPEC\_ERR в регистре PORTx\_ERR\_DET.

Регистр LUT\_SIZE информирует том, что размер таблиц маршрутизации коммутатор составляет 512 элементов.

На рисунке 4.6 показан пример маршрутизации в системе, когда поле “DestID” составляет 8 разрядов (стандартный метод адресации).

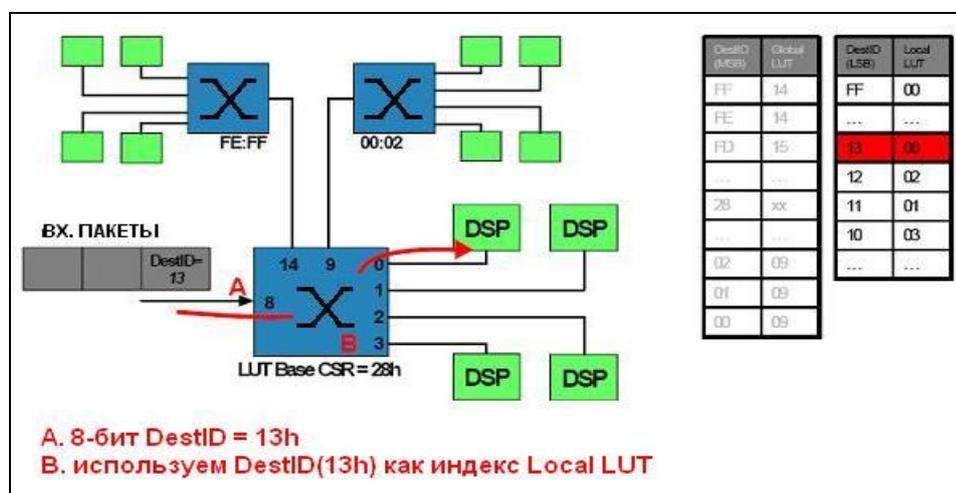


Рисунок 4.6 – Пример стандартной маршрутизации.

### 4.3.2 Иерархический режим маршрутизации

Иерархический режим позволяет маршрутизировать полный диапазон номеров устройств от 0 до 65535. Режим включается установкой поля LUT\_512 = 0 в регистре PORT\_CONFIG. При этом таблица размером 512 элементов логически делится на две, локальную и глобальную, каждая по 256 элементов.

Для пакетов с 8-разрядным полем “destID” входной порт использует ID как индекс в локальной таблице маршрутизации.

Для пакетов с 16-разрядным полем “destID”:

– если значение в старших 8 разрядах поля “destID” пакета равно значению поля BASE регистра ROUTE\_BASE, то входной порт использует младшие 8 разрядов “destID” как индекс в локальной таблице маршрутизации для получения номера порта.

– если значение в старших 8 разрядах поля “destID” пакета не равно значению поля BASE регистра ROUTE\_BASE, входной порт использует младшие 8 разрядов “destID” как индекс в глобальной таблице маршрутизации для получения номера порта.

Таким образом, в иерархическом режиме весь диапазон номеров 0–65535 разбивается на группы по 256 ID. Одна из этих групп маршрутизируется с точностью до номера, остальные группы целиком направляются в определенный порт.

Если полученный номер порта назначения превышает значение PORT\_TOTAL в регистре SWITCH\_PI, пакет передается в порт, указанный в регистре LUT\_ATTR. Если порт по умолчанию не задан (значение 0xFF), пакет сбрасывается и коммутатор выставляет бит IMP\_SPEC\_ERR в регистре PORTx\_ERR\_DET.

На рисунке 4.7 представлен пример маршрутизации, когда старшие разряды поля “DestID” совпадают с полем BASE (иерархический режим).

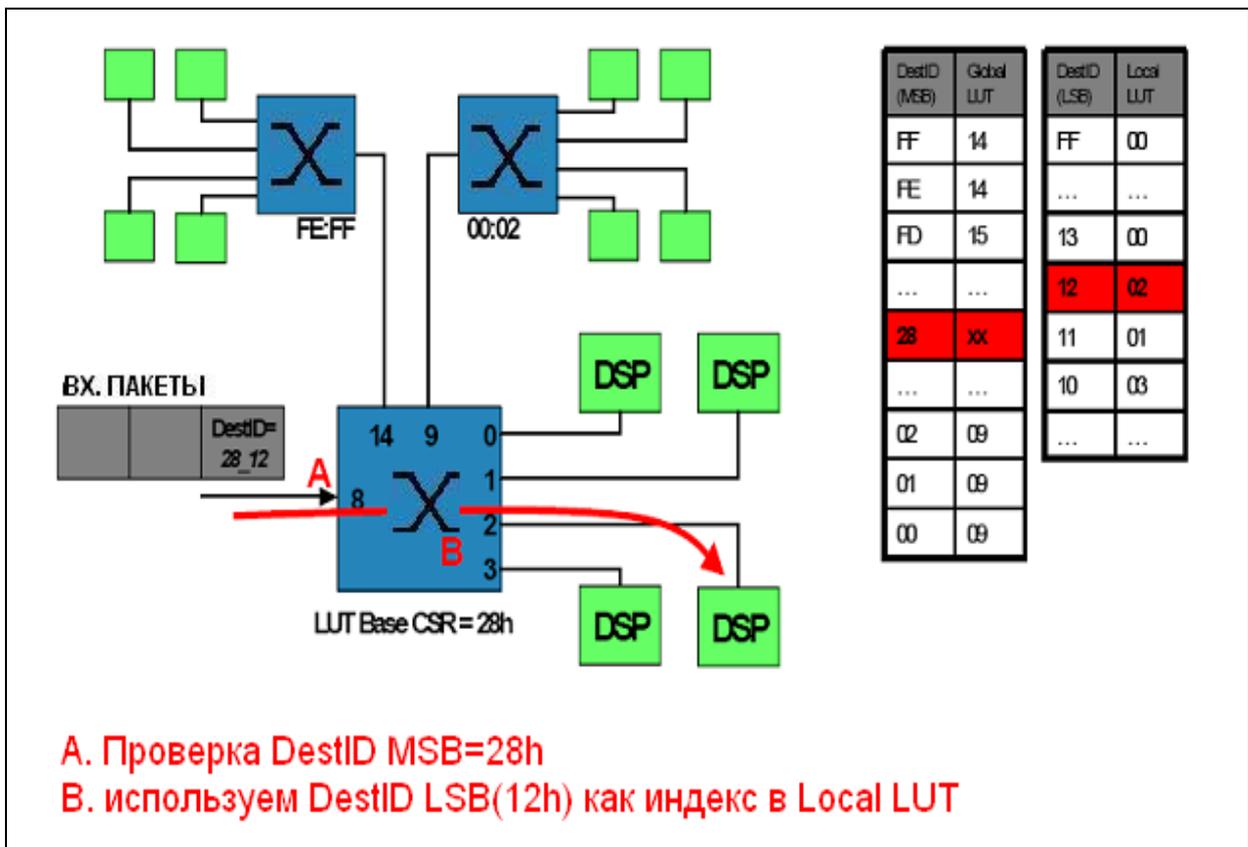


Рисунок 4.7 – Пример №1 иерархической маршрутизации

На рисунке 4.8 представлен пример маршрутизации, когда старшие разряды поля “DestID” не совпадают с полем BASE (иерархический режим).



Рисунок 4.8 – Пример №2 иерархической маршрутизации

## 4.3.3 Смешанный режим

Коммутатор поддерживает работу в смешанном режиме маршрутизации: часть портов работает в стандартном режиме, часть – в иерархическом. На рисунке 4.9 показан алгоритм нахождения номер порта в зависимости от режима работы.

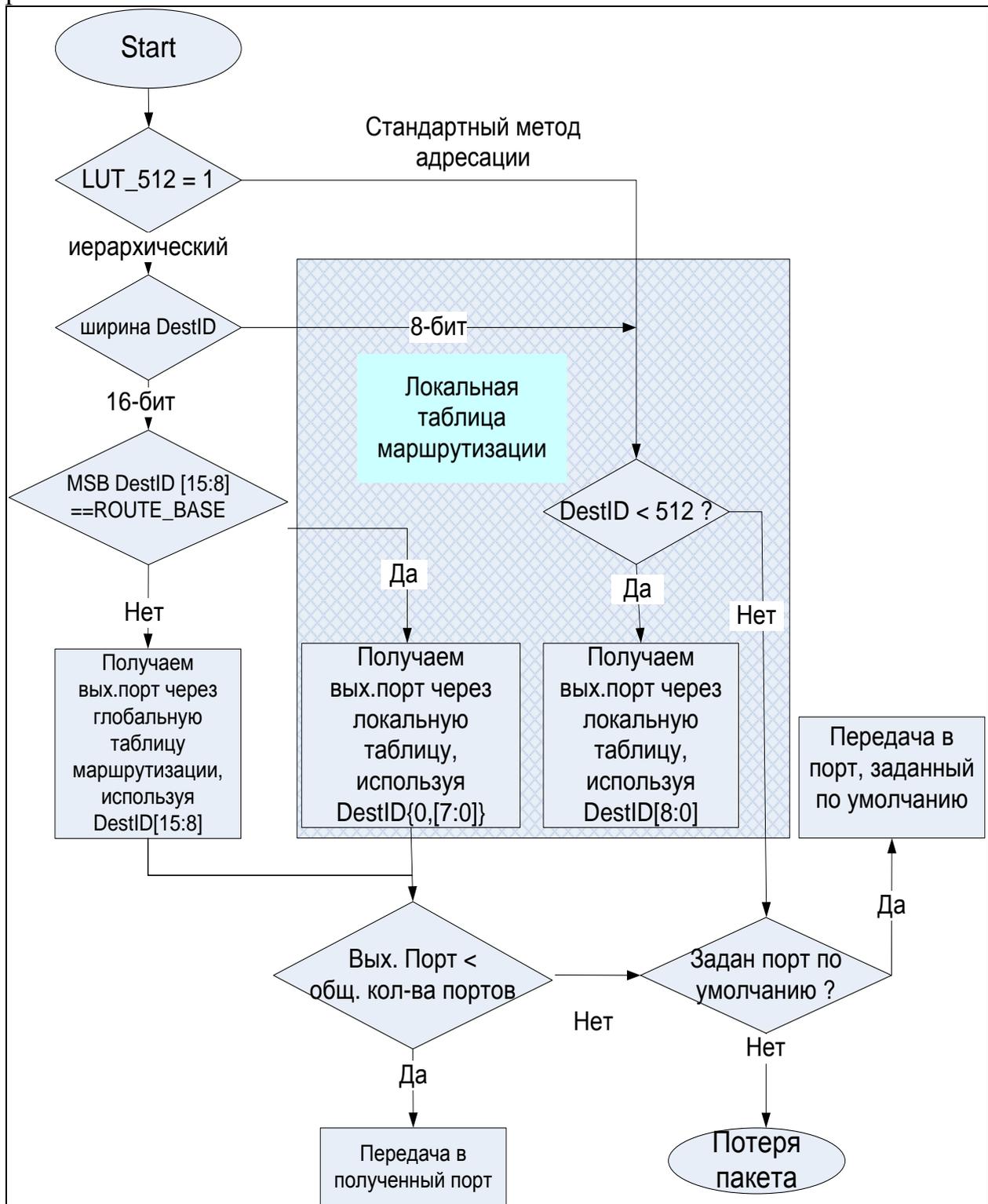


Рисунок 4.9 – Алгоритм работы таблиц маршрутизации

#### 4.3.4 Контроль четности таблиц маршрутизации

Все таблицы маршрутизации коммутатора имеют контроль четности. Если при обращении к таблице происходит ошибка четности, пакет, вызвавший ошибку, сбрасывается. Информация об ошибке сохраняется в регистре LUT\_PAR\_ERR\_INFO.

По включению питания и после сброса все таблицы маршрутизации должны быть инициализированы, чтобы прописать соответствующие разряды четности. В неиспользуемые элементы таблиц должно быть записано значение 0xFF.

#### 4.3.5 Конфигурирование таблиц маршрутизации

Каждый порт коммутатора имеет свою таблицу маршрутизации. Отдельные таблицы могут быть запрограммированы разными значениями, что позволяет организовать различные пути прохождения пакетов в зависимости от входного порта.

Программирование таблицы маршрутизации допускается в любое момент работы системы. Запись в таблицы может быть произведена после сброса из внешней микросхемы EEPROM или программно через любой интерфейс RapidIO с использованием служебных пакетов.

Для программирования таблиц в микросхеме имеется различные наборы регистров. Спецификацией интерфейса RapidIO для доступа к таблице маршрутизации устройства определены два регистра: ROUTE\_CFG\_DESTID и ROUTE\_CFG\_PORT. Так как коммутатор имеет несколько таблиц, то при использовании этих регистров производится одновременная запись одинаковых значений во все таблицы. Чтение через указанные регистры возвращает данные, полученные из таблицы порта 0.

Для программирования отдельных таблиц каждый порт имеет регистры PORTx\_ROUTE\_CFG\_DESTID и PORTx\_ROUTE\_CFG\_PORT.

Программирование таблиц с использованием метода, определенного спецификацией, производится следующим образом:

1. Записать номер устройства (“DestID”) в регистр ROUTE\_CFG\_DESTID;
2. Записать номер выходного порта для отправки пакетов данному устройству в регистр ROUTE\_CFG\_PORT;

В этом случае в таблицы всех портов коммутатора будет записана одинаковая информация о маршрутизации пакетов с указанным полем “DestID”.

Программирование таблицы отдельного порта производится следующим образом:

1. Записать номер устройства (“DestID”) в регистр PORTx\_ROUTE\_CFG\_DESTID;
2. Записать номер выходного порта для отправки пакетов данному устройству в регистр PORTx\_ROUTE\_CFG\_PORT;

Последний способ позволяет записать в таблицу значение с неверным разрядом четности, что можно использовать для отладки ПО. Для этого при

записи в регистр PORT<sub>x</sub>\_ROUTE\_CFG\_DESTID разряд PAR\_INVERT необходимо установить в 1.

Установленный в 1 разряд AUTO\_INC включает режим, при котором значение “DestID”, записанное в регистр PORT<sub>x</sub>\_ROUTE\_CFG\_DESTID автоматически инкрементируется после обращения к регистру PORT<sub>x</sub>\_ROUTE\_CFG\_PORT. Данный режим может ускорить процесс программирования таблицы.

#### 4.4 Служебные пакеты.

Для обращения к регистрам коммутаторов, а также для начальной конфигурации устройств используются служебные пакеты (Maintenance, Type=8). Эти пакеты отличаются от других наличием поля “hop-count”. Это единственный тип пакетов, которые могут быть изменены коммутатором.

Поле “hop-count” определяет максимальное число коммутаторов, которые могут быть пройдены пакетом, прежде чем он достигнет назначения. При приеме служебного пакета, коммутатор проверяет значение “hop-count”. Значение равно 0 означает, что пакет предназначен для данного коммутатора и запрос передается внутреннему блоку регистров. После обработки запроса коммутатор отправляет ответный служебный пакет в тот порт, через который пришел запрос.

Если значение “hop-count” не равно нулю, коммутатор уменьшает значение “hop-count” на единицу, формирует новую контрольную сумму и отправляет пакет в выходной порт в соответствии с информацией, полученной из таблицы маршрутизации.

Микросхема коммутатора поддерживает обращение служебными пакетами к внутренним регистрам только по 4 байта. В таблице 4.2 показаны возможные ошибочные ситуации при получении коммутатором служебных пакетов.

Таблица 4.2 – Примеры maintenance-пакетов с hop\_count=0

Тип передачи	Значение поля “size”	Действия коммутатора	Регистрация ошибок
Запрос на запись или чтение (“Write/Read Request”)	4 байта	Чтение/запись внутренних регистров. Ответный пакет со статусом “OK”	–
	≠ 4 байта	Ответный пакет со статусом “ERROR”	–
Запрос на запись без поля данных (“Write Request”)	–	Ответный пакет со статусом “ERROR”	–

Запрос на чтение с полем данных (“Read Request”)	–	Ответный пакет со статусом “ERROR”	–
Пакет “Write Response” и Hop-count = 0	–	Если разрешено – отправка пакета “Port-Write” и выставление прерывания.	Разряд 23 регистра LOG_ERR_DET
Пакет “Read Response” и Hop-count = 0	–	Если разрешено – отправка пакета “Port-Write” и выставление прерывания.	Разряд 23 регистра LOG_ERR_DET
Пакет “Port-Write” и Hop-count = 0	–	Если разрешено – отправка пакета “Port-Write” и выставление прерывания.	Разряд 22 регистра LOG_ERR_DET
Резервный тип передачи (поле “t” не равно 00b или 01b) и Hop-count = 0	–	Если разрешено – отправка пакета “Port-Write” и выставление прерывания.	Разряд 27 регистра LOG_ERR_DET

#### 4.5 Групповые сообщения

Контрольные символы групповых сообщений (Multicast-event Control Symbol, MCS) используются для оповещения группы устройств об определенных событиях в системе.

Когда входной порт RapidIO принимает контрольный символ группового сообщения, далее – MCS, все остальные порты оповещаются об этом. Далее, каждый порт может передать MCS на выход. Порт транслирует MCS на выход, если установлен разряд MCS\_OUT регистра PORTx\_CTL.

##### 4.5.1 Прием символа группового сообщения

Когда порт RapidIO принимает MCS, он:

– выставляет прерывание, если разрешено;

– передает сигнал в выходные порты. Каждый выходной порт транслирует MCS на выход, если разряд MCS\_OUT регистра PORTx\_CTL установлен в 1.

Прерывание от входящего MCS разрешено, если установлен разряд MCS\_INT\_EN в регистре P<sub>x</sub>\_PORT\_CONFIG соответствующего порта. Состояние прерывания отражается в разряде MCS\_INT регистра P<sub>x</sub>\_CS\_INT\_STATUS. Также логическое “или” состояний прерывания всех

портов доступно в разряде MCS\_INT регистра GLOB\_INT\_STAT. Прерывание от каждого порта сбрасывается записью 1 в разряд MCS\_INT\_EN регистра Px\_PORT\_CONFIG.

В качестве сигнала о получении символа MCS может использоваться вывод микросхемы MCEs, работающий в режиме выхода. Состояние выхода будет изменяться на противоположное при получении MCS. Порты, которые будут использоваться для управления выходом MCEs, определяются состоянием разряда MCS\_INT\_EN регистре Px\_PORT\_CONFIG соответствующего порта (1 – порт управляет выходом, 0 – нет). Для использования выхода MCEs в режиме выхода нужно в разряды MCEs\_CTRL регистра MCEs\_PIN\_CTRL записать 10b.

Чтобы входящие MCS были надежно транслированы в выходные порты и на выход MCEs, время между последовательными входящими символами должно быть не менее 500нс.

#### 4.5.2 Отправка символа группового сообщения

Коммутатор обеспечивает генерацию контрольных символов MCS двумя способами. Первый способ – программный. Для выдачи MCS необходимо записать 1 в разряд SEND регистра Px\_SEND\_MCS соответствующего порта. Запись может быть проведена через интерфейс JTAG и загрузкой из EEPROM. Таким образом отправить MCS из конкретного порта. Для отправки MCS со всех портов одновременно, необходимо записать 1 в разряд SEND регистра GLOBAL\_SEND\_MCS. Те порты, у которых установлен разряд MCS\_OUT регистра PORTx\_CTL, произведут отправку символа MCS.

Для отправки MCS можно использовать вывод микросхемы MCEs, работающий в режиме входа. Для установки режима входа нужно в разряды MCEs\_CTRL регистра MCEs\_PIN\_CTRL записать 01b. После этого изменение состояния входа MCEs будет приводить к отправке символов MCS со всех разрешенных портов.

Только один порт коммутатора должен быть настроен на прием символов MCS. В противном случае возможна потеря входящих символов MCS.

#### 4.5.3 Счетчик времени жизни

Коммутатор поддерживает функцию TTL (time-to-live), которая ограничивает время, которое пакет может находиться в коммутаторе. Пересылка пакета может быть задержана в связи с перегрузкой коммутатора или с повторными пересылками пакетов, особенно для низкоприоритетного потока. Данная функция позволяет корректно прервать передачу, не завершившуюся за определенное время.

По умолчанию, функция TTL отключена. Для разрешения TTL нужно записать ненулевое значение в регистр PKT\_TTL. Максимальное время нахождения пакета в коммутаторе определяется по формуле:

Время = 1420\*TTL (при частоте INT\_CLK = 90 МГц) .

При срабатывании таймера TTL, пакет удаляется из буферов коммутатора и в регистре PORTx\_ERR\_STAT устанавливается в 1 разряд OUTPUT\_DROP.

#### 4.6 Управление ошибками интерфейса RapidIO

Коммутатор поддерживает управление ошибками в соответствии со стандартом RapidIO Interconnect Specification Part 8 (Revision 1.3). Для упрощения отладки ПО, ответственного за обработку ошибок, все регистры, указанные ниже, доступны для записи. Это позволяет программно эмулировать ошибки физического и логического/транспортного уровней.

##### 4.6.1 Управление ошибками физического уровня

Для сбора информации об ошибках на физическом уровне интерфейса RapidIO используются следующие регистры (отдельный набор для каждого порта):

- Регистр типа обнаруженных ошибок – PORTx\_ERR\_DET;
- Регистр разрешения фиксации ошибок – PORTx\_RATE\_EN;
- Регистр атрибутов зафиксированной ошибки – PORTx\_ERR\_ATTR\_CAPT;
- Регистры 0 – 3 состояния ошибки – PORTx\_ERR\_CAPT(0–3);
- Регистр типа обнаруженных ошибок – PORTx\_ERR\_DET;
- Регистр частоты ошибок передачи – PORTx\_ERR\_RATE;
- Регистр пороговых значений счетчика ошибок – PORTx\_ERR\_THRESH;
- Регистр состояния порта – PORTx\_ERR\_STAT;
- Регистр управления порта – PORT\_CTL;

##### 4.6.2 Регистры состояния ошибок

Ошибочные ситуации при передаче по интерфейсу RapidIO приводят к установке соответствующих разрядов в регистре PORTx\_ERR\_DET. Регистр PORTx\_RATE\_EN управляет разрешением детектирования определенных ошибок. Когда разряд VAL\_CAPT регистра PORTx\_ERR\_ATTR\_CAPT сброшен, информация о следующей разрешенной ошибке будет сохранена в регистре PORTx\_ERR\_DET. Первые 16 байт пакета или 4 байта контрольного символа будут сохранены в регистрах PORTx\_ERR\_CAPT(0–3). Дополнительная информация об ошибке будет отражена в полях INFO\_TYPE и ERR\_TYPE регистра PORTx\_ERR\_ATTR\_CAPT и разряд VAL\_CAPT будет установлен в 1, тем самым, блокируя обновление регистров состояния при последующих ошибках. Для снятия блокировки регистров необходимо сбросить в 0 разряд VAL\_CAPT регистра PORTx\_ERR\_ATTR\_CAPT.

Регистр PORTx\_ERR\_DET не блокируется после первой ошибки, поэтому в нем отражены все зафиксированные ошибочные ситуации. Сбрасывается регистр записью в него 0x00000000.

### 4.6.3 Пороговые значения числа ошибок

Ошибки при передаче по интерфейсу RapidIO обычно скрыты от программного обеспечения, т.к. большая часть из них может быть обработана аппаратно без потери данных. В регистре PORTx\_ERR\_THRESH определяются два пороговых значения темпа появления ошибок. Достижение этих значений говорит об ухудшении характеристик канала передачи (разряды ERR\_RDT) или о его возможной неработоспособности (разряды ERR\_RFT).

Когда значение счетчика ERR\_RATE\_CNT (регистр PORTx\_ERR\_RATE) достигнет порогового значения ERR\_RDT, в регистре PORTx\_ERR\_STAT устанавливается в 1 разряд OUTPUT\_DEG и, если разрешено вырабатывается прерывание и отправляется пакет “port-write”.

Второе пороговое значение ERR\_RFT должно быть превышать значение ERR\_RDT. Когда значение счетчика ERR\_RATE\_CNT (регистр PORTx\_ERR\_RATE) достигнет порогового значения ERR\_RFT, в регистре PORTx\_ERR\_STAT устанавливается в 1 разряд OUTPUT\_FAIL и, если разрешено вырабатывается прерывание и отправляется пакет “port-write”.

### 4.6.4 Темп поступления ошибок

Регистр PORTx\_ERR\_RATE используется для определения темпа поступления ошибок в порт RapidIO.

Разряды ERR\_RB определяют период, с которым значение счетчика ERR\_RATE\_CNT автоматически уменьшается на 1. Этот период устанавливает приемлемую для данного порта частоту появления ошибок. При отсутствии дальнейшего поступления ошибок, этот механизм позволяет системе восстановиться после достижения пороговых значений числа ошибок без программного сброса счетчиков. Если частота поступления ошибок меньше определенной в разрядах ERR\_RB, значение счетчика ошибок ERR\_RATE\_CNT редко будет превышать 0x1 или 0x2.

Счетчик ERR\_RATE\_CNT увеличивается на 1 при появлении ошибки физического уровня, которая разрешена соответствующим разрядом регистра PORTx\_RATE\_EN. Счетчик уменьшается на 1 с частотой, определенной разрядами ERR\_RB. Декремент счетчика не происходит, когда его значение равно 0x00, инкремент не происходит, когда значение равно 0xFF. Счетчик может быть сброшен программно в любой момент.

Разряды ERR\_RR регистра PORTx\_ERR\_RATE определяют, на сколько значение счетчика ошибок ERR\_RATE\_CNT может превысить пороговое значение ERR\_RFT. Это позволяет, при отсутствии дополнительных ошибок, программно устанавливать время, за которое значение счетчика ошибок упадет ниже пороговых ERR\_RFT и ERR\_RDT.

Разряды PEAK регистра PORTx\_ERR\_RATE фиксируют максимальное значение, достигнутое счетчиком ошибок ERR\_RATE\_CNT.

## 4.6.5 Превышение темпа поступления ошибок порогового значения

Режим работы блока интерфейса RapidIO при превышении темпа поступления ошибок порогового значения ERR\_RFT зависит от состояния разрядов STOP\_ON\_FAIL\_EN и DROP\_EN регистра PORTx\_CTL и показано в таблице 4.3.

Таблица 4.3 – Работа блока интерфейса RapidIO при поступлении ошибок

STOP_ON_FAIL_EN	DROP_EN	Режим работы блока
0	0	Порт продолжает передавать пакеты при установленном разряде OUTPUT_FAIL и/или превышении порога ERR_RFT
0	1	Порт сбрасывает пакеты, в ответ на которые приходит символ “packet-not-accepted” если превышен порог ERR_RFT. Сброс пакета сопровождается установкой в 1 разряда OUTPUT_DROP регистра PORTx_ERR_STAT. После снижения счетчика ошибок ниже порогового уровня, порт начинает работать в обычном режиме.
1	0	Порт останавливает все передачи при превышении порога ERR_RFT. Пакеты, предназначенные для передачи, сохраняются в выходном буфере.
1	1	Порт сбрасывает все пакеты без попыток передачи при превышении порога ERR_RFT. Сброс пакета сопровождается установкой в 1 разряда OUTPUT_DROP регистра PORTx_ERR_STAT.

#### 4.6.6 Управление ошибками логического и транспортного уровней

Микросхема коммутатора фиксирует ошибки логического/транспортного уровней только для служебных пакетов с полем “hop-count”=0. Для этого используются следующие регистры:

- Регистр типа ошибки логического или транспортного уровней – LOG\_ERR\_DET;
- Регистр разрешения фиксирования ошибок логического или транспортного уровней – LOG\_ERR\_DET\_EN;
- Регистр адреса ошибочного пакета – LOG\_ERR\_ADDR;
- Регистр ID источника ошибочного пакета – LOG\_ERR\_DEVID;
- Регистр типа ошибочного пакета – LOG\_ERR\_CTRL\_INFO;

Коммутатор обнаруживает следующие ошибки:

1) Неверная транзакция (L\_ILL\_TRANS) – принят пакет–запрос со следующими параметрами:

- ttype=0b0101–0b1111;
- tt != 0b00/0b01;

2) Неверный отклик (L\_ILL\_RESP) – принят пакет–отклик;

3) Неподдерживаемая транзакция (UNSUP\_TRANS) – принят пакет “port-write”;

При обнаружении ошибки устанавливается в 1 соответствующий разряд регистра LOG\_ERR\_DET если фиксирование данного типа ошибки разрешено в регистре LOG\_ERR\_DET\_EN. Также в регистрах LOG\_ERR\_ADDR, LOG\_ERR\_DEVID и LOG\_ERR\_CTRL\_INFO сохраняется дополнительная информация об ошибочном пакете. Если один из разрядов регистра LOG\_ERR\_DET установлен в 1, последующие ошибки не будут изменять содержимого регистров. Возможна ситуация, когда одновременно фиксируется несколько типов ошибок. Регистр LOG\_ERR\_DET сбрасывается записью в него 0x00000000.

## 5 БЛОК КОММУТАЦИИ

### 5.1 Основные характеристики

Внутренний блок коммутации предназначен для передачи пакетов из входных блоков интерфейса RapidIO в выходные с учетом приоритетов и состояний очередей.

Блок коммутации имеет следующие характеристики:

- Полнодуплексный, неблокирующий режим работы;
- Входные буфера каждого порта объемом 8 пакетов;
- Выходные буфера каждого порта объемом 8 пакетов;
- Работа в режиме сквозной передачи;

### 5.2 Работа блока коммутации

Внутренний блок коммутации предназначен для передачи пакетов из входных буферов в выходные. Каждый входной порт передает только один пакет в определенный момент времени и каждый выходной порт принимает один пакет. Однако коммутатор способен одновременно передавать пакеты между различными парами передатчик–приемник.

Так как несколько входных блоков могут передавать пакеты в один выходной блок, требуется буферизация пакетов во входных блоках. Специальные алгоритмы арбитража используются для исключения блокировок в очередях.

Блок коммутации работает в сквозном режиме передачи. Это означает, что передача пакета из входного блока в выходной начинается до окончания приема пакета входным блоком.

### 5.3 Арбитраж в выходном блоке

Каждый выходной блок имеет схему арбитража, которая выбирает один из входных блоков для передачи пакета при нескольких одновременных запросах. Схема арбитража выходного блока показана на рисунке 5.1.

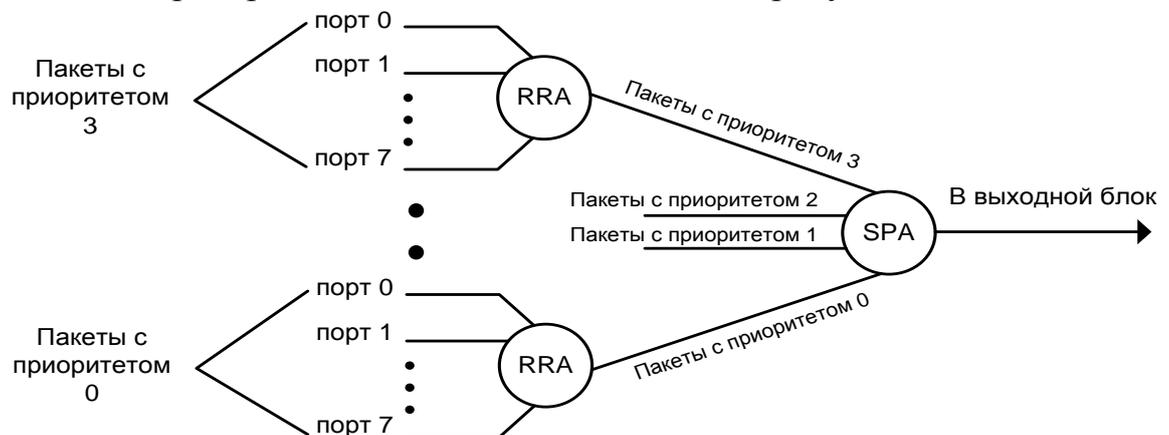


Рисунок 5.1 – Схема арбитража выходного блока

Схема арбитражи имеет два уровня – четыре арбитра с циклическим приоритетом (по одному на каждый приоритет) и арбитр с фиксированным приоритетом. В арбитражи участвуют только один пакет в выходном блоке, находящиеся в начале очереди.

На каждый циклический арбитр приходит запрос от всех восьми портов на передачу пакета с определенным приоритетом. Результат от четырех арбитров поступает на выходной арбитр с фиксированным приоритетом.

Выходной арбитр обеспечивает требование спецификации RapidIO о том, что пакеты с приоритетом  $N$  должны быть отправлены раньше пакетов с приоритетом  $N-1$ . Всегда, когда на арбитражию с любого порта поступают пакеты с приоритетом 3, они передаются в выходной порт перед пакетами с приоритетом 2. Также пакеты с приоритетом 2 передаются перед пакетами с приоритетом 1 и приоритет 1 перед приоритетом 0.

Пакет с приоритетом 3 всегда будет отправлен в выходной порт, если есть свободные выходные буфера. Однако пакеты с меньшим приоритетом могут быть не переданы в выходной блок, если число свободных буферов равно или меньше пороговых значений, определенных для каждого приоритета в регистрах  $Px\_OUTB\_WM$ .

#### 5.4 Очередь пакетов

Коммутатор формирует очереди пакетов во входном и выходном блоках. Схема очередей показана на рисунке 5.2.

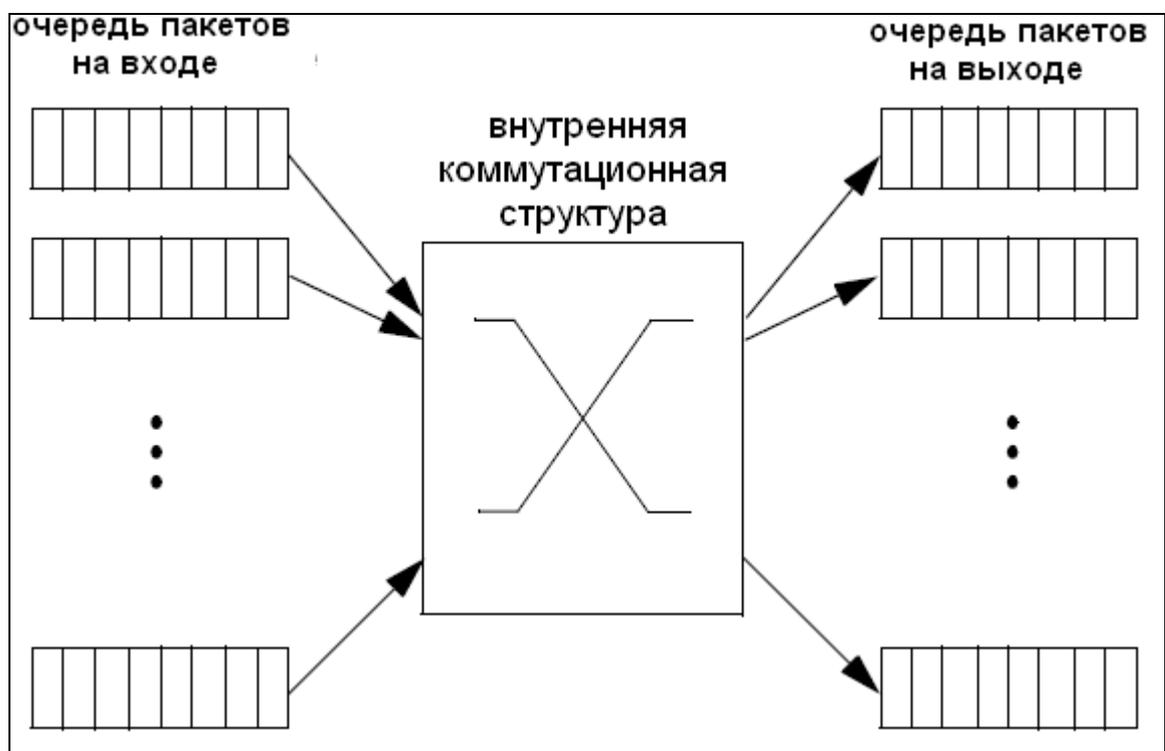


Рисунок 5.2 – Схема очередей пакетов.

#### 5.4.1 Очередь выходного блока

Каждый выходной блок коммутатора имеет буфер на 8 пакетов. Буферизация необходима для повторной посылки пакетов при ошибках передачи. Внутренняя схема коммутации определяет пакеты, которые будут переданы в выходной блок из одного из входных, на основании информации о заполненности буферов и пороговых значениях для каждого приоритета. Пороги для каждого выходного порта определены для приоритетов 0, 1 и 2, и находятся в регистрах P<sub>x</sub>\_OUTB\_WM. Пакеты с приоритетом 3 передаются всегда при наличии свободных буферов.

Следующие правила используются для установки пороговых значений:

- пороговое значение не устанавливается для пакетов с приоритетом 3;
- пакет с приоритетом x будет передан в выходной блок, если число свободных буферов в блоке больше установленного порогового значения PRIO<sub>x</sub>\_WM;

- три пороговых уровня (PRIO0\_WM, PRIO1\_WM, PRIO2\_WM) должны быть установлены согласно условиям:

- PRIO0\_WM > PRIO1\_WM > PRIO2\_WM;
- PRIO2\_WM >= 1;
- PRIO1\_WM >= 2;
- PRIO0\_WM >= 3;

Вышеуказанные требования обеспечивают условия, при которых пакеты с меньшим приоритетом никогда не заполнят все буферы выходного блока и, таким образом, сделают невозможным передачу пакетов с большим приоритетом.

В таблице 5.1 показан пример установки пороговых значений.

Таблица 5.1 – Пример программирования пороговых значений

Количество свободных буферов	Пример 1: PRIO2_WM=1 PRIO1_WM=2 PRIO0_WM=3	Пример 1: PRIO2_WM=2 PRIO1_WM=4 PRIO0_WM=5
	Приоритет пакетов, которые могут быть переданы	Приоритет пакетов, которые могут быть переданы
8	0, 1, 2, 3	0, 1, 2, 3
7	0, 1, 2, 3	0, 1, 2, 3
6	0, 1, 2, 3	0, 1, 2, 3
5	0, 1, 2, 3	1, 2, 3
4	0, 1, 2, 3	2, 3
3	1, 2, 3	2, 3
2	2, 3	3
1	3	3
0	=	=

Пакеты, пришедшие в выходной блок, передаются по интерфейсу RapidIO в соседнее устройство в порядке поступления за исключением случаев повторной передачи. При повторной передаче очередь выходного блока переупорядочивается. В этом случае для отправки выбирается пакет с самым высоким приоритетом, который дольше всех находится в очереди.

#### 5.4.2 Очередь входного блока

Каждый входной блок коммутатора имеет буфер на 8 пакетов. Также как в выходном блоке, прием пакетов во входной блок ведется с учетом программируемых пороговых значений в регистре RIO\_WM каждого порта. Пороговые значения определены для приоритетов 0, 1 и 2. Пакеты с приоритетом 3 принимаются всегда при наличии свободных буферов. Правила программирования порогов такие же, как и для выходных блоков.

Если пакет, пришедший по интерфейсу RapidIO, не может быть принят входным блоком, пакет отбрасывается и передающему устройству отправляется контрольный символ “packet-retry”. Получив его, передатчик выбирает пакет с более высоким приоритетом (если такой имеется) и отправляет его.

В таблице 5.1 показаны примеры программирования пороговых значений буферов входного блока.

#### 5.5 Арбитрация во входном блоке

Поступающие во входной блок пакеты помещаются в очередь пакетов. Пакет в начале очереди является кандидатом на передачу через внутреннюю схему коммутации в требуемый выходной блок. Если в данный момент пакет передать невозможно из-за заполненности выходного блока, производится перестановка и в начало очереди помещается другой пакет.

Имеются три алгоритма перестановки, которые выбираются разрядами RDR\_MODE регистров Px\_RDR\_MODE:

- режим 0 (FIFO);
- режим 1 (приоритетный №1);
- режим 2 (приоритетный №2);

##### 5.5.1 Режим арбитрации 0 (FIFO)

В этом режиме в случае перестановки выбирается пакет, ближайший к началу очереди и который может быть передан в требуемый выходной блок.

##### 5.5.2 Режим арбитрации 1 (приоритетный №1)

В этом режиме пакеты с более высоким приоритетом обрабатываются перед пакетами с меньшим приоритетом, если высокоприоритетный пакет может быть передан. Арбитрация происходит по следующим правилам:

- выбирается пакет с приоритетом 3, который может быть передан в выходной порт и ближайший к началу очереди;

- иначе, если такого пакета нет, выбирается пакет с приоритетом 2, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 1, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 0, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 3, ближайший к началу очереди. Этот пакет необязательно может быть передан в выходной порт в данный момент;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 2, ближайший к началу очереди. Этот пакет необязательно может быть передан в выходной порт в данный момент;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 1, ближайший к началу очереди. Этот пакет необязательно может быть передан в выходной порт в данный момент;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 0, ближайший к началу очереди. Этот пакет необязательно может быть передан в выходной порт в данный момент.

### 5.5.3 Режим арбитражи 2 (приоритетный №2)

В этом режиме пакеты с более высоким приоритетом обрабатываются перед пакетами с меньшим приоритетом, даже если высокоприоритетный пакет не может быть передан в выходной блок в данный момент. Арбитраж происходит по следующим правилам:

- выбирается пакет с приоритетом 3, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 3, ближайший к началу очереди;
- выбирается пакет с приоритетом 2, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 2, ближайший к началу очереди;
- выбирается пакет с приоритетом 1, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 1, ближайший к началу очереди;
- выбирается пакет с приоритетом 0, который может быть передан в выходной порт и ближайший к началу очереди;
- иначе, если такого пакета нет, выбирается пакет с приоритетом 0, ближайший к началу очереди.

## 6 СИСТЕМА ОПОВЕЩЕНИЙ О СОБЫТИЯХ

Микросхема коммутатора имеет две возможности передать сообщение о внутренних событиях:

- Отправка служебного пакета “port–write”;
- Выдача прерывания на выход INT<sub>n</sub>.

Большинство событий могут использовать оба типа оповещений, однако некоторые выдают только прерывание.

### 6.1 Внутренние события коммутатора

В таблице 6.1 показаны все события, которые могут возникнуть в коммутаторе и какие оповещения в результате выдаются.

Таблица 6.1 – События и соответствующие разряды регистров

Событие	Тип события	Описание	Прерывание	“port–write”
Таймаут TTL	Ошибка	Событие возникает, когда срабатывает таймер TTL, связанный с пакетом. Вводятся разряды IMP_SPEC_ERR в регистре PORT <sub>x</sub> _ERR_DET, OUTPUT_DROP в регистре PORT <sub>x</sub> _ERR_STAT и TTL_EXPIRED в регистре R <sub>x</sub> _INT_STAT.	Да	Да
Превышено макс. число повторных пересылок	Ошибка	Событие возникает, когда счетчик повторных посылок пакетов достиг порогового значения, определенного в разрядах MAX_RETRY_THRSH регистра PORT <sub>x</sub> _CTRL. Вводятся разряды IMP_SPEC_ERR в регистре PORT <sub>x</sub> _ERR_DET и MAX_RETRY в регистре R <sub>x</sub> _INT_STAT. Счетчик пересылок сбрасывается, если: <ul style="list-style-type: none"> <li>– счетчик достиг порогового значения;</li> <li>– принят “packet–accepted”</li> <li>– принят “packet–not_accepted”</li> </ul>	Да	Да

Неверная транзакция	Ошибка	Событие возникает, когда входной порт принимает пакет со следующими ошибками: – неопределен порт назначения в таблице маршрутизации; – поле “tt” содержит зарезервированное значение	Да	Да
Ошибка четности таблицы маршрутизации	Ошибка	Взводятся разряды IMP_SPEC_ERR в регистре PORTx_ERR_DET и LUT_PAR_ERR в регистре Pх_INT_STAT.	Да	Да
Число ошибок достигло уровня RFT	Ошибка	Событие возникает, когда счетчик ошибок ERR_RATE_CNT достигает порогового значения ERR_RFT. Взводится разряд OUTPUT_FAIL в регистре PORTx_ERR_STAT	Да	Да
Число ошибок достигло уровня RDT	Ошибка	Событие возникает, когда счетчик ошибок ERR_RATE_CNT достигает порогового значения ERR_RDT. Взводится разряд OUTPUT_DEG в регистре PORTx_ERR_STAT	Да	Да
Получен запрос на сброс	Состояние	Событие возникает, когда входной блок принял четыре последовательных контрольных символа “reset”. Взводится разряд RCS_INT в регистре Pх_CS_INT_STATUS и разряд RST_INT в регистре GLOB_INT_STATUS.	Да	Нет
Получен символ группового сообщения	Состояние	Событие возникает, когда входной блок принял контрольный символ MCS. Взводится разряд MCS_INT в регистре Pх_CS_INT_STATUS и разряд MCS_INT в регистре GLOB_INT_STATUS.	Да	Нет

Переполнение очереди выходного блока	Состояние	Событие возникает, когда счетчик переполнений выходного блока CONG_CTR достигает порогового значения CONG_THRSH в регистре TX_CONG_CTR. Вводится разряд OUT_DEPTH в регистре P <sub>x</sub> _INT_STAT.	Да	Да
Переполнение очереди входного блока	Состояние	Событие возникает, когда счетчик переполнений входного блока CONG_CTR достигает порогового значения CONG_THRSH в регистре RX_CONG_CTR. Вводится разряд INB_DEPTH в регистре P <sub>x</sub> _INT_STAT.	Да	Да
Превышение макс. числа перестановок входной очереди.	Состояние	Событие возникает, когда счетчик числа перестановок в очереди входного блока RDR_CNT превысило пороговое значение RDR_THD в регистре INB_REORDER. Вводится разряд INB_RDR в регистре P <sub>x</sub> _INT_STAT.	Да	Да
Критическая ошибка порта	Ошибка	Событие возникает, когда входной или выходной блок порта RapidIO обнаруживает ошибку, требующую вмешательства ПО. Ошибки включают в себя: <ul style="list-style-type: none"> <li>– четыре попытки синхронизации “link-request”– “link-response” с ошибочным полем “ackID”</li> <li>– четыре отправленных символа “link-request”, но не получены “link-response”</li> <li>– четыре попытки синхронизации “link-request”– “link-response” со статусом “Unrecoverable Error Encountered”.</li> </ul> Вводится разряд PORT_ERR в регистре PORT <sub>x</sub> _ERR_STAT.	Да	Да

Завершение инициализации порта	Состояние	Событие возникает, когда порт закончил процесс инициализации после обнаружения подключенного к нему устройства. Взводятся разряды LINK_INIT_NOTIF в регистре P <sub>x</sub> _INT_STAT.	Да	Да
Получен контрольный символ с ошибочным полем "ackID".	Ошибка	Взводится разряд CS_ILL_ID в регистре PORT <sub>x</sub> _ERR_DET.	Да	Да
Получен пакет с ошибочным полем "ackID".	Ошибка	Взводится разряд PKR_ILL_ACKID в регистре PORT <sub>x</sub> _ERR_DET.	Да	Да
Размер принятого пакета превышает 276 байт	Ошибка	Взводится разряд PKR_ILL_SIZE в регистре PORT <sub>x</sub> _ERR_DET.	Да	Да
Получен контрольный символ "link-response" с ошибочным полем "ackID".	Ошибка	Взводится разряд LR_ACKID_ILL в регистре PORT <sub>x</sub> _ERR_DET.	Да	Да
Ошибка протокола. Получен непредвиденный контрольный символ или пакет.	Ошибка	Взводится разряд PROT_ERR в регистре PORT <sub>x</sub> _ERR_DET.	Да	Да
Ошибка выравнивания сигнала Frame по 32 разрядам.	Ошибка	Взводится разряд DELIN_ERR в регистре PORT <sub>x</sub> _ERR_DET.	Да	Да

Ошибка выравнивания сигнала Frame относительно тактового сигнала.	Ошибка	Взводится разряд FRAME_ERR в регистре PORTx_ERR_DET.	Да	Да
Получен непредвиденный контрольный символ	Ошибка	Взводится разряд CS_ACK_ILL в регистре PORTx_ERR_DET.	Да	Да
Таймаут соединения	Ошибка	Событие возникает, когда не получен подтверждающий контрольный символ. Взводится разряд LINK_TO в регистре PORTx_ERR_DET.	Да	Да
Ошибка в контрольном символе	Ошибка	Событие возникает, когда получен контрольный символ с несоответствием прямой и инверсной части. Взводится разряд CS_ERR в регистре PORTx_ERR_DET.	Да	Да
Получен контрольный символ “packet-not-accepted”	Ошибка	Взводится разряд CS_NOT_ACC в регистре PORTx_ERR_DET.	Да	Да
CRC ошибка в принятом пакете	Ошибка	Взводится разряд PKT_CRC_ERR в регистре PORTx_ERR_DET.	Да	Да

## 6.2 Оповещение о событиях с помощью пакетов “port-write”

Из любого порта коммутатора может быть отправлен служебный пакет “port-write”, оповещающий о событиях, возникших в процессе работы микросхемы. Отправка “port-write” разрешена по умолчанию, но может быть запрещена установкой в 1 разряда PW\_DIS регистра Px\_PORT\_CONFIG.

При сброшенном разряде PW\_DIS, каждое произошедшее событие вызывает отправку пакета “port-write”, адресованного устройству, номер

которого указан в регистре PW\_DESTID. Пакеты отправляются только на те события, прерывания от которых разрешены программированием соответствующих регистров. Если был отправлен пакет в результате какого-либо события, то повторное событие также вызовет отправку “port-write”.

По спецификации RapidIO для пакета “port-write” не гарантируется доставка, и нет ответного пакета. Поэтому в коммутаторе существует механизм повторной отправки пакета до тех пор, пока не будет сброшен разряд PORT\_W\_PEND в регистре PORTx\_ERR\_STAT. Период повторения посылок определяется регистром RIO\_PW\_TIME по формуле: период = 16777216 \* PW\_TIMER \* (такт), где такт – период внутренней частоты коммутатора (11нс при 90МГц). В регистре RIO\_PW\_REQ\_STAT показаны порты, которые отправили пакеты “port-write” и ожидают реакции со стороны ПО (сброс разряда PORT\_W\_PEND).

Номер устройства, приемника пакетов “port-write”, устанавливается один для всех портов и содержится в регистре PW\_DESTID. Указанный номер должен быть прописан в таблицах маршрутизации.

Пакет “port-write” включает в себя 16 байт данных, содержащих информацию о состоянии микросхемы. Структура данных показана в таблице 6.2.

Таблица 6.2 – Структура данных пакета “port-write”

Смещение	слово 0	слово 1
0x0	Регистр COMP_TAG	Регистр PORTx_ERR_DET
0x8	31:19 – 0x0000 18 – поле MAX_RETRY регистра Px_INT_STAT; 17 – поле OUTPUT_DROP регистра PORTx_ERR_STAT; 16 – поле ILL_TRANS_ERR регистра Px_INT_STAT; 15 – поле PORT_ERR регистра PORTx_ERR_STAT; 14 – поле OUTB_DEPTH регистра Px_INT_STAT; 13 – поле INB_DEPTH регистра Px_INT_STAT; 12 – поле INB_RDR регистра Px_INT_STAT; 11 – поле OUTPUT_FAIL регистра PORTx_ERR_STAT; 10 – поле OUTPUT_DEG регистра PORTx_ERR_STAT; 9 – поле LUT_PAR_ERR регистра Px_INT_STAT; 8 – поле LINK_INIT_NOTIF регистра Px_INT_STAT; 7:0 – номер порта – источника пакета;	Регистр LOG_ERR_DET

### 6.3 Выход прерывания INT<sub>n</sub>

Микросхема коммутатора имеет один выход прерывания INT<sub>n</sub>, на который выводятся все разрешенные источники прерываний от всех портов.

Прерывание выставляется, когда установлен в 1 один из разрядов регистра GLOB\_INT\_STAT и соответствующее прерывание разрешено в регистре GLOB\_INT\_EN. Если прерывание запрещено в регистре GLOB\_INT\_EN, при возникновении события будет взведен разряд в регистре GLOB\_INT\_STAT, но прерывание не выставится на выход INT<sub>n</sub>. Сброс прерывания производится записью в регистры состояния прерываний соответствующего порта.

## 7 СИСТЕМА КОНТРОЛЯ ПРОИЗВОДИТЕЛЬНОСТИ

Задачей схемы контроля производительности является наблюдение за потоком данных через каждый порт коммутатора. Источником потока данных на шине RapidIO может быть любой вычислительный элемент, и перегрузка может возникнуть на любом участке сети. Схема контроля производительности может использоваться для обнаружения и устранения перегрузок в сети RapidIO. Каждый порт RapidIO имеет свой набор регистров контроля производительности.

### 7.1 Основные характеристики

Система контроля производительности отслеживает следующие параметры потока:

- Принятые/переданные пакеты–запросы с заданным приоритетом (0, 1, 2, 3 на выбор, либо их комбинации);
- Все принятые/переданные пакеты с заданным приоритетом (0, 1, 2, 3 на выбор, либо их комбинации);
- Принятые/переданные 32–разрядные слова в пакетах с заданным приоритетом (0, 1, 2, 3 на выбор, либо их комбинации)
- принятые /переданные контрольные символы (исключая “retry”);
- принятые /переданные контрольные символы “retry”;
- состояние очередей входного и выходного блоков;
- число произведенных переупорядочиваний пакетов во входном блоке;

### 7.2 Конфигурирование системы контроля производительности

Каждый порт коммутатора имеет набор из шести счетчиков событий  $Px\_PS(0-5)\_CTR$  и регистров конфигурации  $Px\_CFG\_PS0n1\_CTR$ ,  $Px\_CFG\_PS2n3\_CTR$  и  $Px\_CFG\_PS4n5\_CTR$ , где  $x$  – номер порта (0–7). Счетчики событий подсчитывают элементы потока, проходящего через порт, а регистры конфигурации определяют тип информации, учитываемой счетчиками.

Тип информации определяется следующими полями регистров конфигурации:

- $PSn\_PRIO(3-0)$  – определяет приоритеты пакетов, для которых будет собираться статистика,
  - 1 – пакеты данного приоритета учитываются;
  - 0 – пакеты данного приоритета не учитываются;
- $PSn\_DIR$  – определяет входящий или исходящий трафик,
  - 1 – исходящий трафик;
  - 0 – входящий трафик;
- $PSn\_TYPE$  – определяет тип собираемой информации,
  - 000b – только пакеты–запросы, служебные пакеты (Type8) не учитываются;

- 001b – все пакеты;
  - 010b – контрольные символы “retry”;
  - 011b – все контрольные символы, исключая “retry”;
  - 100b – 32-разрядные слова пакета (включая заголовок);
- где n – номер счетчика (0–5) данного порта.

Каждый из шести регистров–счетчиков можно независимо настроить на учет определенного типа трафика. При достижении счетчиком значения 0xFFFFFFFF, счет прекращается. При чтении счетчик сбрасывается.

## 8 БЛОК ИНТЕРФЕЙСА I<sup>2</sup>C

Интерфейс I<sup>2</sup>C представляет собой двухпроводную линию связи (SDA и SCL) и предназначен для подключения к коммутатору низкоскоростных устройств, например EEPROM, термодатчики и т.д.

### 8.1 Характеристики интерфейса

Интерфейса I<sup>2</sup>C коммутатора имеет следующие характеристики:

- подключение ведомых устройств;
- поддержка 7–разрядной адресации устройств на шине;
- 0, 1 или 2–байтовая адресация внешнего устройства;
- размер передачи 0, 1, 2, 3 или 4 байта;
- частота работы шины 100 кГц;
- возможность начальной загрузки регистров из EEPROM:
- 1 или 2–байтовая адресация EEPROM;
- загрузка до 255 регистров коммутатора при 1–байтовой адресации;
- загрузка до 8К–1 регистров коммутатора при 2–байтовой адресации;

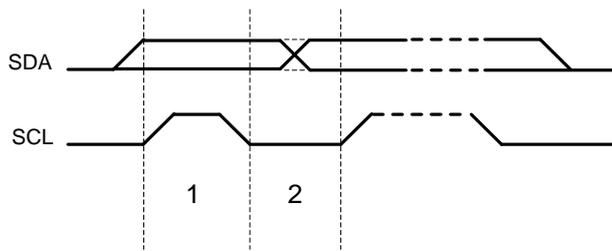
Как SDA, так и SCL являются двунаправленными линиями. Когда шина свободна, обе линии находятся в ВЫСОКОМ положении. Выходные каскады устройств, подключенных к шине, имеют открытый коллектор для обеспечения функции монтажного И.

### 8.2 Пересылка бита

Вследствие различных технологий микросхем (КМОП, НМОП, биполярная), которые могут быть подключены к шине, уровни логического нуля (“НИЗКИЙ”) и логической единицы (“ВЫСОКИЙ”) не фиксированы и зависят от соответствующего уровня Vdd. Один синхроимпульс генерируется на каждый пересылаемый бит.

### 8.3 Валидность данных.

Данные на линии SDA должны быть стабильными в течение ВЫСОКОГО периода синхроимпульса SCL. ВЫСОКОЕ или НИЗКОЕ состояние линии данных должно меняться, только если линия синхронизации в состоянии НИЗКОЕ (см. рисунок 8.1).



1. Линия данных находится в стабильном состоянии, данные определены
2. Допускается изменение данных

Рисунок 8.1 – Пересылка бита в шине I2C

#### 8.4 Сигналы START и STOP

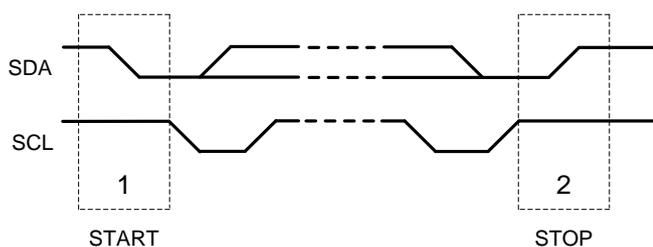
Специальные ситуации на шине отмечают сигналы START и STOP (см. рисунок 8.2).

Переход линии SDA из ВЫСОКОГО состояния в НИЗКОЕ, в то время как SCL находится в ВЫСОКОМ состоянии означает START.

Переход линии SDA из НИЗКОГО состояния в ВЫСОКОЕ при SCL в ВЫСОКОМ состоянии означает STOP.

Сигналы СТАРТ и СТОП всегда вырабатываются ведущим. Считается, что шина занята после сигнала СТАРТ. Шина считается освободившейся через определенное время после сигнала СТОП.

Определение сигналов СТАРТ и СТОП устройствами, подключенными к шине достаточно легко, если в них встроены необходимые цепи. Однако микроконтроллеры без таковых цепей должны осуществлять считывание значения линии SDA как минимум дважды за период синхронизации для того, чтобы определить переход состояния.

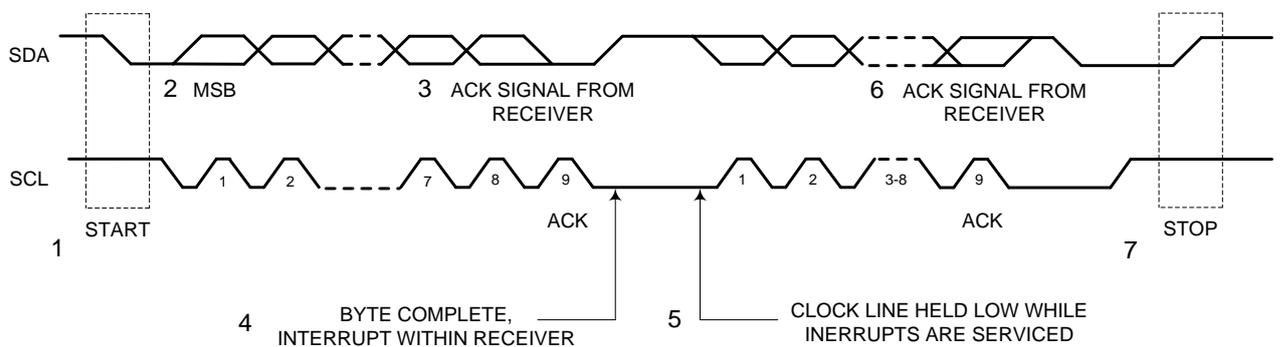


1. Сигнал СТАРТ
2. Сигнал СТОП

Рисунок 8.2 – Сигналы СТАРТ и СТОП

## 8.5 Формат байта

Каждый байт, передаваемый по линии SDA, должен состоять из 8 бит. Количество байт, передаваемых за один сеанс связи неограничено. Каждый байт должен оканчиваться битом подтверждения. Данные передаются, начиная с наиболее значащего бита (см. рисунок 8.3). Если приёмник не может принять еще один целый байт, пока он не выполнит какую-либо другую функцию (например, обслужит внутреннее прерывание), он может удерживать линию SCL в НИЗКОМ состоянии, переводя передатчик в состояние ожидания. Пересылка данных продолжается, когда приёмник будет готов к следующему байту и отпустит линию SCL.



1. Сигнал СТАРТ
2. Старший разряд байта
3. Сигнал подтверждения от приёмника
4. Прием байта завершен. Прерывание внутри приемника
5. Синхрония удерживается в низком состоянии, пока обслуживается прерывание
6. Сигнал подтверждения от приемника
7. Сигнал СТОП

Рисунок 8.3 – Пересылка данных по шине I2C

## 8.6 Подтверждение

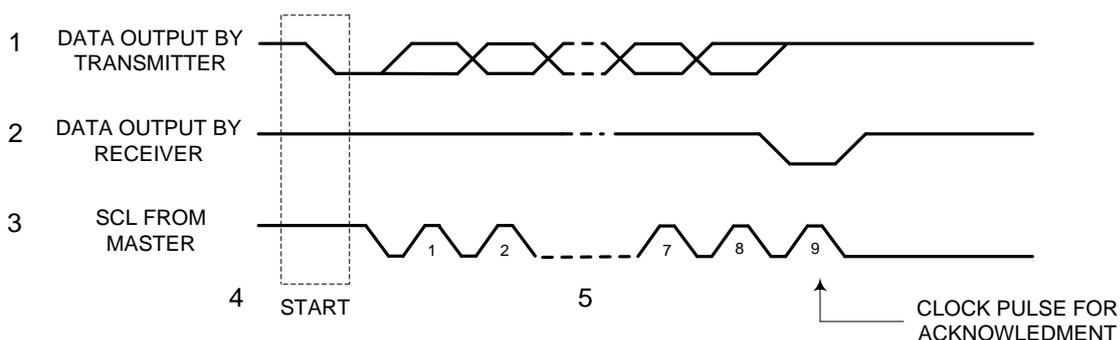
Подтверждение при передаче данных обязательно. Соответствующий импульс синхронизации генерируется ведущим. Передатчик отпускает (ВЫСОКОЕ) линию SDA в течение синхроимпульса подтверждения. Приёмник должен удерживать линию SDA в течение ВЫСОКОГО состояния синхроимпульса подтверждения в стабильно НИЗКОМ состоянии (см. рисунок 8.4). Конечно, время установки и удержания также должны быть приняты во внимание.

Обычно, приёмник, который был адресован, обязан генерировать подтверждение после каждого принятого байта, исключая те случаи, когда посылка начинается с адреса CBUS.

В том случае, когда ведомый–приёмник не может подтвердить свой адрес (например, когда он выполняет в данный момент какие–либо функции реального времени), линия данных должна быть оставлена в ВЫСОКОМ состоянии. После этого ведущий может выдать сигнал СТОП для прерывания пересылки данных.

Если ведомый–приёмник подтвердил свой адрес, но через некоторое время больше не может принимать данные, ведущий также должен прервать пересылку. Для этого ведомый не подтверждает следующий байт, оставляет линию данных в ВЫСОКОМ состоянии и ведущий генерирует сигнал СТОП.

Если в пересылке участвует ведущий–приёмник, то он должен сообщить об окончании передачи ведомому–передатчику путем не подтверждения последнего байта. Ведомый–передатчик должен освободить линию данных для того, чтобы позволить ведущему выдать сигнал СТОП или повторить сигнал СТАРТ.



1. Данные, переданные передатчиком
2. Данные, переданные приёмником
3. SCL от ведущего
4. Сигнал СТАРТ
5. Синхроимпульс подтверждения

Рисунок 8.4 – Подтверждение

## 8.7 Формат передачи данных

Посылки данных происходят в формате, показанном на рисунке 8.3. После сигнала СТАРТ посылается адрес ведомого. После 7 бит адреса следует бит направления данных (R/W), “ноль” означает передачу (запись), а “единица” – прием (чтение). Пересылка данных всегда заканчивается сигналом СТОП, генерируемым ведущим. Однако, если ведущий желает оставаться на шине дальше, он должен выдать повторный сигнал СТАРТ и затем адрес следующего устройства. При таком формате посылки возможны различные комбинации чтения/записи.

Возможные форматы:

– Ведущий–передатчик передает ведомому–приёмнику. Направление пересылки данных не изменяется (рисунок 8.5).

– Ведущий читает ведомого немедленно после пересылки первого байта (рисунок 8.6). В момент первого подтверждения ведущий–передатчик становится ведущим–приёмником и ведомый–приёмник становится ведомым–передатчиком.

– Подтверждение тем не менее генерируется ведомым. Сигнал СТОП генерируется ведущим.

– Комбинированный формат (рисунок 8.7). При изменении направления пересылки данных повторяется сигнал СТАРТ и адрес ведомого, но бит направления данных инвертируется. Если ведущий–приёмник посылает повторный сигнал СТАРТ, он обязан предварительно послать сигнал неподтверждения.

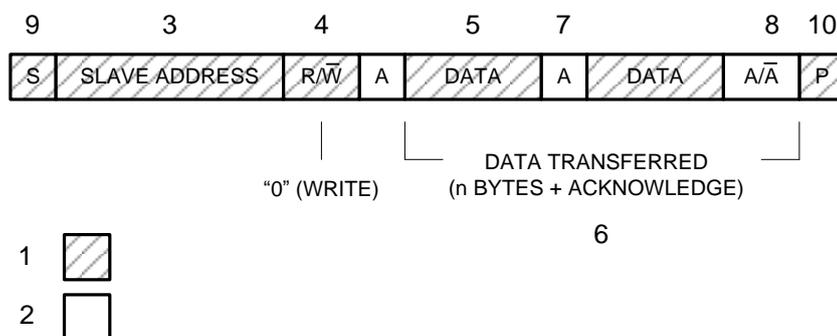
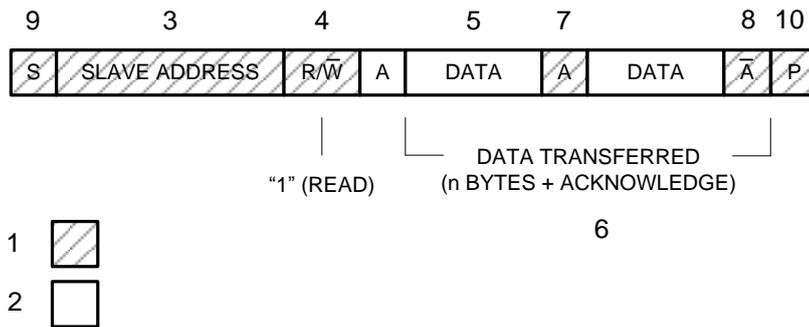
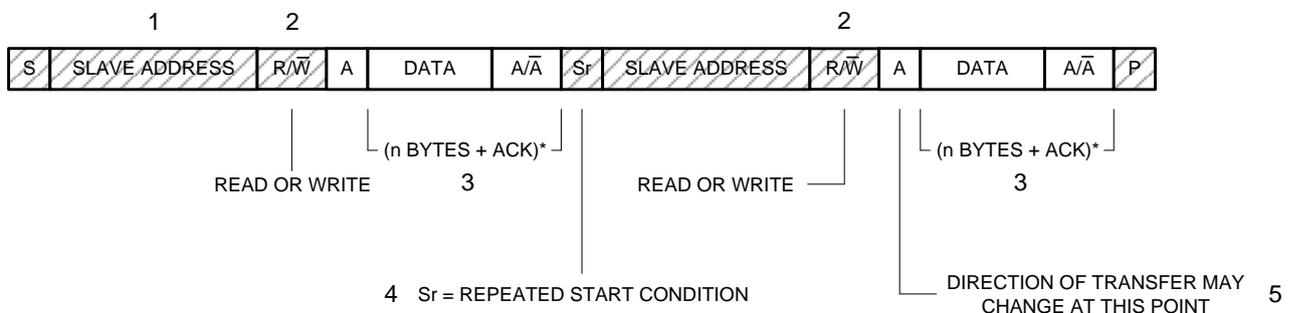


Рисунок 8.5 – Ведущий–передатчик адресует ведомого–приемника



1. От ведущего к ведомому
2. От ведомого к ведущему
3. Адрес ведомого
4. Бит направления
5. Данные
6. Пересылаемые данные (n байт + подтверждение)
7. A – Подтверждение
8. A – Неподтверждение
9. Сигнал СТАРТ
10. Сигнал СТОП

Рисунок 8.6 – Ведущий читает из ведомого непосредственно после первого байта



6 \*TRANSFER DIRECTION OF DATA AND ACKNOWLEDGE BITS DEPENDS ON R/W BITS

1. Адрес ведомого
2. Чтение или запись
3. n байтов + подтверждения
4. Сигнал повторного СТАРТА
5. Направление пересылки может измениться в этой точке
6. Направление пересылки данных и битов подтверждения зависит от битов направления

Рисунок 8.7 – Комбинированный формат

Комбинированные форматы могут быть использованы, например, для управления последовательной памятью. Во время первого байта данных можно передавать адрес в памяти, который записывается во внутреннюю защелку. После повторения сигнала СТАРТа и адреса ведомого выдаются данные из памяти. Все решения об авто–инкременте или декременте адреса, к которому произошел предыдущий доступ, принимаются конструктором устройства. Каждый байт завершается битом подтверждения. I2C–совместимые устройства должны сбрасывать логику шины при получении сигнала СТАРТ или повторный СТАРТ и подготавливаться к приему адреса.

## 8.8 Доступ к устройствам по I<sup>2</sup>C

Доступ к устройствам на шине I<sup>2</sup>C производится с помощью следующих регистров коммутатора:

- регистр сброса I2C\_RES;
- регистр 1 управления I2C\_CTRL\_1;
- регистр 2 управления I2C\_CTRL\_2;
- регистр 1 состояния I2C\_STAT\_1;
- регистр 2 состояния I2C\_STAT\_2;
- регистр чтения I2C\_READ;
- регистр записи I2C\_WRITE;

Эти регистры доступны через интерфейсы RapidIO (с помощью служебных пакетов) или через интерфейс JTAG.

## 8.9 Цикл записи по шине I<sup>2</sup>C

Цикл записи по шине I<sup>2</sup>C производится следующим образом:

1. В регистре I2C\_CTRL\_1 определить размер адреса внешнего устройства (1 или 2 байта) и адрес устройства на шине. Адрес устройства состоит из двух частей: старшие 4 разряда определяют тип устройства (1010b для EEPROM) и младшие 3 разряда выбирают устройство на шине.

2. В регистр I2C\_WRITE записать передаваемые данные. На шину I<sup>2</sup>C данные записываются побайтно в последовательности:

- 1) I2C\_WRITE\_DATA[31:24]
- 2) I2C\_WRITE\_DATA[23:16]
- 3) I2C\_WRITE\_DATA[15:8]
- 4) I2C\_WRITE\_DATA[7:0]

Например, если записывается только один байт по адресу N, то будут записаны разряды [31:24]. Если записывается 4 байта по адресу N, то данные запишутся следующим образом:

- по адресу N – данные [31:24];
- по адресу N+1 – данные [23:16];
- по адресу N+2 – данные [15:8];
- по адресу N+3 – данные [7:0];

3. В регистр I2C\_CTRL\_2 установить следующие поля:

- PADDR – адрес в адресном пространстве устройства;

- SIZE – количество записываемых байтов;
- I2C\_WRITE – установить 1 (запись);
- I2C\_START – установить 1 (старт цикла);

Запись в данные регистр запускает цикл записи на шине I<sup>2</sup>C.

4. Дождаться установки в 1 разряда I2C\_DONE в регистре I2C\_STAT\_1. Взведенный разряд I2C\_NACK говорит об ошибочном завершении цикла.

Если последующие циклы производятся к тому же устройству, регистр I2C\_CTRL\_1 можно повторно не заполнять.

## 8.10 Цикл чтения по шине I<sup>2</sup>C

Цикл чтения по шине I<sup>2</sup>C производится следующим образом:

1. В регистре I2C\_CTRL\_1 определить размер адреса внешнего устройства (1 или 2 байта) и адрес устройства на шине. Адрес устройства состоит из двух частей: старшие 4 разряда определяют тип устройства (1010b для EEPROM) и младшие 3 разряда выбирают страницу в адресном пространстве устройства.

2. В регистр I2C\_CTRL\_2 установить следующие поля:

- PADDR – адрес в адресном пространстве устройства;
- SIZE – количество читаемых байтов;
- I2C\_WRITE – установить 0 (запись);
- I2C\_START – установить 1 (старт цикла);

Запись в данные регистр запускает цикл чтения на шине I<sup>2</sup>C.

3. Дождаться установки в 1 разряда I2C\_DONE в регистре I2C\_STAT\_1. Взведенный разряд I2C\_NACK говорит об ошибочном завершении цикла.

4. В регистр I2C\_READ находятся считанные данные. Данные, принятые с шины I<sup>2</sup>C сохраняются в регистре побайтно в последовательности:

- a. I2C\_WRITE\_DATA[31:24]
- b. I2C\_WRITE\_DATA[23:16]
- c. I2C\_WRITE\_DATA[15:8]
- d. I2C\_WRITE\_DATA[7:0]

Например, если читается только один байт по адресу N, то данные будут сохранены в разрядах [31:24]. Если читаются 4 байта по адресу N, то считанные данные сохранятся следующим образом:

- адрес N – в разрядах [31:24];
- адрес N+1 – в разрядах [23:16];
- адрес N+2 – в разрядах [15:8];
- адрес N+3 – в разрядах [7:0].

### 8.11 Начальная инициализация регистров коммутатора

После подачи питания или снятия сигнала сброса начинается автоматическая загрузка регистров коммутатора из внешней микросхемы EEPROM по интерфейсу I<sup>2</sup>C. Микросхемы EEPROM, в зависимости от емкости, могут иметь 1 или 2–байтовую адресацию. Размер адреса, используемый коммутатором для доступа к EEPROM, определяется состоянием входа PA\_SIZE\_SEL. Если на вход подан “0” – используется 1 байт адреса, если “1” или вход неподключен – 2 байта адреса.

Загрузка начинается с чтения из EEPROM 8 байтов по адресу 0. Первые два байта содержат число загружаемых регистров, следующие 6 байт должны быть равны 0xFF. Число загружаемых регистров не должно быть больше 255 при 1–байтовой адресации или 8191 при 2–байтовой адресации. Если эти условия не выполняются, загрузка прекращается и в регистре I2C\_STAT\_1 взводится разряд I2C\_CFG\_ERR.

Если заголовок верный, загрузчик продолжает считывать из EEPROM по 8 байтов данных – первые 4 байта содержат адрес регистра, вторые – записываемые данные.

Во время начальной загрузки в регистре I2C\_STAT\_2 установлен в 1 разряд BOOT. После окончания загрузки разряд устанавливается в 0.

В таблице 8.1 показан формат содержимого загрузочного EEPROM.

Таблица 8.1 – Формат данных в загрузочном EEPROM

Адрес в EEPROM	Адрес + 0	Адрес + 1	Адрес + 2	Адрес + 3
0x0	Число Регистров (MSB)	Число Регистров (LSB)	0xFF	0xFF
0x4	0xFF	0xFF	0xFF	0xFF
0x8	Адрес (MSB)	Адрес	Адрес	Адрес (LSB)
0xC	Данные (MSB)	Данные	Данные	Данные (LSB)
0x10	Адрес (MSB)	Адрес	Адрес	Адрес (LSB)
0x14	Данные (MSB)	Данные	Данные	Данные (LSB)
...	...	...	...	...

## 9 БЛОК ГРАНИЧНОГО СКАНИРОВАНИЯ (JTAG)

Микросхема КПЗЯ поддерживает стандарт IEEE 1149.1 (Test Access Port and Boundary Scan Architecture). Основой данного стандарта является стандарт, предложенный группой JTAG. Включение дополнительного тестирующего логического блока – блока граничного сканирования (JTAG блока) в состав микросхемы дает возможность проверять:

- функционирование микросхемы,
- соединения между данной микросхемой и другими компонентами на печатной плате

- взаимодействие с различными компонентами на печатной плате.

Блок граничного сканирования включает в свой состав:

- порт доступа (Test Access Port – TAP), состоящего из сигналов: TMS, TCK, TDI, TRST (входные), TDO (выходной),

- контроллер порта доступа (TAP контроллер), который управляет регистром команд и регистрами данных,

- регистр команд (Instruction Register), который в зависимости от поступившей в него инструкции (последовательный сдвиг через TDI) выбирает, какая команда будет выполнена, либо к какому регистру данных будет произведен доступ,

- регистры данных, включающие: регистр граничного сканирования (Boundary Scan Register) , обходной регистр (Bypass Register), идентификационный регистр (Device Identification Register) и регистр доступа к внутренним регистрам коммутатора.

Если JTAG не используется, то сигналы TMS, TDI, TDO следует оставить не подсоединёнными, а сигналы TCK и TRST подсоединить к «земле».

### 9.1 Порт доступа (TAP)

TMS (Test Mode Select) – управляющий сигнал для TAP контроллера.

TCK (Test Clock Input) – тактирующий сигнал для блока граничного сканирования.

TDI (Test Data Input) – последовательный вход (команды и данные последовательно сдвигаются) в блок граничного сканирования.

TRST (Test Reset Input) – вход, обеспечивающий асинхронную инициализацию TAP контроллера и регистра команд (логический ноль на данном входе переводит блок JTAG в начальное состояние).

TDO (Test Data Output) – последовательный выход (команды и данные последовательно сдвигаются на выход). Этот выход тактируется отрицательным фронтом сигнала TCK.

## 9.2 Контроллер порта доступа (TAP контроллер)

Контроллер порта доступа – это синхронная машина состояний, определяющая последовательность операций блока граничного сканирования. Эта машина состояний в зависимости от логического уровня на входе TMS меняет свое состояние по положительному фронту сигнала ТСК. Логический ноль на входе TRST переводит систему в начальное состояние (состояние Test\_Logic\_Reset). КПЗЯ полностью реализует машину состояния TAP как это требует стандарт IEEE 1149.1.

## 9.3 Регистры

### 9.3.1 Регистр команд

Регистр команд – это двухразрядный сдвиговый регистр, который используется для задания режима функционирования машины JTAG. Его содержимое интерпретируется как тестовая инструкция, комбинации битов и описание инструкций приведено в таблице 9.1.

Таблица 9.1 – Команды JTAG

Биты регистра	Инструкция	Описание
11111111	BYPASS	Эта команда подключает обходной регистр между входом TDI и выходом TDO, что позволяет сделать путь данных от TDI к TDO минимальным по сравнению с использованием регистра граничного сканирования для сквозной передачи данных. Этот режим может использоваться, когда необходимо передать данные от предыдущей микросхемы к следующей за минимально короткое время.
00000000	EXTEST	Эта команда позволяет проводить проверку межкомпонентных соединений. Тестовые данные вдвигаются в ячейки регистра граничного сканирования и выводятся на выходную площадку.
00000001	SAMPLE/ PRELOAD	Данная команда позволяет сделать "моментальный снимок" всех входов и выходов микросхемы, не вмешиваясь в ее работу. Ячейки граничного сканирования, установленные на выходах микросхемы, записывают выходные сигналы, а ячейки, установленные на входе – входные данные.
00000010	IDCODE	Позволяет узнать идентификационные параметры микросхемы КПЗЯ.
00000100	REG_ACS	Обеспечивает чтение и запись внутренних регистров коммутатора.

### 9.3.2 Регистры данных

Микросхема содержит три регистра данных: регистр граничного сканирования, обходной регистр и идентификационный регистр. Каждый регистр данных подсоединен своим старшим разрядом к входу TDI и младшим разрядом к выходу TDO. Данные последовательно сдвигаются на один разряд (по положительному фронту тактирующего сигнала TCK) от старшего разряда (вход TDI) к младшему (выход TDO). Для управления работой этих регистров необходимы также управляющие сигналы от регистра команд и контроллера порта доступа.

#### 9.3.3 Регистр граничного сканирования (Boundary Scan Register).

Этот сдвиговый регистр подсоединен ко всем площадкам ввода/вывода за исключением площадок GND, VCC и NC. Регистр граничного сканирования предназначен для выполнения следующих функций:

- тестирование внешних логических схем (других микросхем) с одновременной изоляцией внутренних логических схем от внешних воздействий (на входные сигналы на внутреннюю логику на весь период тестирования выставляются значения из выходного регистра ячейки граничного сканирования – Update Register),
- тестирование внутренних логических схем с одновременной изоляцией внешних логических схем (на выходные сигналы от внутренней логики на весь период тестирования выставляются значения из регистра Update Register),
- обеспечение фиксирования и анализа логических уровней сигналов на площадках ввода/вывода, без вмешательства в основной режим работы микросхемы (имеется в виду режим, когда микросхема выполняет свои основные функции – функции графического контроллера).

Ниже приведен порядок ячеек граничного сканирования.

TDI → INT\_CLK → TX\_CLK → RESET\_n → SDA → SCL → INT\_n → MCS\_PIN → PA\_SIZE\_SEL → TDO.

#### 9.3.4 Обходной регистр (Bypass Register)

Обходной регистр это одnorазрядный сдвиговый регистр, который формирует минимальный путь данных между входом TDI и выходом TDO. Этот регистр используется, когда необходимо передать данные для тестирования (считать либо записать) следующему компоненту на плате (включенному в цепочку граничного сканирования).

#### 9.3.5 Идентификационный регистр (Device Identification Register)

Идентификационный регистр позволяет узнать такие параметры устройства как код производителя (Manufacturer ID), код устройства (Design Part Number) и его версию (Design Version Number). Для микросхемы коммутатора эти параметры имеют следующие значения:

Manufacturer ID: 925

Design Part Number: 247

Design Version Number: 1

### 9.3.6 Доступ к регистрам коммутатора

Для доступа к регистрам используется пользовательская команда с REG\_ACS. Формат регистра данных для команды показан на рисунке 9.1.

TDI→ 

Addr[23:0]	Data[31:0]	R/W	Err	Rdy
------------	------------	-----	-----	-----

 → TDO

Рисунок 9.1 – Формат регистра данных.

Запись в регистры коммутатора через интерфейс JTAG производится в следующей последовательности:

- 1 Загрузить в фазе “Shift-IR” инструкцию 0x04.
- 2 Перейти в фазу “Shift-DR” и загрузить данные в формате, показанном на рисунке 9.1. Поле R/W установить в 0.
- 3 Перейти в фазу “Run-test idle” и оставаться 20 тактов TCK.
- 4 Перейти в фазу “Shift-DR”, считать 2 разряда – Err и Rdy. Цикл завершился без ошибок, когда разряд Rdy установлен в 1, а Err – в 0.
- 5 Перейти к шагу 2 для последующих циклов записи.
- 6 Чтение из регистров коммутатора через интерфейс JTAG производится в следующей последовательности:
- 7 Загрузить в фазе “Shift-IR” инструкцию 0x04.
- 8 Перейти в фазу “Shift-DR” и загрузить данные в формате, показанном на рисунке 7.1. Поле R/W установить в 1. В поле Data установить все 0.
- 9 Перейти в фазу “Run-test idle” и оставаться 20 тактов TCK.
- 10 Перейти в фазу “Shift-DR”, считать разряды состояние и данные. Цикл завершился без ошибок, когда разряд Rdy установлен в 1, а Err – в 0.
- 11 Перейти к шагу 2 для последующих циклов чтения.

## 10 ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

## 10.1 Электрические параметры микросхемы

Электрические параметры микросхемы в диапазоне температур от  $-60$  до  $+85^{\circ}\text{C}$  приведены в таблице 10.1.

Таблица 10.1 – Электрические параметры 1890КПЗЯ

Наименование параметра, единица измерения, режим измерения.	Буквенное обозначе- ние пара- метра	Норма параметра		Темпера- тура среды $^{\circ}\text{C}$	
		не менее	не более		
Электрические параметры цифровой части микросхемы					
Выходное напряжение низкого уровня <sup>1)</sup> , В, при $I_{OL}=4,0$ мА, $U_{CC1}=1,89$ В, $U_{CC2}=3,47$ В	$U_{OL}$	–	0.5	от $-60$ до $+85$	
Выходное напряжение высокого уровня <sup>2)</sup> , В, при $I_{OH}= -2,0$ мА, $U_{CC1}=1,71$ В, $U_{CC2}=3,13$ В,	$U_{OH}$	2,4	–	от $-60$ до $+85$	
Выходной ток высокого и низкого уровней в состоянии «Выключено» <sup>3)</sup> , мкА, при $U_{CC1}=1,89$ В, $U_{CC2}=3,47$ В, $U_{OL}=0$ В, $U_{OH}=3,57$ В	$I_{OZL},$ $I_{OZH}$	$-70$	70	от $-60$ до $+85$	
Выходной ток высокого уровня в схеме с от- крытым стоком в выключенном состоянии <sup>4)</sup> , мкА, при $U_{CC1}=1,89$ В, $U_{CC2}=3,47$ В, $U_{OH}=3,57$ В	$I_{OH}$	–	70	от $-60$ до $+85$	
Ток утечки высокого и низкого уровней на входе <sup>5)</sup> , мкА, при $U_{CC1}=1,89$ В, $U_{CC2}=3,47$ В, $U_{IL}=0$ В, $U_{IH}=3,57$ В	$I_{ILH},$ $I_{ILL}$	$-70$	70	от $-60$ до $+85$	
Ток потребления статический, мА, при $U_{PVREF}=1,25$ В, $U_{IH}=2,0$ В, $U_{IL}=0,6$ В, $U_{IP}=1,3$ В, $U_{IN}=1,2$ В	$U_{CC1}=1,89$ В	$I_{CC1}$	–	100	от $-60$ до $+85$
	$U_{CC2}=3,47$ В	$I_{CC2}$	–	1350	
Ток потребления динамический, мА, при $U_{PVREF}=1,25$ В, $U_{IH}=3,47$ В, $U_{IL}=0$ В, $U_{IP}=1,45$ В, $U_{IN}=1,05$ В, $f_{CORE} = 80$ МГц	$U_{CC1}=1,89$ В	$I_{OCC1}$	–	850	от $-60$ до $+85$
	$U_{CC2}=3,47$ В	$I_{OCC2}$	–	1400	

Продолжение таблицы 10.1

Наименование параметра, единица измерения, режим измерения	Буквенное обозначе- ние пара- метра	Норма параметра		Темпе- ратура среды, °С	
		не менее	не более		
Электрические параметры параллельного интерфейса RapidIO					
Выходное напряжение на пря- мом выходе дифференциаль- ной пары параллельного ин- терфейса RapidIO <sup>6)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	U <sub>OP</sub>	0	2,4	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Выходное напряжение на ин- версном выходе дифференци- альной пары параллельного интерфейса RapidIO <sup>6)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	U <sub>ON</sub>	0	2,4	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Выходное дифференциальное напряжение высокого уровня параллельного интерфейса RapidIO <sup>7)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	U <sub>ODH</sub>	0,247	0,454	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Выходное дифференциальное напряжение низкого уровня параллельного интерфейса RapidIO <sup>7)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	U <sub>ODL</sub>	–0,454	–0,247	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Смещение выходного диффе- ренциального напряжения па- раллельного интерфейса RapidIO <sup>7)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	ΔU <sub>OD</sub>	–	0,050	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Выходное напряжение общего уровня (высокое) параллельно- го интерфейса RapidIO <sup>7)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	U <sub>OSH</sub>	1,025	1,475	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Выходное напряжение общего уровня (низкое) параллельного интерфейса RapidIO <sup>7)</sup> В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	U <sub>OSL</sub>	1,025	1,475	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				

Продолжение таблицы 10.1

Наименование параметра, единица измерения, режим измерения.		Буквенное обозначе- ние пара- метра	Норма параметра		Темпера- тура среды °C
			не менее	не более	
Смещение выходного напряже- ния общего уровня параллельно- го интерфейса RapidIO <sup>7)</sup> , В, при R <sub>D</sub> =100 Ом	U <sub>CC1</sub> =1,71 В, U <sub>CC2</sub> =3,13 В, U <sub>PVREF</sub> =1,19 В	ΔU <sub>OS</sub>	–	0,05	от – 60 до + 85
	U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В				
Ток утечки высокого и низкого уровней на входе параллельно- го интерфейса RapidIO <sup>8)</sup> , мкА, при U <sub>CC1</sub> =1,89 В, U <sub>CC2</sub> =3,47 В, U <sub>PVREF</sub> =1,31 В	U <sub>IP</sub> =3,57 В, U <sub>IN</sub> =0 В	I <sub>ILDH</sub>	–70	70	от – 60 до + 85
	U <sub>IP</sub> =0 В, U <sub>IN</sub> =3,57 В	I <sub>ILDL</sub>			
Емкость выводов микросхемы					
Входная емкость, пФ		C <sub>IN</sub>	–	10	25 ± 10
Выходная емкость, пФ		C <sub>OUT</sub>	–	20	25 ± 10
Емкость входа/выхода, пФ		C <sub>I/O</sub>	–	20	25 ± 10
<p>1) Измеряют на выводах: SDA, SCL, MCS, INT#, PLL_TST_CLK, TDO.</p> <p>2) Измеряют на выводах: MCS, PLL_TST_CLK, TDO.</p> <p>3) Измеряют на выводах: MCS, TDO.</p> <p>4) Измеряют на выводах: SDA, SCL, INT#.</p> <p>5) Измеряют на выводах: RESET#, DPA_EN, PA_SIZE_SEL, TX_INCLK2, INT_CLK, TX_CLK, TCK, TDI, TMS.</p> <p>6) Измеряют на выводах дифференциальных пар сигналов: PTxD_P[7:0], PTxD_N[7:0], PTxFRM_P, PTxFRM_N, PTxCLK_P, PTxCLK_N, где x – номер порта RapidIO (от 0 до 7). Сигналы дифференциальной пары должны быть соединены друг с другом через резистор R<sub>D</sub>=100 Ом.</p> <p>7) Уровни напряжений рассчитывают в соответствии с 3.6.2.6.</p> <p>8) Измеряют на выводах дифференциальных пар сигналов: PRxD_P[7:0], PRxFRM_P, PRxCLK_P, PRxD_N[7:0], PRxFRM_N, PRxCLK_N, где x – номер порта RapidIO (от 0 до 7).</p>					

## 10.2 Значения предельно допустимых и предельных электрических режимов эксплуатации

Значения предельно допустимых и предельных электрических режимов эксплуатации микросхемы в диапазоне рабочих температур от  $-60$  до  $+85$  °С, приведены в таблице 10.2.

Таблица 10.2 – Предельно допустимые режимы эксплуатации 1890КПЗЯ

Наименование параметра режима, единица измерения	Буквенное обозначение пара- метра	Норма параметра			
		Предельно допу- стимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	$U_{CC1}$	1,71	1,89	-0,2	2,0
	$U_{CC2}$	3,13	3,47	-0,2	3,6
Электрические параметры цифровой части микросхемы					
Напряжение, прикладываемое к выходу микросхемы в состоянии «выключено» <sup>1)</sup> , В	$U_{OZ}$	0	3,57	–	3,67
Входное напряжение низкого уровня <sup>2)</sup> , В	$U_{IL}$	0	0,6	-0,2	–
Входное напряжение высокого уровня <sup>2)</sup> , В	$U_{IH}$	2,0	3,57	–	3,67
Статические электрические параметры параллельного интерфейса RapidIO					
Опорное напряжение параллельного интерфейса RapidIO <sup>3)</sup> , В	$U_{PVREF}$	1,19	1,31	-0,2	2,0
Входное напряжение на прямом входе дифференциальной пары параллельного интерфейса RapidIO <sup>4)</sup> , В	$U_{IP}$	0	2,4	-0,2	3,6
Входное напряжение на инверсном входе дифференциальной пары параллельного интерфейса RapidIO <sup>4)</sup> , В	$U_{IN}$	0	2,4	-0,2	3,6
Входное дифференциальное напряжение низкого уровня параллельного интерфейса RapidIO <sup>5)</sup> , В	$U_{IDL}$	-0,6	-0,1	–	–
Входное дифференциальное напряжение высокого уровня параллельного интерфейса RapidIO <sup>5)</sup> , В	$U_{IDH}$	0,1	0,6	–	–
Входное напряжение общего уровня параллельного интерфейса RapidIO <sup>5)</sup> , В	$U_{IS}$	0,05	2,35	–	–

## Продолжение таблицы 10.2

Наименование параметра режима, единица измерения	Буквенное обозначение пара- метра	Норма параметра			
		Предельно допу- стимый режим		Предельный режим	
		не менее	не более	не менее	не более
Входные частоты и емкость выводов микросхемы					
Частота ядра микросхемы <sup>6)</sup> , МГц	$f_{MULT}$	–	80	–	–
Опорная частота параллельного интерфейса RapidIO <sup>7)</sup> , МГц	$f_{RREF}$	–	125	–	–
Частота портов параллельного интерфейса RapidIO <sup>8)</sup> , МГц	$f_{PVRIO}$	–	250	–	–
Емкость нагрузки каждого выхода, пФ	$C_L$	–	25	–	40
Длительность фронта и спада входных сигналов <sup>2)</sup> , нс	$t_{LH}, t_{HL}$	–	3	–	5
<p>1) Для выводов: SDA, SCL, MCS, INT#, TDO.</p> <p>2) Для выводов: RESET#, DPA_EN, PA_SIZE_SEL, TX_INCLK2, INT_CLK, TX_CLK, TCK, TDI, TMS.</p> <p>3) Для выводов: VREF1, VREF2.</p> <p>4) Для выводов дифференциальных пар сигналов: PRxD_P[7:0], PRxD_N[7:0], PRxFRM_P, PRxFRM_N, PRxCLK_P, PRxCLK_N, где x – номер порта RapidIO (от 0 до 7). Сигналы дифференциальной пары должны быть соединены друг с другом через резистор <math>R_D=100</math> Ом.</p> <p>5) Уровни напряжений рассчитывают в соответствии с 3.6.2.6.</p> <p>6) Для вывода INT_CLK.</p> <p>7) Для вывода TX_CLK.</p> <p>8) Для выводов дифференциальных пар сигналов: PRxCLK_P, PRxCLK_N где x – номер порта RapidIO (от 0 до 7). Сигналы дифференциальной пары должны быть соединены друг с другом через резистор <math>R_D=100</math> Ом.</p>					

## 10.3 Динамические параметры микросхемы

## 10.3.1 Динамические параметры интерфейса RapidIO

Динамические характеристики выходного буфера при скорости записи 500Mbps (частота синхросигнала 250 МГц).

Характеристики	Символ	Диапазон		Единицы	Примечание
		Min	Max		
Выходное дифференциальное напряжение высокого уровня	$U_{OH\Delta}$	200	540	мВ	См. рисунок 10.1
Выходное дифференциальное напряжение низкого уровня	$U_{OLD}$	-540	-200	мВ	См. рисунок 10.1
Единичный интервал	UI	2000	2000	пс	Требуется долговременная стабильность частоты не хуже $\pm 100$ ppm
Разброс скважности синхросигнала	DC	48	52	%	Измерено на уровне $U_{OD} = 0V$
Время спада (диф. сигнал; уровень 20% – 80%)	$t_{FALL}$	0.1		UI	
Время нарастания фронта (диф. сигнал; уровень 20% – 80%)	$t_{RISE}$	0.1		UI	
Верные данные	DV	0.63		UI	Измерено по глазковой диаграмме. См. рисунок 10.1
Допустимое статическое смещение между сигналами данных в пределах группы 8bit/9bit	$t_{DPAIR}$		0.09	UI	См. рисунок 10.6.
Допустимое статическое смещение данных относительно синхросигнала	$t_{SKEW.PAIR}$	-0.09	0.09	UI	См. рисунок 10.4, 10.6.
Статическое смещение синхросигналов	$t_{CSKEW.PAIR}$		0.09	UI	См. рисунок 10.5.
Динамическое смещение синхросигналов	$t_{CKEW.PAIRD}$		2	UI	См. рисунок 10.5.

Глазковые диаграммы и маски соответствия позволяют эффективно определить и отобразить характеристики приемника и передатчика. Маска глазковой диаграммы определяет максимальный разрешенный уровень сигнала и минимальный разрешенный раскрыв «глаза». Глазковая диаграмма тестируемого сигнала формируется согласно спецификации. Соответствие характеристик приемника и передатчика спецификации определяется следующим образом: при наложении глазковой диаграммы на маску, рисунок диаграммы полностью попадает в светлую часть маски.

Маска глазковой диаграммы передатчика RapidIO показана на рисунке 10.1.

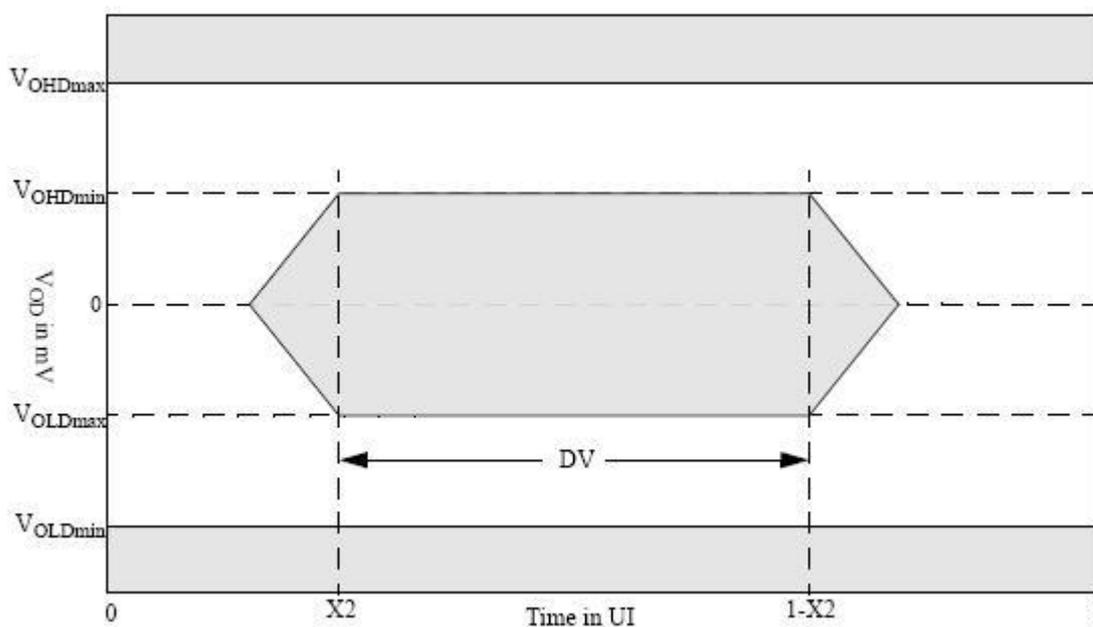


Рисунок 10.1 – Маска глазковой диаграммы передатчика RapidIO

Динамические характеристики приемника при скорости записи 500Mbps (250MHz частота синхросигнала).

Характеристики	Символ	Диапазон		Единицы	Примечание
		Min	Max		
Разброс скважности синхросигнала	DC	47	53	%	Соразмерно $U_{ID} = 0V$
Верные данные	DV	0.54		UI	См. рисунок 10.2
допустимое статическое смещение между сигналами	$t_{DPAIR}$		0.19	UI	См. рисунок 10.6.

данных в пределах группы 8bit/9bit					
Допустимое статическое смещение входных данных относительно синхросигнала	$t_{\text{SKEW.PAIR}}$	-0.15	0.15	UI	См. рисунок 10.4, 10.6.
Статическое смещение синхросигналов	$t_{\text{CSKEW.PAIR}}$		0.14	UI	См. рисунок 10.5
Динамическое смещение синхросигналов	$t_{\text{CSKEW.PAIRD}}$		0.3	UI	См. рисунок 10.5

Маска глазковой диаграммы приемника RapidIO показана на рисунке 10.2.

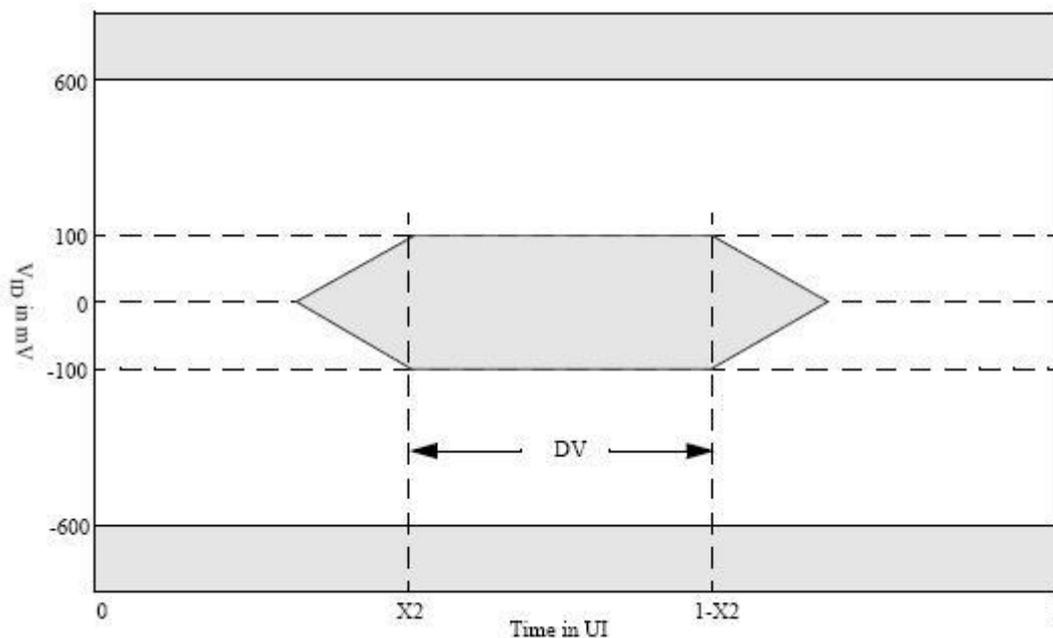


Рисунок 10.2 – Маска глазковой диаграммы приемника RapidIO

Пример глазковой диаграммы приемника показан на рисунке 10.3.

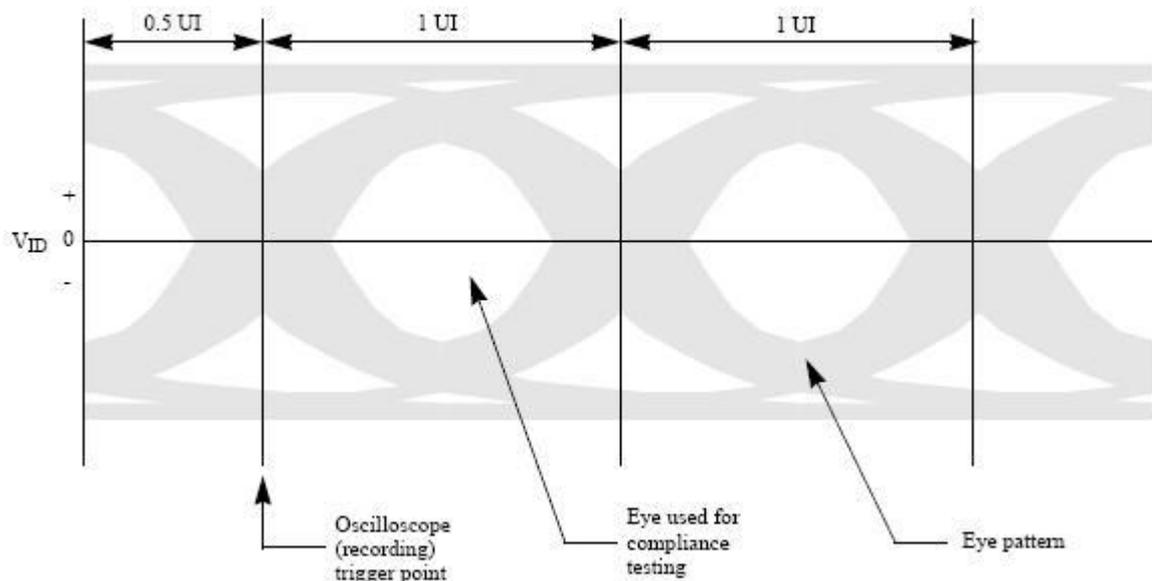


Рисунок 10.3 – Пример глазковой диаграммы приемника

На рисунке 10.4 показаны определения статического смещения данных относительно синхросигнала  $t_{\text{SKEW,PAIR}}$  и параметра разрешения данных  $DV$ . Разряды данных  $D$  и сигнала  $\text{FRAME}$  привязаны к синхросигналу. Все сигналы на рисунке – дифференциальные.  $V_D$  обозначает  $V_{OD}$  для передатчика и  $V_{ID}$  для приемника. Центр глазковой диаграммы определяется точкой, находящейся в центре области, в которой уровень напряжения сигнала больше или равен минимальному напряжению  $DV$ .

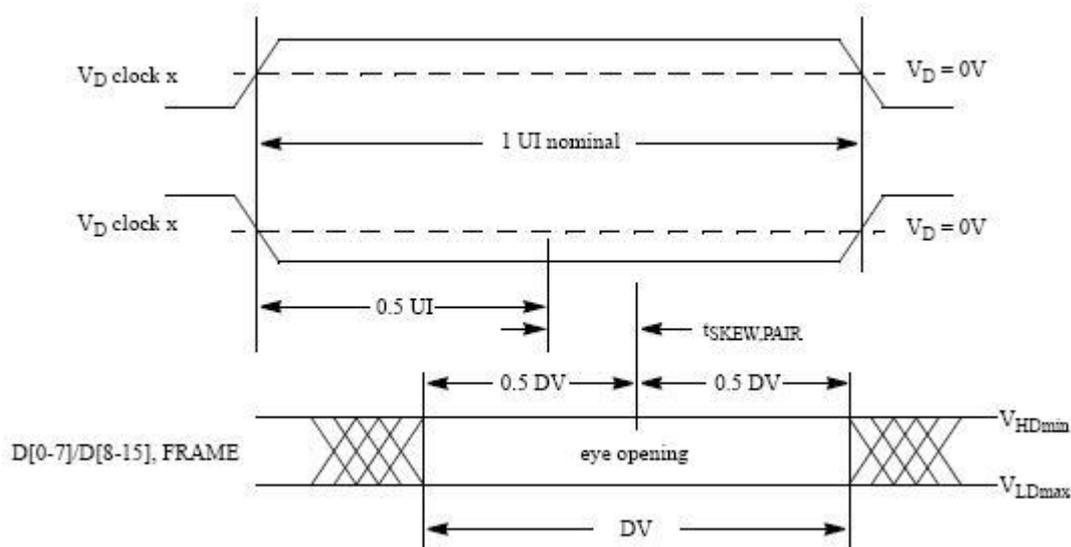


Рисунок 10.4 – Смещение данных относительно синхросигнала

На рисунке 10.5 показаны определения статического  $t_{\text{CSKEW,PAIR}}$  и динамического  $t_{\text{CSKEW,PAIRD}}$  разбросов смещений синхросигнала.

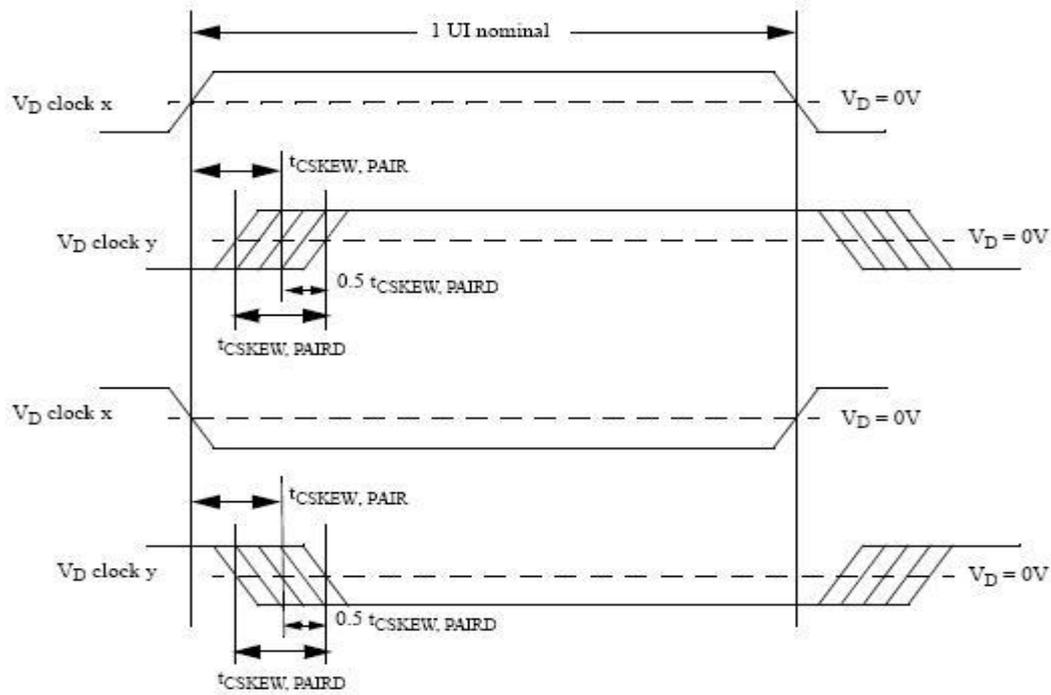


Рисунок 10.5 – Смещения синхросигналов относительно друг друга

На рисунке 10.6 показаны определения параметра смещения данных относительно друг друга  $t_{DPAIR}$  и параметра смещения данных относительно синхросигнала  $t_{SKEW, PAIR}$ .

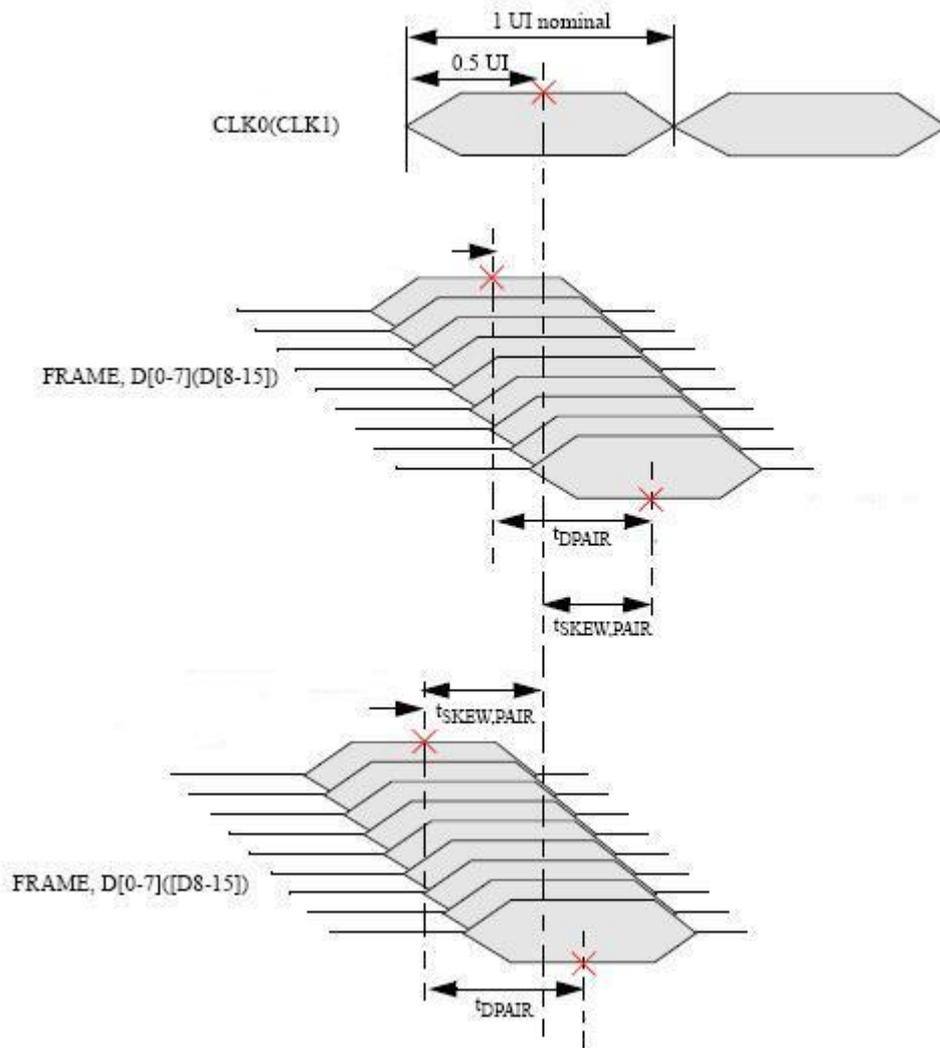


Рисунок 10.6 – Диаграмма статических смещений данных

### 10.3.2 Динамические параметры интерфейса I<sup>2</sup>C

## 11 УКАЗАНИЯ ПО ПРИМЕНЕНИЮ И МОНТАЖУ

11.1 Применение и эксплуатация микросхемы должны соответствовать требованиям ОСТ В 11 0998.

11.2 Проверку микросхем на входном контроле осуществлять по методам функционального контроля, приведенным в ЮКСУ.431243.001ТУ, и по ГОСТ Р 50779.52.

11.3 При необходимости осуществлять входной контроль при произвольной последовательности информационных и адресных сигналов, новые тесты функционального контроля согласовываются с заводом-изготовителем и представителем заказчика.

11.4 Устанавливать и извлекать микросхемы из контактирующих устройств, а также производить замену, необходимо только после снятия напряжения со всех выводов контактирующего устройства.

11.5 Режимы и условия монтажа в аппаратуре микросхем – по ОСТ 11 073.063.

11.6 Распайку микросхемы проводить способом групповой пайки выводов.

11.7 Порядок подачи на микросхему напряжения питания и входных сигналов: Общая точка, Uсс, входные напряжения.

11.8 При измерении и эксплуатации микросхем должны быть приняты меры исключающие возможность накопления электростатических зарядов на выводах контроллера в соответствии с ОСТ 11 073.062.

11.9 Недействующие в схематическом решении выводы микросхем типа «вход» необходимо подключить к шине Uсс или к общей точке. Выводы типа «вход/ Выход» подключать к шине Uсс или к общей точке через сопротивление  $R=1,2$  кОм, выводы типа «выход» – могут оставаться свободными.

11.10 Для защиты от влаги плат с микросхемами рекомендуется применять лак УР-231 ТУ 6-100863 или ЭП-730 ГОСТ 20824 в три слоя.

11.11 Микросхемы поставляются в металлополимерном корпусе с шариковыми выводами типа 6304.680-1. Характеристики корпуса 6304.680-1:

- размеры корпуса – 40,0x04,0x1,6 мм;
- материал корпуса – металлическое теплоотводящее основание с приклеенной к нему печатной платой;
- количество выводов – 680;
- шаг шариковых выводов – 1 мм, 5 рядов по периметру;
- диаметр шариковых выводов –  $(0,6 \pm 0,1)$  мм;
- материал шариковых выводов – Sn /4,0Ag /0,5Cu.

Габаритные размеры корпуса микросхемы приведены на рисунке 11.1.

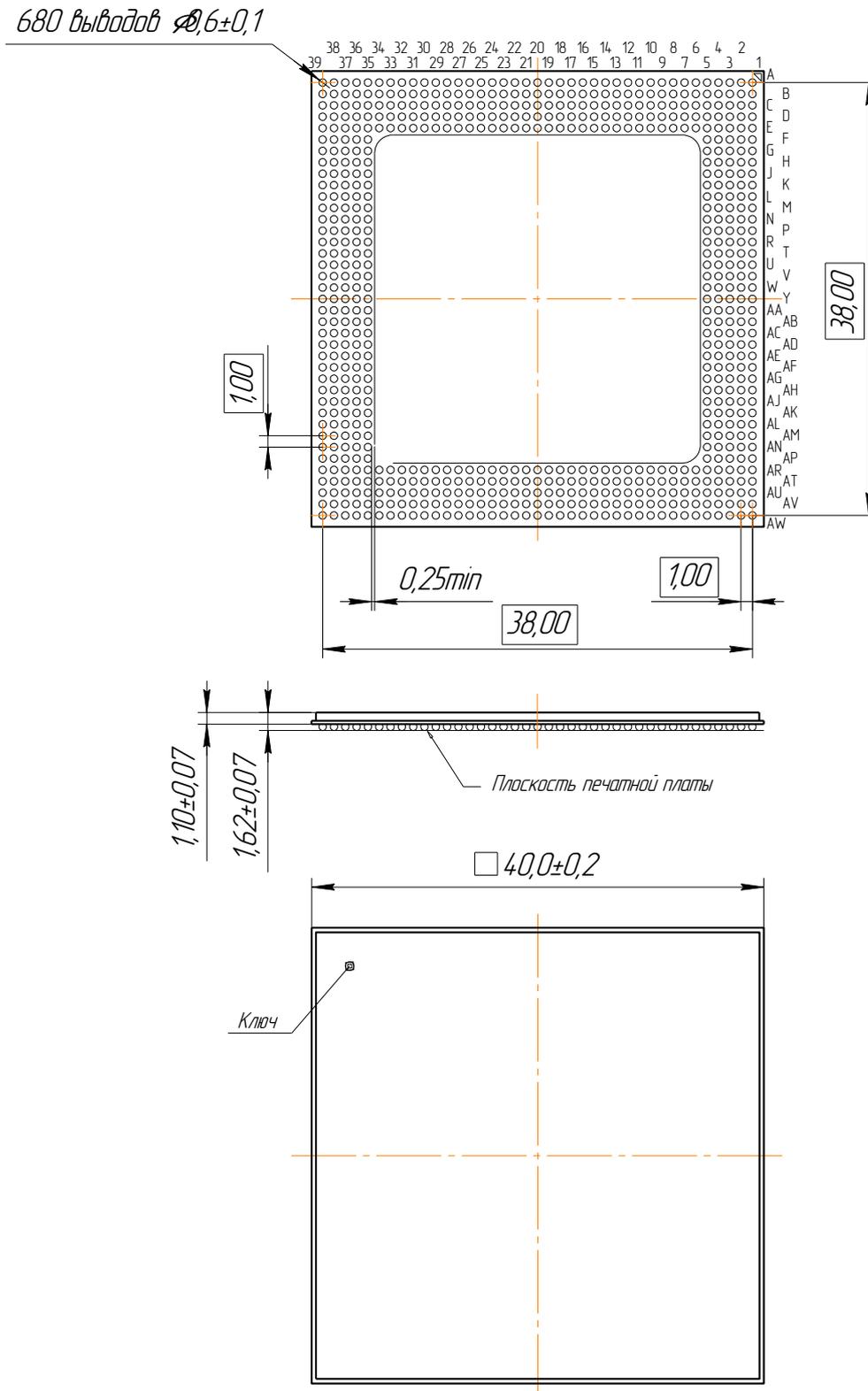


Рисунок 11.1 – Чертеж корпуса 6304.680-1

Рекомендуемое посадочное место для разработки печатной платы приведено на рисунке 11.2.

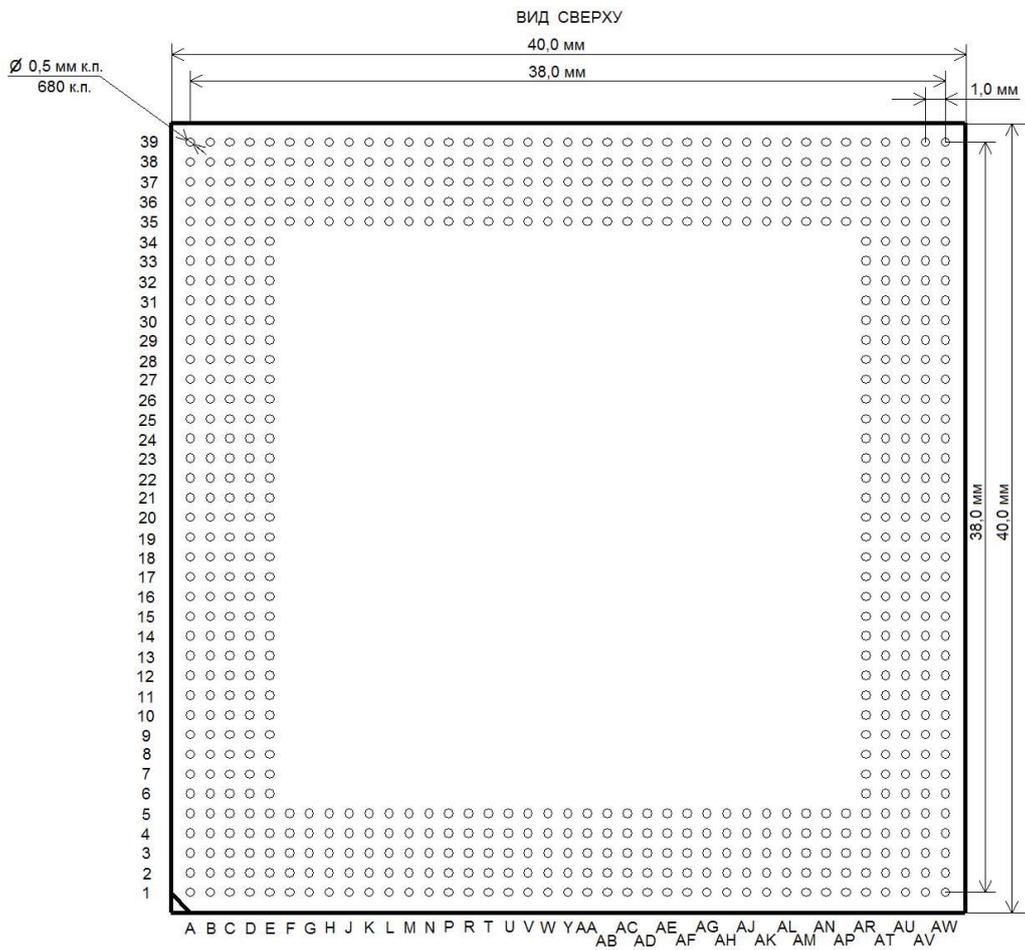


Рисунок 11.2 – Рекомендуемое посадочное место

Детальная информация о подключении к дополнительным интерфейсам.

Рисунок 11.3 демонстрирует подключение ППЗУ по интерфейсу I<sup>2</sup>C (AT24C512).

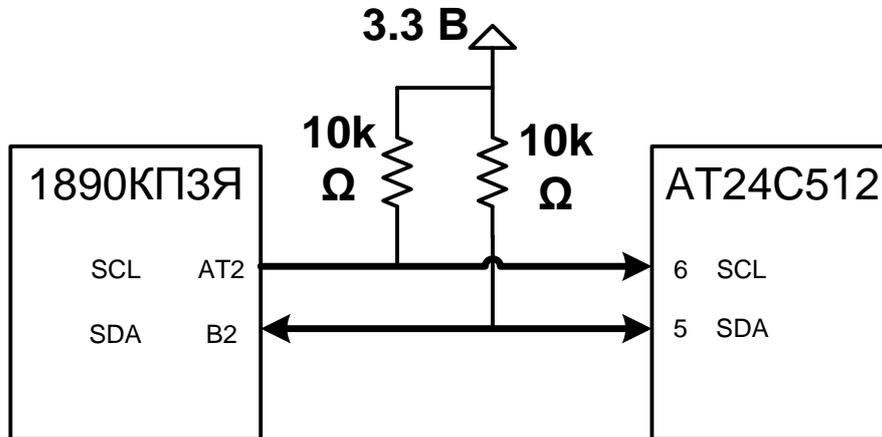


Рисунок 11.3 – Подключение ППЗУ

Рисунок 11.4 демонстрирует подключение устройства по интерфейсу RapidIO.

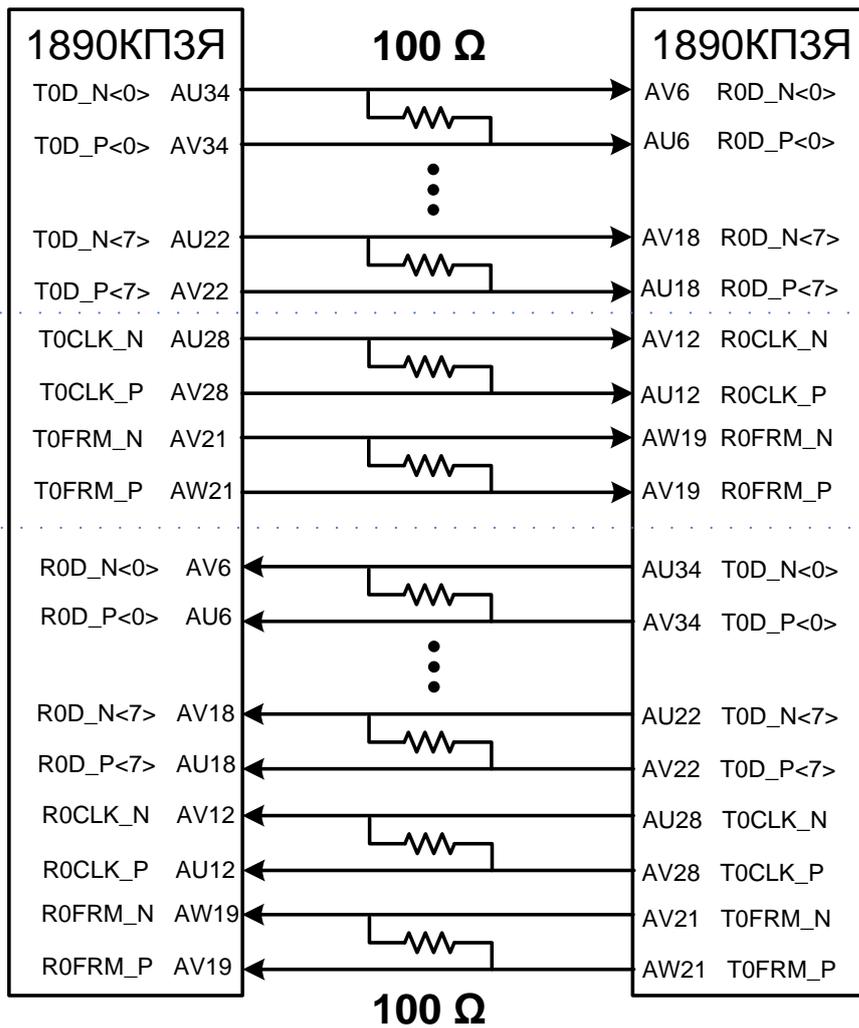


Рисунок 11.4 – Подключение устройства RapidIO

## 12 ПРИМЕНЕНИЕ В РЕЖИМАХ И УСЛОВИЯХ, НЕ ПРЕДУСМОТРЕННЫХ ТУ

Если в процессе разработки РЭА к контроллерам предъявляются требования применения в режимах и условиях, отличных от установленных в ТУ на микросхему, потребитель проводит испытания и тщательное исследование работы микросхем в таких режимах и условиях.

При положительных результатах испытаний применение микросхемы в этих режимах и условиях согласовывается потребителем по ОСТ 11 0492.

### 13 ТРЕБОВАНИЯ ПО БЕЗОПАСНОСТИ

При применении микросхем необходимо соблюдать "Межотраслевые правила по охране труда (правила безопасности) при эксплуатации электроустановок", ПОТ РМ-016-2001, РД 153-34.0-03.150, ГОСТ 12.2.007.0, ГОСТ 12.3.002.

ПРИЛОЖЕНИЕ А  
(справочное)

Нормативные документы

Обозначение НТД, на которую дана ссылка	Наименование
ГОСТ Р 50779.52–95	Статистические методы. Приемочный контроль качества по альтернативному признаку.
ГОСТ 20824–81	Лак ЭП–730. Технические условия.
ГОСТ 12.2.007.0–75	ССБТ. Изделия электротехнические. Общие требования безопасности
ГОСТ 12.3.002–75	ССБТ. Процессы производственные. Общие требования безопасности
ОСТ В 11 0998–99.	Микросхемы интегральные. Общие технические условия.
ОСТ 11 073.063–84	Микросхемы интегральные. Выбор и определение допустимых значений параметров воздействующих технологических факторов при производстве РЭА на интегральных микросхемах.
ОСТ 11 0492–87	Изделия электротехнические. Согласование и оформление разрешений на применение изделий в РЭА.
ПОТ РМ–016–2001, РД 153–34.0–03.150	Межотраслевые правила по охране труда (правила безопасности) при эксплуатации электроустановок

## Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Входящий № сопроводительного документа и дата	Подп.	Дата
	измененных	замененных	новых	аннулированных					
3	–	Все	–	–	–	ЮКСУ. Н005-2010		Боч-ва	12.03.10