

Справ. №	Перв. примен.
	КФДЛ.431295.045

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
К1921ВК01Т
Техническое описание
КФДЛ.431295.057ТО

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Литера

2015

Содержание

Введение	4
1 Область применения и особенности	5
2 Краткое техническое описание микроконтроллера	6
2.1 Функциональные параметры	6
2.2 Электрические параметры	22
3 Архитектура изделия	28
4 Система тактирования микроконтроллера	29
4.1 Описание блока синхронизации	29
4.2 Алгоритм перехода на системную частоту	30
4.3 Управление тактовыми сигналами периферии	31
5 Сброс микроконтроллера	33
6 Организация памяти	35
7 Флеш-память и внешняя память. Загрузка микроконтроллера	40
7.1 Загрузочная флеш-память	40
7.2 Пользовательская флеш-память	41
7.3 Алгоритм стирания всей флеш-памяти	43
7.4 Временные параметры	43
7.5 Контроллер внешней памяти	45
7.6 Режимы загрузки микроконтроллера	48
8 Контроллер прямого доступа к памяти	50
8.1 Программное управление модулем DMA	51
8.2 Правила обмена данными	56
8.3 Правила арбитража	57
8.4 Типы циклов	59
8.5 Индикация ошибок	70
9 Прерывания	71
10 Порты	76
11 Таймеры	81
12 Блоки захвата	82
12.1 Режим работы «Захват времени»	83
12.2 Режим работы «Генератор ШИМ»	84
13 Модули квадратурных декодеров	87
13.1 Обработчик сигналов входов	87
13.2 Квадратурный преобразователь	88
13.3 Счетчик позиции	90
13.4 Таймер временных отсчетов	94
13.5 Модуль захвата времени	94
13.6 Сторожевой таймер	96
13.7 Система прерываний	97
14 Блоки ШИМ	98
14.1 Таймер	99
14.2 Компаратор	101
14.3 Обработчик событий	103
14.4 Пороговый выключатель	107
14.5 Генератор задержки («мертвого» времени) ШИМ	108
14.6 Фильтр коротких импульсов	109
14.7 Модулятор	109
14.8 Детектор сигнала аварии	111
14.9 Триггер событий	112
14.10 Блок ШИМ высокого разрешения (расширение блока ШИМ)	113

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

14.11	Сопряжение с блоками АЦП	116
15	Приемопередатчики UART	117
15.1	Функционирование блока UART	117
15.2	Интерфейс прямого доступа к памяти	122
15.3	Прерывания	124
15.4	Программирование	125
16	Контроллеры интерфейса SPI	126
16.1	Структура контроллера SPI	126
16.2	Функционирование	129
16.3	Прерывания	133
17	Контроллер интерфейса I2C	134
17.1	Протокол шины	134
17.2	Функциональное описание	141
17.3	Инициализация и функционирование	144
18	Контроллер интерфейса CAN	157
18.1	Протокол CAN	157
18.2	Структура и функционирование контроллера CAN	163
18.3	Узел контроллера CAN	169
18.4	Объекты сообщений	173
18.5	Прием и передача сообщений	177
18.6	Фильтрация сообщений	181
18.7	Удаленные запросы	183
18.8	Дополнительные режимы передачи	184
18.9	FIFO структура объектов сообщений	184
18.10	Режим шлюза	188
18.11	Прерывания объектов сообщений	190
18.12	Программирование контроллера CAN	192
19	Контроллер Ethernet 10/100	194
19.1	Операции передачи	195
19.2	Операции приема	196
20	Контроллер интерфейса USB OTG (В РАЗРАБОТКЕ)	197
21	АЦП (В РАЗРАБОТКЕ)	198
22	Блок аналоговых компараторов	199
22.1	Описание функционирования	199
23	Часы реального времени	203
23.1	Рекомендации по подключению и трассировке сигналов на печатной плате	203
23.2	Описание работы блока	203
24	Сторожевой таймер	205
25	Модуль OCDS (В РАЗРАБОТКЕ)	206
	Заключение	207

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Введение

Микроконтроллеры с вариантом ядра Cortex-M на сегодняшний день являются одними из самых популярных. Они применяются при разработке и изготовлении электронной техники. Высокая вычислительная мощность и при этом относительно низкая стоимость делают эти устройства привлекательными для самого широкого круга разработчиков.

Микросхема K1921BK01T представляет собой СБИС 32-разрядного микроконтроллера на базе ядра ARM Cortex-M4F предназначенного для промышленных и потребительских приложений, включая системы дистанционного мониторинга, контрольно-измерительные приборы, сетевые устройства, системы автоматизации производственных процессов, автомобильную электронику, системы управления электродвигателями.

В состав микроконтроллера входит широкий набор как цифровой, так и аналоговой периферии, в связи с чем, он может применяться в различных системах цифровой обработки сигналов, в том числе, требующих точных аналогово-цифровых и цифро-аналоговых преобразований, в системах управления и сбора информации.

В настоящем техническом описании приведено описание архитектуры, функционального построения и периферии микроконтроллера K1921BK01T. Техническое описание может служить практическим руководством по применению микроконтроллера для разработчиков систем на его основе и программистов.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

1 Область применения и особенности

Сфера применения микроконтроллера довольно широка – средства измерений, связи, наблюдения, безопасности, автоматизация производства, медицина, энергетика, промышленность, различные системы управления. Тем не менее, основной областью применения микроконтроллеров является электропривод.

Для эффективного управления в электромеханических системах была разработана дополнительная периферия: блок контроллера ШИМ (в том числе ШИМ высокого разрешения), контроллер блоков АЦП с интерфейсом к контроллеру прямого доступа к памяти, блок аналоговых компараторов, модуль захвата/сравнения, блок импульсного квадратурного декодера, используемого для обработки сигналов датчиков положения ротора в высокопроизводительных системах для определения положения, направления и скорости вращения. Внутри микроконтроллера блоки имеют стандартный интерфейс AMBA AHB и APB.

В качестве совместимости и удобства для пользователя использовалась архитектура блоков управления электроприводами, используемая в контроллерах TMS320x компании Texas Instruments, которая была доработана с учетом опыта применения этих контроллеров в системах управления электроприводами.

Разработанный микроконтроллер имеет встроенную флэш-память программ размером 1 МБ, которую можно использовать для хранения и загрузки пользовательского программного обеспечения. Также во флэш-памяти существует особый защищенный раздел, который может быть использован для хранения начального загрузчика. Кроме этого, реализована возможность загрузки из внешней памяти.

Помимо флэш-памяти программ микроконтроллер содержит флэш-память данных размером 64 КБ, которая может использоваться для хранения пользовательских данных и дополнительный информационный блок размером 512 байт, в котором хранятся загрузочные настройки, а также настройки доступа к страницам флэш-памяти программ и флэш-памяти данных. Так, возможно настроить постраничный запрет стирания отдельных страниц обеих флэш-памятей, а также выбрать способ загрузки микроконтроллера. Данные меры позволяют повысить стойкость микроконтроллера к возможным попыткам загрузки постороннего программного обеспечения, а также к стиранию важных областей флэш-памяти.

Система тактирования микроконтроллера позволяет использовать различные источники тактового сигнала, что позволяет расширить набор применений и решаемых задач пользователя. Микроконтроллер может тактироваться от внутреннего RC-генератора с частотой от 3,5 до 6,5 МГц, внутреннего осциллятора с внешним кварцевым резонатором, тактовым сигналом, подаваемым на вход порта ввода-вывода, а также сигналом встроенного генератора PLL. Также существует возможность гибкой настройки тактовых сигналов для блоков периферии.

Для снижения потребления микросхемы предусмотрена возможность отключения тактовых сигналов отдельных блоков периферии в случае, если они не используются пользователем. При переходе процессора в режим пониженного энергопотребления возможно отключение тактового сигнала процессора (команда WFI) или переключение тактового сигнала на низкую частоту (команда WFE).

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

2 Краткое техническое описание микроконтроллера

2.1 Функциональные параметры

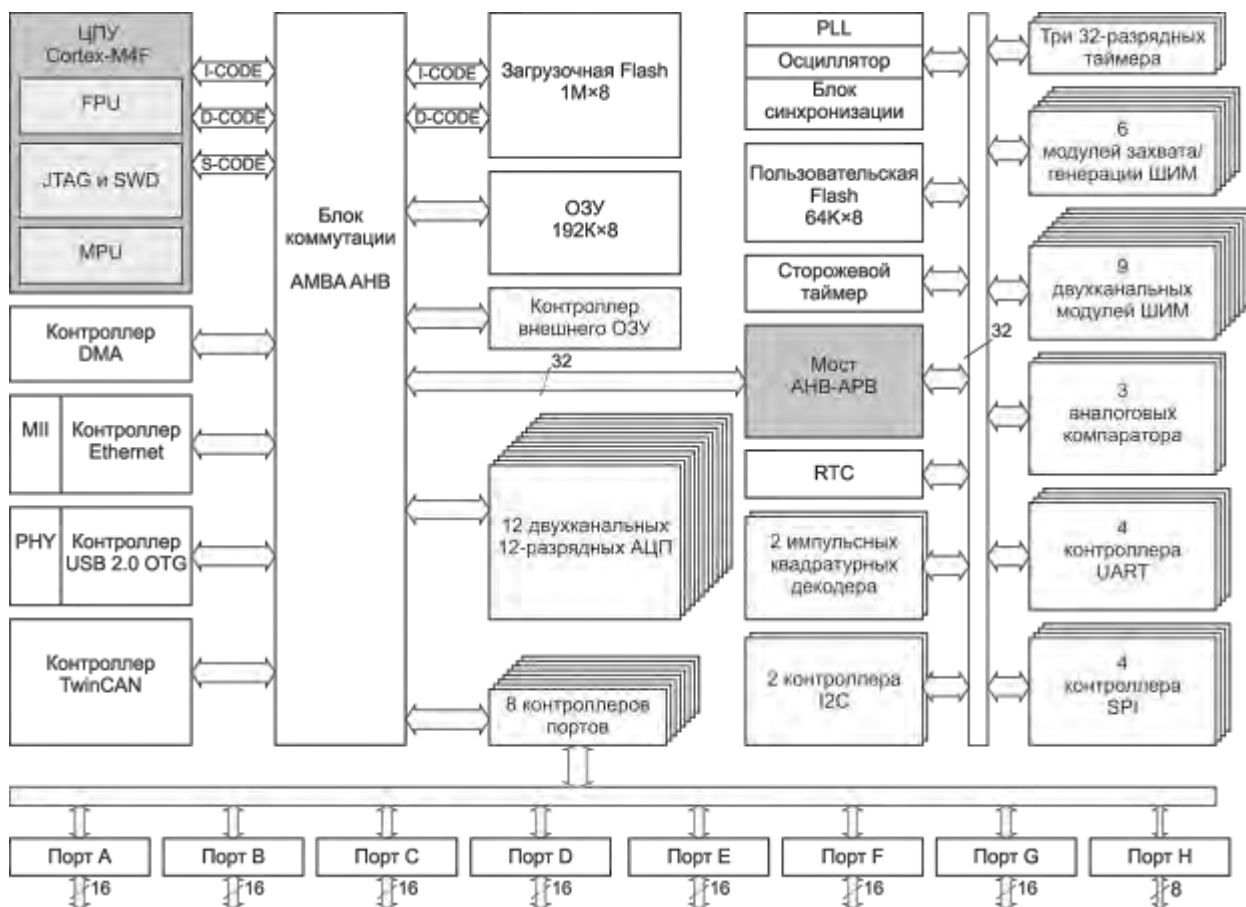


Рисунок 2.1 – Структурная схема микроконтроллера

В состав микроконтроллера входят функциональные элементы (см. рисунок 2.1):

- процессорное ядро ARM Cortex-M4F производительностью не менее 125 миллионов инструкций в секунду с поддержкой набора одноцикловых команд умножения с накоплением (блок MPU), команд централизованного управления потоком данных, арифметических и логических команд и встроенным модулем обработки команд с плавающей запятой с одинарной точностью (блок FPU);

- загрузочная флеш-память (Flash) емкостью 1 Мбайт;

- ОЗУ объемом 192 Кбайт;

- пользовательская флеш-память объемом 64 Кбайта;

- контроллер внешней статической памяти (SRAM, PROM, NOR FLASH);

- 32-канальный контроллер прямого доступа к памяти (DMA);

- схема сброса и сторожевой таймер;

- часы реального времени с батарейным питанием (RTC);

- синтезатор частоты на основе ФАПЧ (PLL);

- двенадцать 2-канальных 12-разрядных АЦП с режимами цифрового компаратора для каждого из каналов (равно или больше, равно или меньше, попадание в диапазон, выход из диапазона) и функцией автоматического запуска модулей ШИМ по событию «окончание преобразования»;

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

- три аналоговых компаратора с функцией автоматического запуска модулей ШИМ по событиям сравнения «равно или больше» и «равно или меньше»;
- девять модулей ШИМ, шесть из которых поддерживают режим высокого разрешения (возможность изменения длительности импульсов на величину менее периода тактового сигнала);
- два импульсных квадратурных декодера, используемых для обработки сигналов датчиков положения ротора в высокопроизводительных системах для определения положения, направления и скорости вращения;
- шесть модулей захвата/сравнения;
- три 32-разрядных таймера;
- отладочный интерфейс JTAG и ARM SWD (Serial Wire Debug);
- семь 16-разрядных и один 8-разрядный порт ввода/вывода с отдельно программируемыми мультиплексированными выводами общего назначения;
- четыре последовательных порта UART;
- контроллеры интерфейсов:
 - CAN (протокол 2.0B) с двумя портами ввода-вывода;
 - I2C с поддержкой частоты передачи данных более 1 МГц (два порта);
 - SPI (четыре порта);
 - USB 2.0 Device/Host с физическим уровнем PHY;
 - Ethernet 10/100 Мбит/с с интерфейсом МП.

Условное графическое изображение микроконтроллера приведено на рисунке 2.2.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

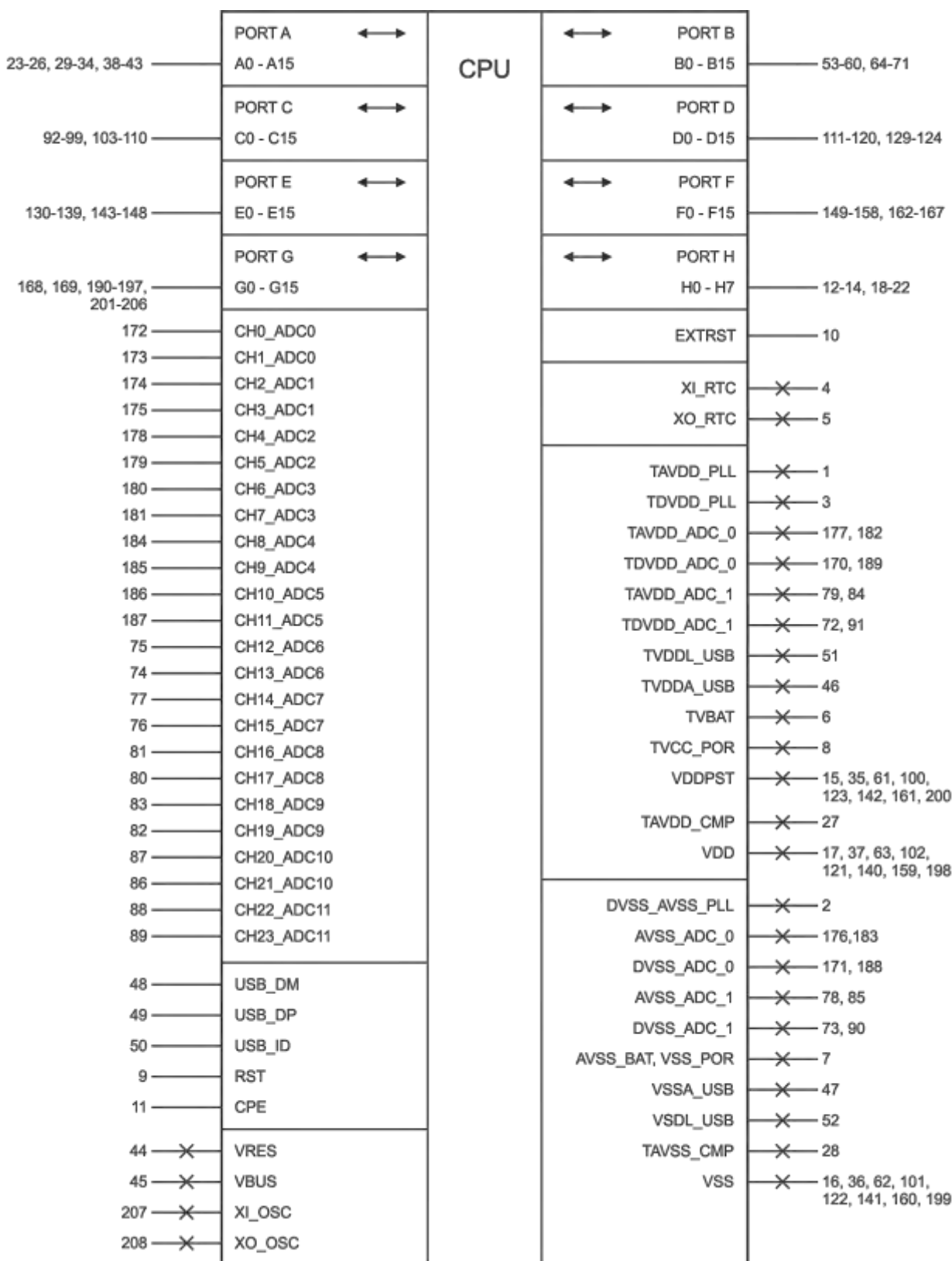


Рисунок 2.2 – Условное графическое изображение микросхемы

Функциональное назначение выводов указано в таблицах 2.1 и 2.2. В таблице 2.1 в графе «Обозначение вывода» первым указывается название основной функции вывода микроконтроллера. Далее, в порядке следования, первая, вторая и третья альтернативные функции. У выводов А0 – А7 – по четыре альтернативные функции. После сброса микроконтроллера все выводы конфигурируются как выводы общего назначения.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

Исключение составляют выводы отладочного модуля JTAG (B0, B1, B2, E1, E10) и выводы приемопередатчика UART0 (D11 и E0). У этих выводов микроконтроллера по умолчанию включены указанные альтернативные функции. Выбор альтернативной функции осуществляется посредством регистра GPIOCTL. В графе «Номер» указывается номер вывода микроконтроллера.

В таблице 2.2 в графе «Тип» используются обозначения: I – вход, O – выход.

Таблица 2.1 – Функциональное назначение выводов, имеющих альтернативные функции

Обозначение вывода	Номер	Тип	Функциональное назначение
1	2	3	4
A0	23	I/O	Вход/выход «порт А, 0 разряд»
		I	Вход «тактовый сигнал USB»
		I	Вход «выбор ведомого устройства SPI2»
		I/O	Шина данных внешней памяти, 12 разряд
A1	24	I	Вход/выход «порт А, 1 разряд»
		O	Выход «линия передачи данных SPI0»
		O	Выход «линия В блока 8 ШИМ»
		I	Вход «напряжение C3+»
A2	25	I/O	Вход/выход «порт А, 2 разряд»
		I	Вход «сигнал 2 аварии»
		O	Выход «линия передачи данных SPI1»
		O	Выход «сигнал чтения внешней памяти 0»
		I	Вход «напряжение C3-»
A3	26	I/O	Вход/выход «порт А, 3 разряд»
		O	Выход «линия передачи данных UART1»
		O	Выход «линия А блока 6 ШИМ»
		O	Выход «сигнал чтения внешней памяти 1»
		I	Вход «напряжение C2+»
A4	29	I/O	Вход/выход «порт А, 4 разряд»
		I	Вход «линия приема данных UART1»
		O	Выход «линия В блока 6 ШИМ»
		I	Вход «напряжение C2-»
A5	30	I/O	Вход/выход «порт А, 5 разряд»
		I	Вход «выбор ведомого устройства SPI0»
		O	Выход «линия А блока 7 ШИМ»
		I	Вход «напряжение C1+»
A6	31	I/O	Вход/выход «порт А, 6 разряд»
		I/O	Вход/выход «синхросигнал передачи SPI0»
		O	Выход «линия В блока 7 ШИМ»
		I	Вход «напряжение C1-»
A7	32	I/O	Вход/выход «порт А, 7 разряд»
		I	Вход «линия приема данных SPI0»
		O	Выход «линия А блока 8 ШИМ»
A8	33	I/O	Вход/выход «порт А, 8 разряд»

Инт. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

	RAM_ADDR0		O	Шина адреса внешней памяти, 0 разряд
	MII_TXCLK		I	Вход «синхросигнал передачи»
	PWM_TZ0		I	Вход «сигнал 0 аварии»
A9		34	I/O	Вход/выход «порт А, 9 разряд»
	RAM_ADDR1		O	Шина адреса внешней памяти, 1 разряд
	MII_TXD0		O	Выход «передаваемый нулевой бит данных»
	PWM_TZ1		I	Вход «сигнал 1 аварии»
A10		38	I/O	Вход/выход «порт А, 10 разряд»
	RAM_ADDR2		O	Шина адреса внешней памяти, 2 разряд
	MII_TXD1		O	Выход «передаваемый первый бит данных»
	PWM_B0		O	Выход «линия В блока 0 ШИМ»
A11		39	I/O	Вход/выход «порт А, 11 разряд»
	RAM_ADDR3		O	Шина адреса внешней памяти, 3 разряд
	MII_TXD2		O	Выход «передаваемый второй бит данных»
	PWM_B1		O	Выход «линия В блока 1 ШИМ»
A12		40	I/O	Вход/выход «порт А, 12 разряд»
	RAM_ADDR4		O	Шина адреса внешней памяти, 4 разряд
	MII_TXD3		O	Выход «передаваемый третий бит данных»
	PWM_B2		O	Выход «линия В блока 2 ШИМ»
A13		41	I/O	Вход/выход «порт А, 13 разряд»
	RAM_ADDR5		O	Шина адреса внешней памяти, 5 разряд
	MII_TX_EN		O	Выход «разрешение передачи»
	PWM_B3		O	Выход «линия В блока 3 ШИМ»
A14		42	I/O	Вход/выход «порт А, 14 разряд»
	RAM_ADDR6		O	Шина адреса внешней памяти, 6 разряд
	MII_TX_ER		O	Выход «ошибка передачи»
	PWM_B4		O	Выход «линия В блока 4 ШИМ»
A15		43	I/O	Вход/выход «порт А, 15 разряд»
	RAM_ADDR7		O	Шина адреса внешней памяти, 7 разряд
	MII_CRS		I	Вход «контроль носителя»
	PWM_B5		O	Выход «линия В блока 5 ШИМ»
B0		53	I/O	Вход/выход «порт В, 0 разряд»
	JTAG_TDI		I	Вход «данные JTAG» (включен по умолчанию)
	SPI_FSS1		I	Вход «выбор ведомого устройства SPI1»
	RAM_Wen		O	Выход «сигнал записи во внешнюю память»
B1		54	I/O	Вход/выход «порт В, 1 разряд»
	JTAG_TMS/ SWDIO		I	Вход «переключения режима JTAG» (включен по умолчанию)
	SPI_CLK1		I/O	Вход/выход «синхросигнал передачи SPI1»
	RAM_Cen0		O	Выход «сигнал 0 выбора внешнего устройства»
B2		55	I/O	Вход/выход «порт В, 2 разряд»
	JTAG_TCK/SW CLK		I	Тактовый сигнал JTAG (включен по умолчанию)
	SPI_RxD1		I	Вход «линия приема данных SPI1»
	RAM_Cen1		O	Выход «сигнал 1 выбора внешнего устройства»
B3		56	I/O	Вход/выход «порт В, 3 разряд»
	MII_TXCLK		I	Вход «синхросигнал передачи»
	CAN_TX0		O	Выход «линия передачи данных CAN0»
	RAM_ADDR0		O	Шина адреса внешней памяти, 0 разряд
B4		57	I/O	Вход/выход «порт В, 4 разряд»

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата

	RAM_ADDR8		I/O	Шина адреса внешней памяти, 8 разряд
	MII_COL		I	Вход «обнаружение конфликта»
	PWM_B6		O	Выход «линия В блока 6 ШИМ»
B5		58	I/O	Вход/выход «порт В, 5 разряд»
	RAM_ADDR9		O	Шина адреса внешней памяти, 9 разряд
	MII_MDC		O	Выход «линия тактового сигнала управляющих данных»
	PWM_A7		O	Выход «линия А блока 7 ШИМ»
B6		59	I/O	Вход/выход «порт В, 6 разряд»
	RAM_ADDR10		O	Шина адреса внешней памяти, 10 разряд
	MII_MDIO		I/O	Вход/выход «линия управляющих данных»
	PWM_B7		O	Выход «линия В блока 7 ШИМ»
B7		60	I/O	Вход/выход «порт В, 7 разряд»
	RAM_ADDR11		O	Шина адреса внешней памяти, 11 разряд
	MII_RXCLK		I	Вход «синхросигнал приема»
	PWM_A8		O	Выход «линия А блока 8 ШИМ»
B8		64	I/O	Вход/выход «порт В, 8 разряд»
	RAM_ADDR12		O	Шина адреса внешней памяти, 12 разряд
	MII_RXD0		I	Вход «принимаемый нулевой бит данных»
	PWM_B8		O	Выход «линия В блока 8 ШИМ»
B9		65	I/O	Вход/выход «порт В, 9 разряд»
	RAM_ADDR13		O	Шина адреса внешней памяти, 13 разряд
	MII_RXD1		I	Вход «принимаемый первый бит данных»
	PWM_SYNCI		I	Вход «внешний синхросигнал для блоков ШИМ»
B10		66	I/O	Вход/выход «порт В, 10 разряд»
	RAM_ADDR14		O	Шина адреса внешней памяти, 14 разряд
	MII_RXD2		I	Вход «принимаемый второй бит данных»
	CMP_OUT0		O	Выход «результат сравнения аналогового компаратора 0»
B11		67	I/O	Вход/выход «порт В, 11 разряд»
	RAM_ADDR15		O	Шина адреса внешней памяти, 15 разряд
	MII_RXD3		I	Вход «принимаемый третий бит данных»
	CMP_OUT1		O	Выход «результат сравнения аналогового компаратора 1»
B12		68	I/O	Вход/выход «порт В, 12 разряд»
	RAM_ADDR16		O	Шина адреса внешней памяти, 16 разряд
	MII_RX_DV		I	Вход «валидность принимаемых данных»
	CMP_OUT2		O	Выход «результат сравнения аналогового компаратора 2»
B13		69	I/O	Вход/выход «порт В, 13 разряд»
	RAM_ADDR17		O	Шина адреса внешней памяти, 17 разряд
	MII_RX_ER		I	Вход «ошибка приема»
	SPI_FSS2		I	Вход «выбор ведомого устройства SPI2»
B14		70	I/O	Вход/выход «порт В, 14 разряд»
	RAM_ADDR18		O	Шина адреса внешней памяти, 18 разряд
	CAN_TX0		O	Выход «линия передачи данных CAN0»
	SPI_CLK2		I	Вход/выход «синхросигнал передачи SPI2»
B15		71	I/O	Вход/выход «порт В, 15 разряд»
	RAM_DATA0		O	Шина данных внешней памяти, 0 разряд
	CAN_RX0		I	Вход «линия приема данных CAN0»
	SPI_RxD2		I	Вход «линия приема данных SPI2»

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

C0		92	I/O	Вход/выход «порт С, 0 разряд»
	MII_TXD0		O	Выход «передаваемый нулевой бит данных»
	–		–	–
	RAM_ADDR1		O	Шина адреса внешней памяти, 1 разряд
C1		93	I/O	Вход/выход «порт С, 1 разряд»
	MII_TXD1		O	Выход «передаваемый первый бит данных»
	CAN_TX1		O	Выход «линия передачи данных CAN1»
	RAM_ADDR2		O	Шина адреса внешней памяти, 2 разряд
C2		94	I/O	Вход/выход «порт С, 2 разряд»
	MII_TXD2		O	Выход «передаваемый второй бит данных»
	CAN_RX1		I	Вход «линия приема данных CAN1»
	RAM_ADDR3		O	Шина адреса внешней памяти, 3 разряд
C3		95	I/O	Вход/выход «порт С, 3 разряд»
	MII_TXD3		O	Выход «передаваемый третий бит данных»
	UART_TxD0		O	Выход «линия передачи данных UART0»
	RAM_ADDR4		O	Шина адреса внешней памяти, 4 разряд
C4		96	I/O	Вход/выход «порт С, 4 разряд»
	MII_TX_EN		O	Выход «разрешение передачи»
	UART_RxD0		I	Вход «линия приема данных UART0»
	RAM_ADDR5		O	Шина адреса внешней памяти, 5 разряд
C5		97	I/O	Вход/выход «порт С, 5 разряд»
	MII_TX_ER		O	Выход «ошибка передачи»
	UART_TxD2		I	Вход «линия передачи данных UART2»
	RAM_ADDR6		O	Шина адреса внешней памяти, 6 разряд
C6		98	I/O	Вход/выход «порт С, 6 разряд»
	RAM_DATA1		I/O	Шина данных внешней памяти, 1 разряд
	UART_RxD1		I	Вход «линия приема данных UART1»
	SPI_TxD2		O	Выход «линия передачи данных SPI2»
C7		99	I/O	Вход/выход «порт С, 7 разряд»
	RAM_DATA2		I/O	Шина данных внешней памяти, 2 разряд
	UART_TxD1		O	Выход «линия передачи данных UART1»
	PWM_TZ2		I	Вход «сигнал 2 аварии»
C8		103	I/O	Вход/выход «порт С, 8 разряд»
	RAM_DATA3		I/O	Шина данных внешней памяти, 3 разряд
	SPI_FSS0		I	Вход «выбор ведомого устройства SPI0»
	PWM_TZ4		I	Вход «сигнал 4 аварии»
C9		104	I/O	Вход/выход «порт С, 9 разряд»
	RAM_DATA4		I/O	Шина данных внешней памяти, 4 разряд
	SPI_CLK0		I/O	Вход/выход «синхросигнал передачи SPI0»
	PWM_TZ5		I	Вход «сигнал 5 аварии»
C10		105	I/O	Вход/выход «порт С, 10 разряд»
	RAM_DATA5		I/O	Шина данных внешней памяти, 5 разряд
	SPI_RxD0		I	Вход «линия приема данных SPI0»
	MII_TXCLK		I	Вход «синхросигнал передачи»
C11		106	I/O	Вход/выход «порт С, 11 разряд»
	RAM_DATA6		I/O	Шина данных внешней памяти, 6 разряд
	SPI_TxD0		O	Выход «линия передачи данных SPI0»
	MII_TXD0		O	Выход «передаваемый нулевой бит данных»
C12		107	I/O	Вход/выход «порт С, 12 разряд»
	RAM_DATA7		I/O	Шина данных внешней памяти, 7 разряд

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

	Timer_IN0		I	Вход «синхронизация таймера 0»
	MII_TXD1		O	Выход «передаваемый первый бит данных»
C13		108	I/O	Вход/выход «порт C, 13 разряд»
	RAM_DATA8		I/O	Шина данных внешней памяти, 8 разряд
	Timer_IN1		I	Вход «синхронизация таймера 1»
	MII_TXD2		O	Выход «передаваемый второй бит данных»
C14		109	I/O	Вход/выход «порт C, 14 разряд»
	RAM_DATA9		I/O	Шина данных внешней памяти, 9 разряд
	Timer_IN2		I	Вход «синхронизация таймера 2»
	MII_TXD3		O	Выход «передаваемый третий бит данных»
C15		110	I/O	Вход/выход «порт C, 15 разряд»
	RAM_DATA10		I/O	Шина данных внешней памяти, 10 разряд
	NMI		I	Вход «внешнее прерывание NMI»
	MII_TX_EN		O	Выход «разрешение передачи»
D0		111	I/O	Вход/выход «порт D, 0 разряд»
	MII_CRS		I	Вход «контроль носителя»
	UART_RxD2		I	Вход «линия приема данных UART2»
	RAM_ADDR7		O	Шина адреса внешней памяти, 7 разряд
D1		112	I/O	Вход/выход «порт D, 1 разряд»
	MII_COL		I	Вход «обнаружение конфликта»
	UART_RxD3		I	Вход «линия приема данных UART3»
	RAM_ADDR8		O	Шина адреса внешней памяти, 8 разряд
D2		113	I/O	Вход/выход «порт D, 2 разряд»
	MII_MDC		O	Выход «линия тактового сигнала управляющих данных»
	UART_TxD3		O	Выход «линия передачи данных UAR3»
	RAM_ADDR9		O	Шина адреса внешней памяти, 9 разряд
D3		114	I/O	Вход/выход «порт D, 3 разряд»
	MII_MDIO		I/O	Вход/выход «линия управляющих данных»
	trace_dat0			
	RAM_ADDR10		O	Шина адреса внешней памяти, 10 разряд
D4		115	I/O	Вход/выход «порт D, 4 разряд»
	MII_RXCLK		I	Вход «синхросигнал приема»
	trace_dat1			
	RAM_ADDR11		O	Шина адреса внешней памяти, 11 разряд
D5		116	I/O	Вход/выход «порт D, 5 разряд»
	MII_RXD0		I	Вход «принимаемый нулевой бит данных»
	trace_dat2			
	RAM_ADDR12		O	Шина адреса внешней памяти, 12 разряд
D6		117	I/O	Вход/выход «порт D, 6 разряд»
	MII_RXD1		I	Вход «принимаемый первый бит данных»
	trace_dat3			
	RAM_DATA0		I/O	Шина данных внешней памяти, 0 разряд
D7		118	I/O	Вход/выход «порт D, 7 разряд»
	MII_RXD2		I	Вход «принимаемый второй бит данных»
	—		—	—
	RAM_DATA1		I/O	Шина данных внешней памяти, 1 разряд
D8		119	I/O	Вход/выход «порт D, 8 разряд»
	MII_RXD3		I	Вход «принимаемый третий бит данных»
	trace_clk			

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

D9	RAM_DATA2	120	I/O	Шина данных внешней памяти, 2 разряд
			I/O	Вход/выход «порт D, 9 разряд»
	MII_RX_DV		I	Вход «валидность принимаемых данных»
	SCL1		I/O	Вход/выход «линия синхронизации I2C1»
D10	RAM_DATA3	129	I/O	Шина данных внешней памяти, 3 разряд
			I/O	Вход/выход «порт D, 10 разряд»
	MII_RX_ER		I	Вход «ошибка приема»
	SDA1		I/O	Вход/выход «линия данных I2C1»
D11	RAM_DATA4	128	I/O	Шина данных внешней памяти, 4 разряд
			I/O	Вход/выход «порт D, 11 разряд»
	UART_TxD0		O	Выход «линия передачи данных UART0» (включен по умолчанию)
	CAN_TX1		O	Выход «линия передачи данных CAN1»
D12	CMP_OUT0	127	O	Выход «результат сравнения аналогового компаратора 0»
			I/O	Вход/выход «порт D, 12 разряд»
	RAM_DATA11		I/O	Шина данных внешней памяти, 11 разряд
	UART_TxD2		O	Выход «линия передачи данных UART2»
D13	MII_TX_ER	126	O	Выход «ошибка передачи»
			I/O	Вход/выход «порт D, 13 разряд»
	RAM_DATA12		I/O	Шина данных внешней памяти, 12 разряд
	–		–	–
D14	MII_CR_S	125	I	Вход «контроль носителя»
			I/O	Вход/выход «порт D, 14 разряд»
	RAM_DATA13		I/O	Шина данных внешней памяти, 13 разряд
	–		–	–
D15	MII_COL	124	I	Вход «обнаружение конфликта»
			I/O	Вход/выход «порт D, 15 разряд»
	RAM_DATA14		I/O	Шина данных внешней памяти, 14 разряд
	–		–	–
E0	MII_MDC	130	O	Выход «линия тактового сигнала управляющих данных»
			I/O	Вход/выход «порт E, 0 разряд»
	UART_RxD0		I	Вход «линия приема данных UART0» (включен по умолчанию)
	SCL0		I/O	Вход/выход «линия синхронизации I2C0»
E1	CMP_OUT1	131	O	Выход аналогового компаратора 1
			I/O	Вход/выход «порт E, 1 разряд»
	JTAG_TRST		I	Вход «сброс JTAG» (включен по умолчанию)
	SDA0		I/O	Вход/выход «линия данных I2C0»
E2	UART_TxD2	132	O	Выход «линия передачи данных UART2»
			I/O	Вход/выход «порт E, 2 разряд»
	CAN_RX0		I	Вход «линия приема данных CAN0»
	PWM_B5		O	Выход «канал В блока 5 ШИМ»
E3	RAM_DATA6	133	I/O	Шина данных внешней памяти, 6 разряд
			I/O	Вход/выход «порт E, 3 разряд»
	NMI		I	Вход «внешнее прерывание NMI»
	UART_RTS0		I	Вход «запрос на передачу UART0»
E4	RAM_DATA7	134	I/O	Шина данных внешней памяти, 7 разряд
			I/O	Вход/выход «порт E, 4 разряд»
	QEP_A/XCLK0		I	Вход «тактовый сигнал КД0»

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

	CAP_PWM0		I/O	Вход/выход «внешнее событие/сигнал ШИМ блока захвата 0»
	Timer_IN0		I	Вход «синхронизация таймера 0»
E5		135	I/O	Вход/выход «порт E, 5 разряд»
	QEP_B/XDIR0		I	Вход «сигнал направления вращения ротора для КД0»
	CAP_PWM1		I/O	Вход/выход «внешнее событие/сигнал ШИМ блока захвата 1»
	RAM_LBn		O	Выход «разрешение для младшего байта»
E6		136	I/O	Вход/выход «порт E, 6 разряд»
	QEP_I0		I	Вход «индексный, для КД0»
	CAP_PWM2		I/O	Вход/выход «внешнее событие/сигнал ШИМ блока захвата 2»
	RAM_DATA8		I/O	Шина данных внешней памяти, 8 разряд
E7		137	I/O	Вход/выход «порт E, 7 разряд»
	USB_DRVVBUS			
	QEP_S0		I	Вход «стробирование для КД0»
	PWM_TZ3		I	Вход «сигнал 3 аварии»
E8		138	I/O	Вход/выход «порт E, 8 разряд»
	PWM_TZ0		I	Вход «сигнал 0 аварии»
	UART_RI0		I	Вход «индикатор вызова UART0»
	SPI_FSS1		I	Вход «выбор ведомого устройства SPI1»
E9		139	I/O	Вход/выход «порт E, 9 разряд»
	PWM_TZ1		I	Вход «сигнал 1 аварии блока ШИМ»
	UART_DTR0		I	Вход «приемник данных готов UART0»
	SPI_CLK1		I/O	Вход/выход «синхросигнал передачи SPI1»
E10		143	I/O	Вход/выход «порт E, 10 разряд»
	JTAG_TDO/SWO		O	Выход данных JTAG (включен по умолчанию)
	PWM_SYNCI		I	Вход «внешний синхросигнал для блоков ШИМ»
	RAM_Ubn		O	Выход «разрешение для старшего байта»
E11		144	I/O	Вход/выход «порт E, 11 разряд»
	CMP_OUT2		O	Выход «результат сравнения аналогового компаратора 2»
	PWM_B8		O	Выход «линия В блока 8 ШИМ»
	RAM_DATA10		I/O	Шина данных внешней памяти, 10 разряд
E12		145	I/O	Вход/выход «порт E, 12 разряд»
	RAM_DATA15		I/O	Шина данных внешней памяти, 15 разряд
	PWM_TZ3		I	Вход «сигнал 3 аварии»
	MII_MDIO		I/O	Вход/выход «линия управляющих данных»
E13		146	I/O	Вход/выход «порт E, 13 разряд»
	RAM_Wen		O	Выход «сигнал записи во внешнюю память»
	PWM_TZ4		I	Вход «сигнал 4 аварии»
	MII_RXCLK		I	Вход «синхросигнал приема»
E14		147	I/O	Вход/выход «порт E, 14 разряд»
	RAM_Oen0		O	Выход «чтение внешнего устройства 0»
	PWM_TZ5		I	Вход «сигнал 5 аварии»
	MII_RXD0		I	Вход «принимаемый нулевой бит данных»
E15		148	I/O	Вход/выход «порт E, 15 разряд»
	RAM_Oen1		O	Выход «чтение внешнего устройства 1»

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

	–		–	–
	MII_RXD1		I	Вход «принимаемый первый бит данных»
F0		149	I/O	Вход/выход «порт F, 0 разряд»
	PWM_B0		O	Выход «линия В блока 0 ШИМ»
	UART_DSR0		I	Вход «источник данных готов UART0»
	SPI_TxD1		O	Выход «линия передачи данных SPI1»
F1		150	I/O	Вход/выход «порт F, 1 разряд»
	CMP_OUT1		O	Выход «результат сравнения аналогового компаратора 1»
	UART_CTS0		I	Вход «готовность к приему UART0»
	RAM_DATA11		I/O	Шина данных внешней памяти, 11 разряд
F2		151	I/O	Вход/выход «порт F, 2 разряд»
	PWM_B1		O	Выход «канал В блока 1 ШИМ»
	SPI_CLK3		I/O	Вход/выход «синхросигнал передачи SPI3»
	CAN_RX0		I	Вход «линия приема данных CAN0»
F3		152	I/O	Вход/выход «порт F, 3 разряд»
	PWM_B3		O	Выход «канал В блока 3 ШИМ»
	SPI_RxD2		I	Вход «линия приема данных SPI2»
	RAM_DATA14		I/O	Шина данных внешней памяти, 14 разряд
F4		153	I/O	Вход/выход «порт F, 4 разряд»
	PWM_B2		O	Выход «линия В блока 2 ШИМ»
	SPI_TxD3		O	Выход «линия передачи данных SPI3»
	UART_RxD2		I	Вход «линия приема данных UART2»
F5		154	I/O	Вход/выход «порт F, 5 разряд»
	SCL0		I/O	Вход/выход «линия синхронизации I2C0»
	PWM_A7		O	Выход «линия А блока 6 ШИМ»
	RAM_DATA9		I/O	Шина данных внешней памяти, 9 разряд
F6		155	I/O	Вход/выход «порт F, 6 разряд»
	RAM_Cen0		O	Выход «сигнал 0 выбора внешнего устройства»
	CMP_OUT0		O	Выход «результат сравнения аналогового компаратора 0»
	MII_RXD2		I	Вход «принимаемый второй бит данных»
F7		156	I/O	Вход/выход «порт F, 7 разряд»
	RAM_Cen1		O	Выход «сигнал 1 выбора внешнего устройства»
	CMP_OUT1		O	Выход «результат сравнения аналогового компаратора 1»
	MII_RXD3		I	Вход «принимаемый третий бит данных»
F8		157	I/O	Вход/выход «порт F, 8 разряд»
	RAM_LBn		O	Выход «разрешение для младшего байта»
	CMP_OUT2		O	Выход «результат сравнения аналогового компаратора 2»
	MII_RX_DV		I	Вход «валидность принимаемых данных»
F9		158	I/O	Вход/выход «порт F, 9 разряд»
	RAM_Ubn		O	Выход «разрешение для старшего байта»
	UART_CTS2		I	Вход «готовность к приему UART2»
	MII_RX_ER		I	Вход «ошибка приема»
F10		162	I/O	Вход/выход «порт F, 10 разряд»
	UART_TxD2		O	Выход «линия передачи данных UART2»
	–		–	–
	UART_CTS1		I	Вход «готовность к приему UART1»
F11		163	I/O	Вход/выход «порт F, 11 разряд»

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

	UART_RxD2		I	Вход «линия приема данных UART2»
	–		–	–
	UART_DCD1		I	Вход «обнаружен информационный сигнал UART1»
F12		164	I/O	Вход/выход «порт F, 12 разряд»
	UART_TxD3		O	Выход «линия передачи данных UART3»
	UART_RI2		I	Вход «индикатор вызова UART2»
	UART_DSR1		I	Вход «источник данных готов UART1»
F13		165	I/O	Вход/выход «порт F, 13 разряд»
	UART_RxD3		I	Вход «линия приема данных UART3»
	UART_DTR2		I	Вход «приемник данных готов UART2»
	UART_RI1		I	Вход «индикатор вызова UART1»
F14		166	I/O	Вход/выход «порт F, 14 разряд»
	CAN_TX1		O	Выход «линия передачи данных CAN1»
	UART_RTS2		I	Вход «запрос на передачу UART2»
	UART_DTR1		I	Вход «приемник данных готов UART1»
F15		167	I/O	Вход/выход «порт F, 15 разряд»
	CAN_RX1		I	Вход «линия приема данных CAN1»
	UART_DCD2		I	Вход «обнаружен информационный сигнал UART2»
	UART_RTS1		I	Вход «запрос на передачу UART1»
G0		168	I/O	Вход/выход «порт G, 0 разряд»
	SDA0		I/O	Вход/выход «линия данных I2C0»
	PWM_B7		O	Выход «линия В блока 7 ШИМ»
	CAN_TX0		O	Выход «линия передачи данных CAN0»
G1		169	I/O	Вход/выход «порт G, 1 разряд»
	CMP_OUT0		O	Выход «результат сравнения аналогового компаратора 0»
	PWM_A8		O	Выход «линия А блока 8 ШИМ»
	QEP_S0		I	Вход «стробирование для КД0»
G2		190	I/O	Вход/выход «порт G, 2 разряд»
	PWM_A0		O	Выход «линия А блока 0 ШИМ»
	UART_DCD0		I	Вход «обнаружен информационный сигнал UART0»
	SPI_RxD1		I	Вход «линия приема данных SPI1»
G3		191	I/O	Вход/выход «порт G, 3 разряд»
	PWM_A1		O	Выход «линия А блока 1 ШИМ»
	SPI_FSS3		I	Вход «выбор ведомого устройства SPI3»
	CAN_TX1		O	Выход «линия передачи данных CAN1»
G4		192	I/O	Вход/выход «порт G, 4 разряд»
	PWM_A2		O	Выход «линия А блока 2 ШИМ»
	SPI_RxD3		I	Вход «линия приема данных SPI3»
	UART_TxD2		O	Выход «линия передачи данных UART2»
G5		193	I/O	Вход/выход «порт G, 5 разряд»
	PWM_A3		O	Выход «линия А блока 3 ШИМ»
	SPI_CLK2		I/O	Вход/выход «синхросигнал передачи SPI2»
	RAM_DATA13		I/O	Шина данных внешней памяти, 13 разряд
G6		194	I/O	Вход/выход «порт G, 6 разряд»
	PWM_A4		O	Выход «линия А блока 4 ШИМ»
	SPI_TxD2		O	Выход «линия передачи данных SPI2»
	RAM_DATA15		I/O	Шина данных внешней памяти, 15 разряд

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

G7		195	I/O	Вход/выход «порт G, 7 разряд»
	CAN_TX0		O	Выход «линия передачи данных CAN0»
	PWM_A5		O	Выход «линия А блока 5 ШИМ»
	RAM_DATA5		I/O	Шина данных внешней памяти, 5 разряд
G8		196	I/O	Вход/выход «порт G, 8 разряд»
	Timer_IN1		I	Вход «синхронизация таймера 1»
	UART_DSR2		I	Вход «источник данных готов UART2»
	CAN_RX1		O	Выход «линия приема данных CAN1»
G9		197	I/O	Вход/выход «порт G, 9 разряд»
	PWM_SYNCI		I	Вход «внешний синхросигнал для блоков ШИМ »
	QEP_S1		I	Вход «стробирование для КД1»
	UART_RTS3		I	Вход «запрос на передачу UART3»
G10		201	I/O	Вход/выход «порт G, 10 разряд»
	CAP_PWM3		I/O	Вход/выход «внешнее событие/сигнал ШИМ блока захвата 3»
	QEP_A/XCLK1		I	Вход «тактовый сигнал КД0»
	–		–	–
G11		202	I/O	Вход/выход «порт G, 11 разряд»
	CAP_PWM4		I/O	Вход/выход «внешнее событие/сигнал ШИМ блока захвата 4»
	QEP_B/XDIR1		I	Вход «сигнал направления вращения ротора для КД1»
	Timer_IN1		I	Вход «синхронизация таймера 1»
G12		203	I/O	Вход/выход «порт G, 12 разряд»
	CAP_PWM5		I/O	Вход/выход «внешнее событие/сигнал ШИМ блока захвата 5»
	QEP_I1		I	Вход «индексный, для КД1»
	Timer_IN2		I	Вход «синхронизация таймера 2»
G13		204	I/O	Вход/выход «порт G, 13 разряд»
	trace_dat0			
	PWM_TZ0		I	Вход «сигнал 0 аварии»
	PWM_B4		O	Выход «линия В блока 4 ШИМ»
G14		205	I/O	Вход/выход «порт G, 14 разряд»
	trace_dat1			
	PWM_TZ1		I	Вход «сигнал 1 аварии»
	PWM_A6		O	Выход «линия А блока 6 ШИМ»
G15		206	I/O	Вход/выход «порт G, 15 разряд»
	trace_dat2			
	PWM_TZ2		I	Вход «сигнал 2 аварии»
	PWM_B6		O	Выход «линия В блока 6 ШИМ»
H0		12	I/O	Вход/выход «порт H, 0 разряд»
	trace_dat3			
	PLLdiv2_out		O	Выход «синхросигнал от PLL»
	PWM_A7		O	Выход «линия А блока 7 ШИМ»
H1		13	I/O	Вход/выход «порт H, 1 разряд»
	trace_clk			
	–		–	–
	PWM_B7		O	Выход «линия В блока 7 ШИМ»
H2		14	I/O	Вход/выход «порт H, 2 разряд»
	PWM_B5		O	Выход «линия В блока 5 ШИМ»
	–		–	–
	–		–	–

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

	–		–	–
Н3		18	I/O	Вход/выход «порт Н, 3 разряд»
	PWM_B4		O	Выход «линия В блока 4 ШИМ»
	–		–	–
	UART_CTS3		I	Вход «готовность к приему UART3»
Н4		19	I/O	Вход/выход «порт Н, 4 разряд»
	PWM_A6		O	Выход «линия А блока 6 ШИМ»
	–		–	–
	UART_DCD3		I	Вход «обнаружен информационный сигнал UART3»
Н5		20	I/O	Вход/выход «порт Н, 5 разряд»
	PWM_B6		O	Выход «линия В блока 6 ШИМ»
	–		–	–
	UART_DSR3		I	Вход «источник данных готов UART3»
Н6		21	I/O	Вход/выход «порт Н, 6 разряд»
	PWM_A7		O	Выход «линия А блока 7 ШИМ»
	–		–	–
	UART_RI3		I	Вход «индикатор вызова UART3»
Н7		22	I/O	Вход/выход «порт Н, 7 разряд»
	PWM_B7		O	Выход «линия В блока 7 ШИМ»
	–		–	–
	UART_DTR3		I	Вход «приемник данных готов UART3»

Таблица 2.2 – Функциональное назначение выводов без альтернативных функций

Обозначение вывода	Номер	Тип	Функциональное назначение
1	2	3	4
CH0_ADC0	172	I	Вход «канал 0 АЦП0 вход А»
CH1_ADC0	173	I	Вход «канал 1 АЦП0 вход В»
CH2_ADC1	174	I	Вход «канал 2 АЦП1 вход А»
CH3_ADC1	175	I	Вход «канал 3 АЦП1 вход В»
CH4_ADC2	178	I	Вход «канал 4 АЦП2 вход А»
CH5_ADC2	179	I	Вход «канал 5 АЦП2 вход В»
CH6_ADC3	180	I	Вход «канал 6 АЦП3 вход А»
CH7_ADC3	181	I	Вход «канал 7 АЦП3 вход В»
CH8_ADC4	184	I	Вход «канал 8 АЦП4 вход А»
CH9_ADC4	185	I	Вход «канал 9 АЦП4 вход В»
CH10_ADC5	186	I	Вход «канал 10 АЦП5 вход А»
CH11_ADC5	187	I	Вход «канал 11 АЦП5 вход В»
CH12_ADC6	75	I	Вход «канал 12 АЦП6 вход А»
CH13_ADC6	74	I	Вход «канал 13 АЦП6 вход В»
CH14_ADC7	77	I	Вход «канал 14 АЦП7 вход А»
CH15_ADC7	76	I	Вход «канал 15 АЦП7 вход В»
CH16_ADC8	81	I	Вход «канал 16 АЦП8 вход А»
CH17_ADC8	80	I	Вход «канал 17 АЦП8 вход В»
CH18_ADC9	83	I	Вход «канал 18 АЦП9 вход А»
CH19_ADC9	82	I	Вход «канал 19 АЦП9 вход В»
CH20_ADC10	87	I	Вход «канал 20 АЦП10 вход А»
CH21_ADC10	86	I	Вход «канал 21 АЦП10 вход В»
CH22_ADC11	88	I	Вход «канал 22 АЦП11 вход А»
CH23_ADC11	89	I	Вход «канал 23 АЦП11 вход В»

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

USB_DM	48	I	Вход «USB Dm»
USB_DP	49	I	Вход «USB Dp»
USB_ID	50	I	Вход «USP ID»
RST	9	I	Вход «внешний сброс» (к блоку POR)
EXTRST	10	O	Выход «сброс POR» (от блока POR)
CPE	11	I	Вход «выбор источника постоянного тактового сигнала»
VRES	44	–	Подключение внешнего резистора (8,2 кОм)
XI_RTC	4	–	Вход осциллятора RTC
XO_RTC	5	–	Выход осциллятора RTC
XI_OSC	207	–	Вход осциллятора системной частоты
XO_OSC	208	–	Выход осциллятора системной частоты
TAVDD_PLL	1	–	Аналоговое питание PLL (1,8 В)
TDVDD_PLL	3	–	Цифровое питание PLL (1,8 В)
TAVDD_ADC_0	177, 182	–	Аналоговое питание модулей АЦП0 – АЦП5 (1,8 В)
TDVDD_ADC_0	170, 189	–	Цифровое питание модулей АЦП0 – АЦП5 (1,8 В)
TAVDD_ADC_1	79, 84	–	Аналоговое питание модулей АЦП6 – АЦП11 (1,8 В)
TDVDD_ADC_1	72, 91	–	Цифровое питание модулей АЦП6 – АЦП11 (1,8 В)
VBUS	45	–	Внешнее питание USB (5 В)
TVDDL_USB	51	–	Питание USB PHY (1,8 В)
TVDDA_USB	46	–	Питание USB PHY (3,3 В)
TVBAT	6	–	Батарейное питание RTC (1,6-3,6 В)
TVCC_POR	8	–	Питание POR (3,3 В)
VDD	17, 37, 63, 102, 121, 140, 159, 198	–	Питание (1,8 В)
VDDPST	15, 35, 61, 100, 123, 142, 161, 200	–	Питание (3,3 В)
TAVDD_CMP	27	–	Питание аналогового компаратора (3,3 В)
DVSS_AVSS_P LL	2	–	Цифровая и аналоговая земля PLL
AVSS_ADC_0	176, 183	–	Аналоговая земля модулей АЦП0 – АЦП5
DVSS_ADC_0	171, 188	–	Цифровая земля модулей АЦП0 – АЦП5
AVSS_ADC_1	78, 85	–	Аналоговая земля модулей АЦП6 – АЦП11
DVSS_ADC_1	73, 90	–	Цифровая земля модулей АЦП6 – АЦП11
AVSS_BAT, VSS_POR	7	–	Земля RTC и блока POR
VSSA_USB	47	–	Земля USB

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата

VSDL_USB	52	–	Земля USB PHY
TAVSS_CMP	28	–	Земля аналогового компаратора
VSS	16, 36, 62, 101, 122, 141, 160, 199	–	Земля

Описание системы питания

Выходы VDDPST. Питание площадок ввода-вывода микроконтроллера. Номинальное входное напряжение 3,3В. Входное напряжение должно быть в пределах от 3,0 до 3,6 В.

Выходы VDD. Питание цифровой части микроконтроллера. Номинальное входное напряжение 1,8В. Входное напряжение должно быть в пределах от 1,7 до 1,98 В.

Выход TAVDD_PLL. Аналоговое питание PLL. Номинальное входное напряжение 1,8В. Входное напряжение должно быть в пределах от 1,62 до 1,98 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDD.

Выход TDVDD_PLL. Цифровое питание PLL. Номинальное входное напряжение 1,8В. Входное напряжение должно быть в пределах от 1,62 до 1,98 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDD.

Выход TVBAT. Батарейное питание RTC. Входное напряжение должно быть в пределах от 1,6 до 3,6 В. Питание используется автоматически при отсутствии входного питания VDDPST.

Выход TVCC_POR. Питание блока POR. Номинальное входное напряжение 3,3 В. Входное напряжение должно быть в пределах от 3,0 до 3,6 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDDPST.

Выход TAVDD_CMP. Питание блока аналоговых компараторов. Номинальное входное напряжение 3,3 В. Входное напряжение должно быть в пределах от 3,0 до 3,6 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDDPST.

Выход TVDDA_USB. Питание блока USBPHY. Номинальное входное напряжение 3,3 В. Входное напряжение должно быть в пределах от 3,0 до 3,6 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDDPST.

Выход TVDDL_USB. Цифровое питание USBPHY. Номинальное входное напряжение 1,8 В. Входное напряжение должно быть в пределах от 1,62 до 1,98 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDD.

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата

Выводы TDVDD_ADC_0, TAVDD_ADC_0. Питание нулевой группы АЦП (модули АЦП0 – АЦП5). Номинальное входное напряжение 1,8 В. Входное напряжение должно быть в пределах от 1,62 до 1,98 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDD. При этом должны быть приняты меры для снижения помех по питанию.

Выводы TDVDD_ADC_1, TAVDD_ADC_1. Питание первой группы АЦП (модули АЦП6 – АЦП11). Номинальное входное напряжение 1,8 В. Входное напряжение должно быть в пределах от 1,62 до 1,98 В. Питание выведено на отдельные площадки для уменьшения помех, создаваемых другими блоками. На плате питание может быть объединено с питанием VDD. При этом должны быть приняты меры для снижения помех по питанию.

Выводы DVSS_AVSS_PLL, AVSS_BAT, VSS_POR, VSS, TAVSS_CMP, VSSA_USB, VSDL_USB, DVSS_ADC_1, AVSS_ADC_1, DVSS_ADC_0, AVSS_ADC_0. Земля питания цифровой части и аналоговых блоков.

2.2 Электрические параметры

Основные параметры:

- максимальная системная частота – 100 МГц;
- номинальное значение напряжения питания буферов ввода-вывода микросхемы (VDDPST) – 3,3 В;
- номинальное значение напряжения питания ядра микросхемы (VDD) – 1,8 В;
- номинальное значение напряжения батарейного питания RTC – от 1,6 до 3,6 В;
- допустимое отклонение напряжения питания $\pm 10\%$;
- номинальная температура рабочей среды – $(25 \pm 10)^\circ\text{C}$;
- диапазон температур рабочей среды – от $(\text{минус } 40 \pm 3)$ до $(85 \pm 3)^\circ\text{C}$.

В таблицах 2.3 – 2.16 приведены различные параметры основных блоков микроконтроллера.

Таблица 2.3 – Рабочие электрические характеристики

Наименование параметра, единица измерения		Обозначение параметра	Мин.	Ном.	Макс.
Напряжения питания буферов ввода-вывода		VDDPST	2,97	3,3	3,63
Напряжения питания ядра		VDD	1,7	1,8	1,98
Входное напряжение высокого уровня портов GPIO		V _{IH}	2		3,6
Входное напряжение низкого уровня портов GPIO		V _{IL}	-0,3		0,8
Выходное напряжение высокого уровня портов GPIO		V _{OH}	2,4		
Выходное напряжение низкого уровня портов GPIO		V _{OL}			0,4
Выходной ток высокого уровня портов GPIO	Тип вывода 8 мА	I _{OH}	7,7	15,6	25,8
	Тип вывода 16 мА		11,6	23,4	38,8
Выходной ток низкого		I _{OL}	6,7	10,7	14,7

уровня портов GPIO	8 мА		10,1	16,1	22,1
	Тип вывода 16 мА				
Входной ток утечки портов GPIO при $V_I=3,3$ или $V_I=0$, мкА		I_I			± 1
Выходной ток утечки буфера с третьим состоянием в состоянии «выключено» при $V_I=3,3$ или $V_I=0$, мкА		I_{OZ}			± 1
Номинал pull-up резистора портов GPIO, кОм		R_{PU}	34	48	74
Динамический ток потребления цифровой части микросхемы, мА		I_{OCC}			300

Характеристики блока PLL

Таблица 2.4 – Электрические параметры PLL

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Напряжение аналогового питания PLL	TAVDD_PLL	1,62	1,8	1,98
Напряжение цифрового питания PLL	TDVDD_PLL	1,62	1,8	1,98

Таблица 2.5 – Динамические параметры PLL

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
1	2	3	4	5
Частота входного сигнала, МГц	FIN	3,2		150
Частота фазового детектора, МГц	Fref	0,8		8
Выходная частота, МГц	FOUT	50		100

Окончание таблицы 2.4

1	2	3	4	5
Выходная частота генератора VCO, МГц	FVCO	200		500
Отклонение фазы в пределах одного периода, пс			200	350
Сквозность выходного сигнала, %		40	50	60

Характеристики блоков АЦП

Таблица 2.6 – Основные параметры блока АЦП

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Напряжение аналогового питания групп АЦП, В	TAVDD_ADC_0, TAVDD_ADC_1	1,62	1,8	1,98
Напряжение цифрового питания групп АЦП, В	TDVDD_ADC_0, TDVDD_ADC_1	1,62	1,8	1,98
Частота тактового сигнала в 12-разрядном режиме, МГц	Fclk_12	5	12	14,4
Частота тактового сигнала в 10-разрядном режиме, МГц	Fclk_10	6	24	28,8
Потребление одного АЦП в 12-разрядном	$I_{ADC PD}$			1,4

режиме в режиме Powerdown, мА				
Потребление одного АЦП в 12-разрядном режиме в режиме измерения, мА	I_{ADC}	2,56	2,8	3,35

Таблица 2.7 – Параметры входного сигнала АЦП

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Амплитуда входного сигнала в однополярном режиме, V_{pp} (относительно $AVSS$)	A_{INSE}		1,5	
Амплитуда входного сигнала в дифференциальном режиме ($\pm 750mV$ относительно V_{CM1}), $V_{pp-diff}$	A_{INDF}		3,0	
Входная емкость, пФ	C_{IN}		0,8	2,5
Средняя точка, В	V_{CM1}	0,8	0,9	0,95
Опорное напряжение V_{REFP} , В	V_{REFP}		1,2	
Опорное напряжение V_{REFN} , В	V_{REFN}		0,45	

Таблица 2.8 – Параметры точности АЦП

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
1	2	3	4	5
Дифференциальная нелинейность в 12-разрядном режиме, МЗР	DNL		$\pm 0,6$	$\pm 1,0$
Интегральная нелинейность в 12-разрядном режиме, МЗР	INL		$\pm 1,75$	$\pm 3,75$
Дифференциальная нелинейность в 10-разрядном режиме, МЗР	DNL		$\pm 0,4$	$\pm 0,65$

Окончание таблицы 2.8

1	2	3	4	5
Интегральная нелинейность в 10-разрядном режиме, МЗР	INL		$\pm 0,75$	$\pm 1,5$
Ошибка смещения нуля, %ОД	OER		1,5	2,0
Ошибка коэффициента усиления, %ОД	GER		2,0	4,0
Отношение сигнал-шум в 12 и 10-разрядном режимах, дБ	SNR	54,5	56,5	
Эффективное количество бит в 12-разрядном режиме, бит	$ENOB$	8,8	9,1	
Эффективное количество бит в 10-разрядном режиме, бит	$ENOB$	8,8	9,1	

Таблица 2.9 – Параметры блока USB PHY

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Напряжение аналогового питания блока USBPHY, В	$TVDDA_USB$	3,0	3,3	3,63
Напряжение цифрового питания блока USBPHY, В	$TVDDL_USB$	1,62	1,8	1,98
Частота опорного напряжения USBPHY, МГц	$FSEL = 0$		12	
	$FSEL = 1$		24	

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Таблица 2.10 – Параметры блока RTC

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
VBAT	Напряжение батарейного питания блока, В	1,6		3,6
I _{VBAT}	Потребление в режиме работы от батарейного питания, мА	3		6*

* - измеренное потребление при напряжении VBAT = 3,6 В и температуре окружающей среды 90⁰С.

Таблица 2.11 – Параметры блока загрузочной флеш-памяти

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Количество циклов записи/стирания	PE _{CYC}	20000		
Гарантированное время хранения данных (при комнатной температуре), лет	T _{RET}	100		
Потребление в режиме доступа, мА	I _{OP}	68		
Потребление в режиме StandBy, мА	I _{SBY}	60		

Таблица 2.12 – Динамические параметры блока загрузочной флеш-памяти

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
T _{ACC} , нс	T _{ACC}			34
T _{NVS} , мкс	T _{NVS}	5		
T _{NVH} , мкс	T _{NVH}	5		
T _{NVHI} , мкс	T _{NVHI}	100		
T _{PGS} , мкс	T _{PGS}	10		
T _{PGS} , нс	T _{PGH}	20		
T _{PROG} , мкс	T _{PROG}	20		40
T _{RCV} , мкс	T _{RCV}	1		
T _{ERASE} , мс	T _{ERASE}	20		40
T _{ME} , мс	T _{ME}	20		40

Таблица 2.13 – Параметры блока пользовательской флеш-памяти

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Количество циклов записи/стирания	PE _{CYC}	20000		
Гарантированное время хранения данных (при комнатной температуре), лет	T _{RET}	100		
Потребление в режиме доступа, мА	I _{OP}	10		
Потребление в режиме StandBy, мА	I _{SBY}	15		

Таблица 2.14 – Динамические параметры блока пользовательской флеш-памяти

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
1	2	3	4	5
T _{ACC} , нс	T _{ACC}			29
T _{NVS} , мкс	T _{NVS}	5		
T _{NVH} , мкс	T _{NVH}	5		

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

T_{NVHI} , мкс	T_{NVHI}	100		
T_{PGS} , мкс	T_{PGS}	10		
T_{PGS} , нс	T_{PGH}	20		
T_{PROG} , мкс	T_{PROG}	20		40
T_{RCV} , мкс	T_{RCV}	1		
T_{ERASE} , мс	T_{ERASE}	20		40
T_{ME} , мс	T_{ME}	20		40

Таблица 2.15 – Параметры блока аналоговых компараторов

Наименование параметра, единица измерения	Обозначение параметра	Мин.	Ном.	Макс.
Напряжение питание аналоговой части, В	$TAVDD_CMP$	3,0	3,3	3,63
Ток потребления в рабочем режиме, мкА	I_{CMP}		600	700
Ток потребления в режиме hibernate, мкА	I_{HYB}		3	6
Гистерезис компаратора, мВ	V_{HYS}	6	9	16
Время установления выходного сигнала компаратора, нс	T_{RT}			700
Напряжение смещения нуля, мВ	V_{offset}			± 10

Таблица 2.16 – Параметры блоков ШИМ высокого разрешения – зависимость минимальной задержки от температуры.

Температура, °C	Задержка канала, пс					
	Канал 1	Канал 2	Канал 3	Канал 4	Канал 5	Канал 6
- 40	124	116	124	140	128	128
- 30	128	128	128	128	136	136
- 20	136	116	140	124	132	136
- 10	136	128	134	128	132	136
0	126	126	126	134	138	130
10	148	122	148	148	150	162
20	120	128	148	122	134	172
30	148	120	130	130	130	130
40	136	124	134	126	128	136
50	134	120	130	136	134	142
60	144		136	128	134	144
70	138		124	136	148	140
80	156		144	140	148	136
85	150	153,6	140	142	112	156

Значение задержки в пикосекундах в зависимости от температуры графически показано на рисунке 2.2.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

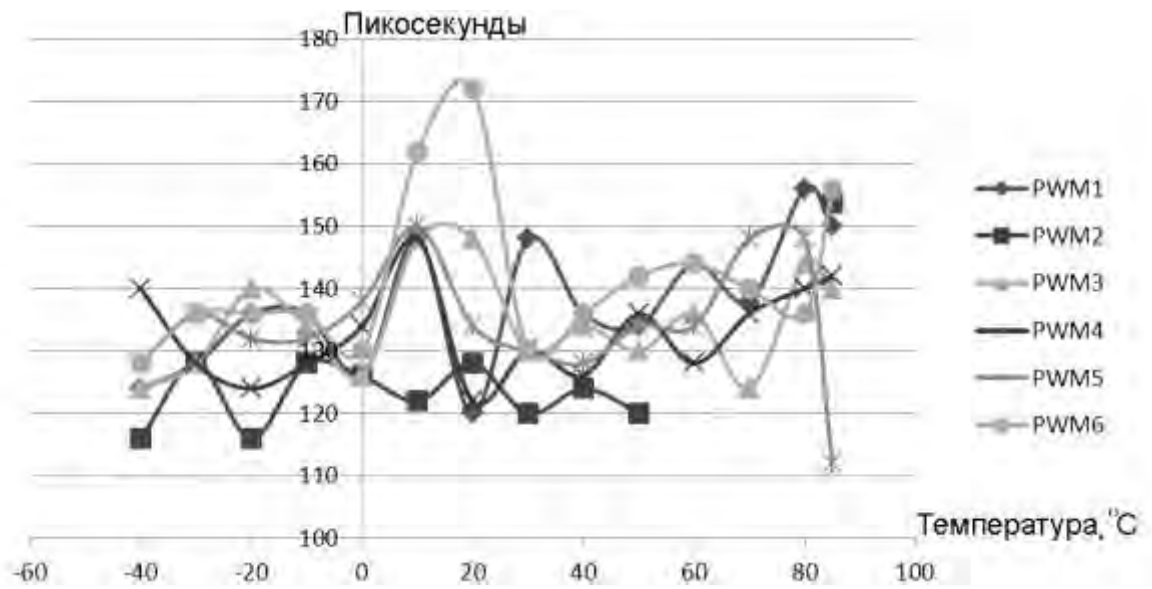


Рисунок 2.2 – Графическое представление задержек в зависимости от температуры

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3 Архитектура изделия

Структурно, микроконтроллер K1921BK01T представляет собой мультистадийный RISC процессор. Ядро Cortex-M4F основано на архитектуре ARMv7-M и полностью реализует наборы команд Thumb и Thumb2.

Поддержка DSP-инструкций и наличие модуля операций с плавающей запятой существенно ускоряет обработку потоковых данных, что в свою очередь делает микроконтроллер весьма привлекательным для использования в системах управления и обработки информации.

Микроконтроллер способен параллельно выполнять четыре операции сложения/вычитания с 8-разрядными операндами или две операции сложения/вычитания с 16-разрядными операндами. Также реализовано умножение за один цикл, при этом для 16-разрядных чисел возможно параллельное исполнение двух операций. Из особенностей следует упомянуть аппаратное умножение 32-разрядных чисел за 1 цикл, а также деление 32-разрядных чисел, занимающее от 2 до 12 циклов.

Количество прерываний 113.

В ядре предусмотрен механизм защиты памяти.

Блок коммутации микроконтроллера

Все устройства микроконтроллера соединены между собой через блок коммутации. На рисунке 3.1 приведена схема соединения основных и периферийных блоков микроконтроллера внутри блока коммутации.

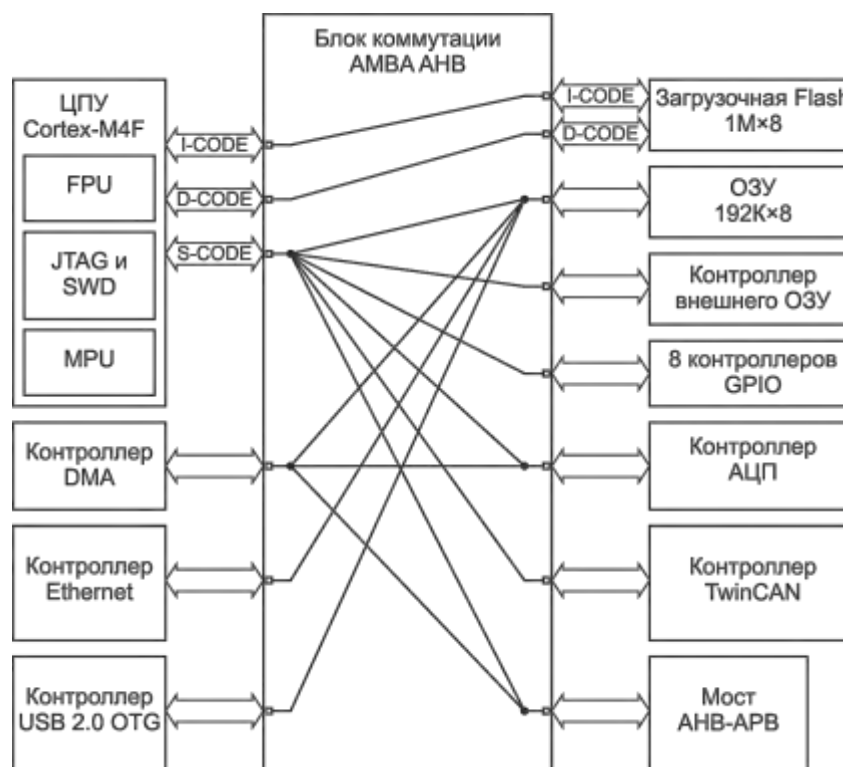


Рисунок 3.1 – Схема соединения блоков внутри блока коммутации

Помимо основной схемы блок коммутации может адресовать дополнительный адрес. Для коммутации по Remap-адресам необходимо установить управляющий бит блока коммутации.

В микроконтроллере для загрузки из внешней памяти могут изменяться адреса загрузочной флеш-памяти (шины D-CODE и I-CODE) и контроллера внешней памяти.

Инд. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата
Инд. № подл.	Подл. и дата

4 Система тактирования микроконтроллера

При включении питания микроконтроллер тактируется сигналом постоянной частоты. Источниками данного сигнала могут быть внешний кварцевый осциллятор и выходной сигнал RC-генератора внутреннего блока POR. Для работы кварцевого осциллятора снаружи должен быть подключен кварцевый резонатор (выводы XI_OSC и XO_OSC). Блок POR выдает тактовый сигнал частотой 3,5 – 6,5 МГц. Выбор источника сигнала постоянной частоты осуществляется входом CPE.

Сигнал постоянной тактовой частоты должен всегда присутствовать в микросхеме. Он используется для переключения системной частоты микроконтроллера, а также тактирует блок сторожевого таймера.

Управление тактовыми сигналами микроконтроллера осуществляет блок синхронизации. Данный блок осуществляет выбор источников тактового сигнала микроконтроллера и блоков периферии, управляет работой PLL, а также осуществляет переключение системной частоты.

4.1 Описание блока синхронизации

Блок синхронизации состоит из блока управления синхросигналом и периферии, включающей восемь источников тактового сигнала (см. рисунок 4.1). На выходе блока управления – сигнал системной тактовой частоты SysCLK.

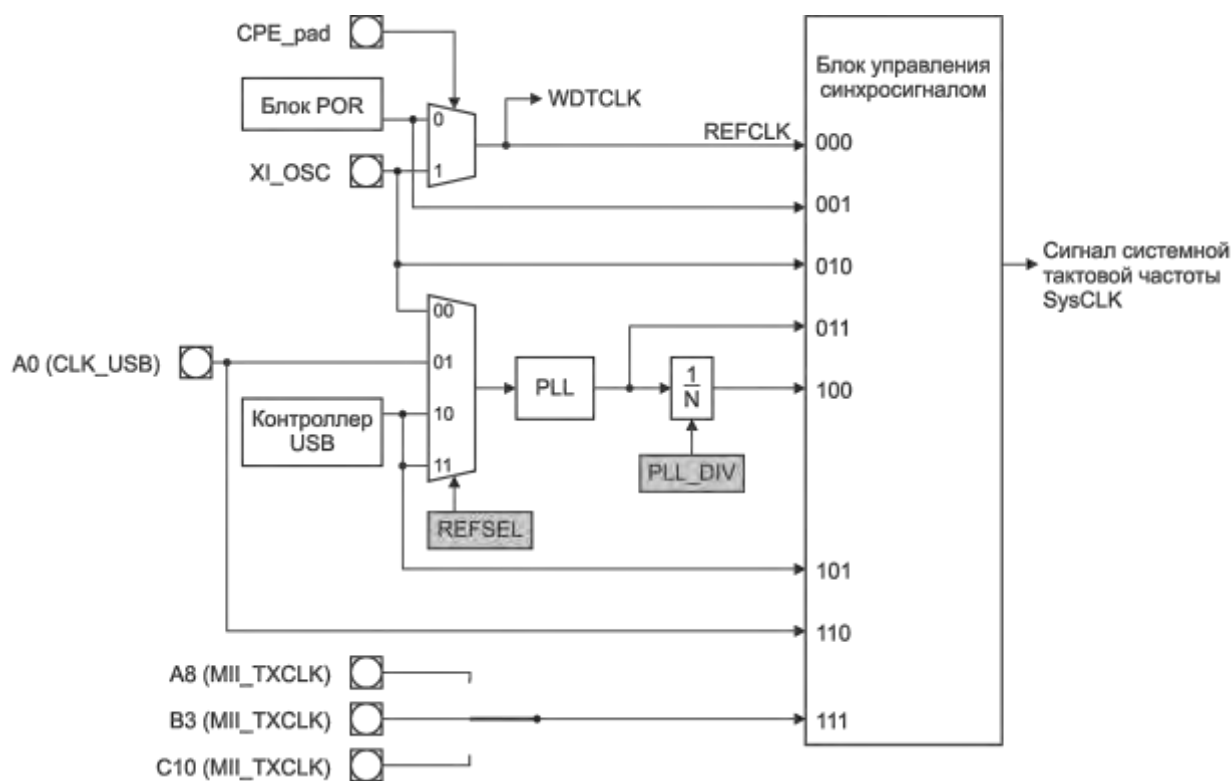


Рисунок 4.1 – Блок выдачи системной частоты

В качестве источников синхросигнала SysClk могут выступать:

- блок внутреннего RC-генератора POR (Power on Reset), на выходе которого сигнал CLKPOR;
- сигнал внешнего осциллятора OSC_CLK с вывода XI_OSC микроконтроллера;
- блок генератора PLL, на выходе которого сигнал CLK_PLL;
- сигнал CLK_PLL, прошедший через программируемый делитель;

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата
Инв. № подл.	Подп. и дата

- сигнал CLK_USB тактирования контроллера USB с вывода A0 микроконтроллера (12 МГц);
- блок контроллера USB, на выходе которого сигнал UTMI_CLK60 (60 МГц);
- сигнал MII_TXCLK тактирования контроллера Ethernet с вывода A8 или B3 микроконтроллера (25 МГц).

По умолчанию, источником сигнала тактовой частоты является сигнал REFCLK, который является сигналом на выходе блока POR, при условии, что на входе CPE логический ноль. В случае если на входе CPE логическая единица, сигнал REFCLK – это сигнал внешнего осциллятора.

Сигнал REFCLK также является сигналом тактирования сторожевого таймера.

Выбор источника для сигнала SysCLK осуществляется программированием регистра SYS_CLK.

Выбор источника тактового сигнала для PLL осуществляется полем REFSEL регистра PLL_CTRL. Частота выходного сигнала PLL может быть уменьшена с помощью делителя, значение которого задается полем PLL_DIV регистра PLL_CTRL.

Настройка PLL

Вычисление выходной частоты PLL производится по формуле:

$$F_{OUT} = (F_{IN} \times N_F) / (N_R \times N_O), \quad (4.1)$$

где

F_{IN} – частота на входе PLL

N_F – значение делителя обратной связи, которое зависит от состояния поля F_PLL регистра PLL_NF и равно $F_PLL + 2$;

N_R – значение опорного делителя, которое зависит от состояния поля R_PLL регистра PLL_NR и равно $R_PLL + 2$;

N_O – значение выходного делителя, которое зависит от состояния поля PL_OD регистра PLL_OD.

При расчете коэффициентов деления PLL должны выполняться следующие ограничения:

- $3,2 \text{ МГц} < F_{IN} < 150 \text{ МГц}$;
- $800 \text{ КГц} < F_{ref} < 8 \text{ МГц}$;
- $200 \text{ МГц} < F_{vco} < 500 \text{ МГц}$;
- Частота фазового детектора $F_{ref} = F_{IN} / (2 \times N_R)$;
- Частота $VCOF_{vco} = F_{IN} \times (N_F / N_R)$

4.2 Алгоритм перехода на системную частоту

При включении питания в качестве системной частоты используется постоянная тактовая частота сигнала REFCLK.

Настройка PLL

Для перехода на системную частоту необходимо сначала настроить коэффициенты деления PLL, а также, если необходимо, коэффициент деления делителя $1/N$ выходного сигнала PLL. Далее необходимо дождаться стабилизации значения частоты PLL (500 – 900 мкс), после чего выбрать источник системной частоты.

Переключение с одной частоты на другую

Если требуется переключение на другую системную частоту, т.е. смена источника системной частоты, то следует записать номер источника в поле SEL_SRC регистра SYS_CTRL. Проверка заданного источника и переключение осуществляется блоком управления синхросигналом. После успешного переключения на новую частоту в поле CURR_SRC аппаратно запишется номер выбранного источника. Таким образом,

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

совпадение значений полей SEL_SRC и CURR_SRC говорит о том, что выбранный источник системной частоты подключен.

В случае, если заданный источник не функционирует или функционирует некорректно, переход на новую частоту не произойдет и значение поля CURR_SRC не изменится. Отличие значений полей SEL_SRC и CURR_SRC сигнализирует о том, что смены источника тактового сигнала не произошло.

4.3 Управление тактовыми сигналами периферии

Блоки АЦП

Каждый блок АЦП имеет независимое управление собственной тактовой частотой и собственный делитель 1/N. Контроль синхронизации всех блоков АЦП осуществляют регистры ADC_CONTROL1, ADC_CONTROL2 и ADC_CONTROL3 (см. рисунок 4.2).

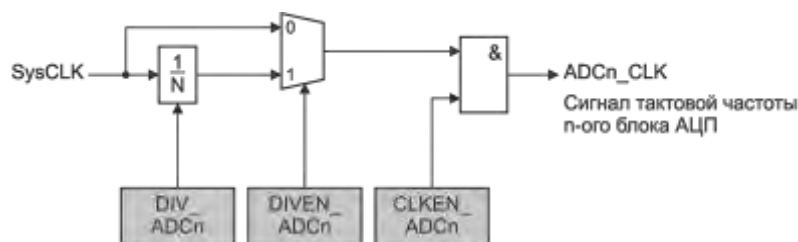


Рисунок 4.2 – Схема задания сигнала тактирования блока АЦП

Блоки UART

Каждый блок UART имеет независимое управление собственной тактовой частотой и собственный делитель 1/N. Контроль синхронизации всех четырех блоков UART осуществляет регистр UART_CLK_CTRL (см. рисунок 4.3).

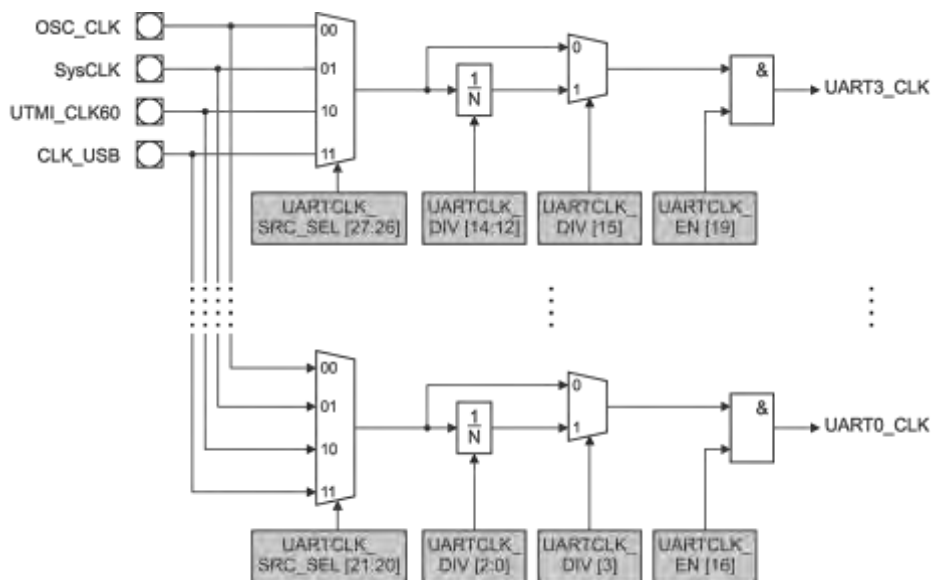


Рисунок 4.3 – Схема выбора сигналов тактирования блоков UART

Посредством поля UARTCLK_SRC_SEL выбирается источник тактового сигнала для каждого блока. В поле UARTCLK_DIV каждому блоку UART выделено по четыре бита. Старший из четырех бит определяет как тактовый сигнал будет подан к блоку – напрямую или через делитель. Остальные три бита задают коэффициент деления.

Синхронизирование каждого блока UART может быть независимо включено/отключено установкой/сбросом соответствующего бита в поле UARTCLK_EN.

Инва. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	
Инва. № подл.	

Блоки контроллеров SPI

Каждый блок SPI имеет независимое управление собственной тактовой частотой и собственный делитель 1/N. Контроль синхронизации всех четырех блоков SPI осуществляет регистр SPI_CLK_CTRL. Схема выбора сигналов тактирования блоков SPI аналогична показанной на рисунке 4.3.

Посредством поля SPICLK_SRC_SEL выбирается источник тактового сигнала для каждого блока. В поле SPICLK_DIV каждому блоку SPI выделено по четыре бита. Старший из четырех бит определяет как тактовый сигнал будет подан к блоку – напрямую или через делитель. Остальные три бита задают коэффициент деления.

Синхронизирование каждого блока SPI может быть независимо включено/отключено установкой/сбросом соответствующего бита в поле SPICLK_EN.

Блоки контроллеров I2C, сторожевого таймера, ШИМ, аналогового компаратора и квадратурных декодеров

Для каждого блока можно независимо включить/отключить системную частоту. Для этого следует установить/сбросить соответствующий блоку бит в регистре APB_CLK_CTRL.

Блок USBPHY

Схема выбора сигнала тактирования блока USBPHY показана на рисунке 4.4. Контроль синхронизации осуществляет регистр USB_CTRL_REG.

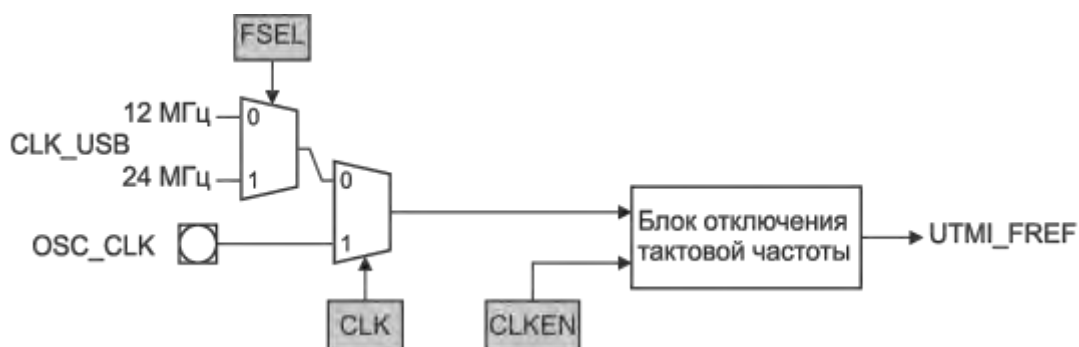


Рисунок 4.4 – Схема выбора сигнала тактирования блока USBPHY

В качестве источников опорной частоты для USBPHY могут использоваться два сигнала – OSC_CLK (выходной сигнал встроенного осциллятора) и CLK_USB (внешний входной синхросигнал). Выбор осуществляется битом CLK.

Частота сигнала на входе CLK_USB может иметь только два фиксированных значения – 12 МГц и 24 МГц. Выбор между этими значениями осуществляется битом FSEL.

Синхронизирование блока USBPHY может быть включено/отключено установкой/сбросом бита CLKEN.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

5 Сброс микроконтроллера

Сброс может осуществляться как внешним сигналом с вывода RST, так и встроенным монитором питания POR. Активный уровень сигнала сброса – ноль.

Помимо внешнего сброса существует два внутренних источника сброса – по запросу процессора и по переполнению сторожевого таймера.

На рисунке 5.1 представлена общая схема сброса микроконтроллера от внешнего источника. Входной сигнал низкого уровня с входа RST поступает на блок управления сбросом микроконтроллера. Генерируется выходной сигнал POR, который выводится на выход EXTRST микроконтроллера, а также поступает на блок часов реального времени (RTC).

Выходной сигнал POR осуществляет управление питанием блока RTC (отключает питание), поэтому при возникновении сигнала сброса блок RTC переходит на батарейное питание.

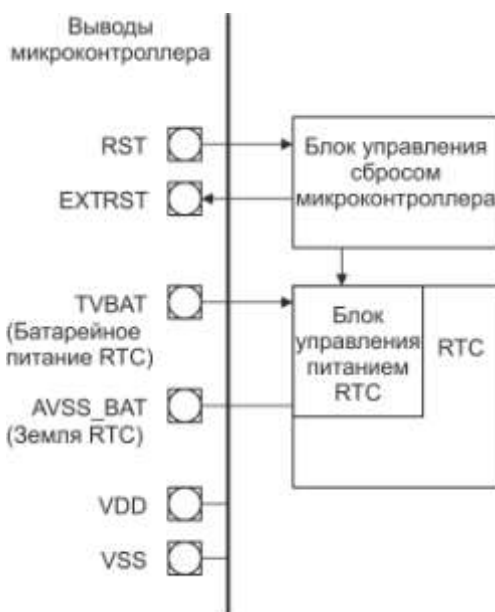


Рисунок 5.1 – Схема сброса микроконтроллера

Параметры монитора питания POR

На рисунках 5.2 и 5.3 показаны диаграммы сброса POR по внешнему сигналу с входа RST и при изменении питания. В таблицах 5.1 и 5.2 указаны динамические и электрические параметры монитора питания во время сброса.

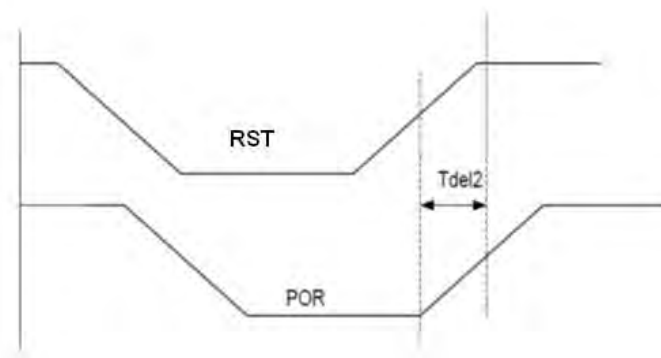


Рисунок 5.2 – Диаграмма сброса POR по внешнему сигналу с входа RST

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Таблица 5.1 – Динамические параметры монитора питания

Наименование параметра, единица измерения	Обозначение	Мин.	Ном.	Макс.
Задержка срабатывания, мкс	Tdel1	270	410	590
Задержка срабатывания при отключении внешнего сброса, нс	Tdel2	–	–	2
Частота RC-генератора, МГц	–	3.5	5	6.5

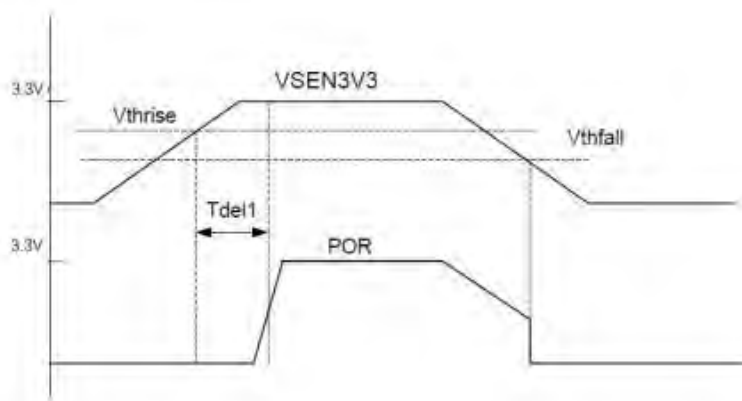


Рисунок 5.3 – Диаграмма сигнала сброса POR при изменении питания 3,3 В

Таблица 5.2 – Электрические параметры монитора питания

Наименование параметра, единица измерения		Обозначение	Мин.	Ном.	Макс.
Уровень питания 3,3 В	Отключение схемы сброса, В	Vthrise	2.5	2.6	2.7
	Срабатывание схемы сброса, В	Vthfall	2.33	2.42	2.52
Уровень питания 1,8 В	Отключение схемы сброса, В	–	1.62	1.7	1.8
	Срабатывание схемы сброса, В	–	1.54	1.6	1.68

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

6 Организация памяти

Память микроконтроллера имеет predetermined 32-bit address space with program areas (with protected block), data (with information block), peripherals, external (relative to the controller) resources and internal resources, rigidly connected with the processor (see Figure 6.1).



Рисунок 6.1 – Организация памяти

Address space is divided into six areas (see Table 6.1). When using external memory as the main memory for programs and data, addresses from 40000000h to 4017FFFFh are mapped into the internal memory address space of the microcontroller in the area 00000000h – 0017FFFFh.

Таблица 6.1 – Организация памяти микроконтроллера

Адресное пространство	Remap адрес	Название блока	Описание
00000000h – 0001FFFFh	40000000h – 4017FFFFh	Загрузочная флеш (I-Code)	Шина выборки инструкций
		Загрузочная флеш (D-Code)	Шина данных, расположенных в коде программы
20000000h – 2002FFFFh		Внутреннее ОЗУ 192 КБ	Шина данных, расположенных в области ОЗУ
40000000h – 4017FFFFh	00000000h – 1FFFFFFFh	Внешняя память	
80000000h – BFFFFFFFh		SFR	Регистры управления периферийными блоками
E0000000h – E0FFFFFFh		Private Peripheral Bus	
E0100000h – FFFFFFFFh		Vendor_SYS	Область системных регистров

System segment is divided into two parts.

The first, with a volume of 1 Mbit, occupies the address range E0000000h-E007FFFFh and is reserved for the «personal» peripheral bus PPB (Private Peripheral Bus). PPB bus is used for selection/writing of data and debug access — for peripherals.

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Эта область рассматривается как строго упорядоченная память. Часть ее адресов (E000E000h-E000EFFFh) занимает пространство управления системы SCS, в котором находятся регистры блока управления системой SCB, контроллера прерываний NVIC, системного таймера SysTick, устройства защиты памяти MPU, средств отладки и другие. Байты регистров SCS всегда располагаются в порядке «младший–старший» независимо от того, какой формат представления данных принят для остальной памяти. Доступ к большинству регистров возможен только полными двойными словами (32 бита), все исключения из этого правила оговариваются специально. Попытка кода обратиться к области PPB обычно вызывает прерывание по ошибке шины; исключениями являются возможность доступа к регистру STIR, если это разрешено соответствующим битом регистра CCR и доступность отладочных регистров.

Вторая часть является памятью устройств, занимает область E0100000h-FFFFFFFh и является системным регионом ядра ARM (Vendor_SYS).

Регистры периферийных блоков микроконтроллера доступны в адресном пространстве 80000000h – BFFFFFFFh. Таблица 6.2 представляет собой карту памяти с указанием областей памяти и блоков микроконтроллера, чьи регистры занимают эти области.

Таблица 6.2 – Регистры периферийных блоков

Адресное пространство	Название блока	Описание	
1	2	3	
AHB периферийная шина			
80000000h-8000FFFFh	ADC	Контроллер АЦП	
80010000h-80010FFFh	GPIOA	Порт А	Контроллер GPIO
80011000h-80011FFFh	GPIOB	Порт В	
80012000h-80012FFFh	GPIOC	Порт С	
80013000h-80013FFFh	GPIOD	Порт D	
80014000h-80014FFFh	GPIOE	Порт E	
80015000h-80015FFFh	GPIOF	Порт F	
80016000h-80016FFFh	GPIOG	Порт G	
80017000h-80017FFFh	GPIOH	Порт H	
80030000h - 8003FFFFh	COMMON_REG	Регистры общего назначения	
80070000h-8007FFFFh	CAN	Контроллер CAN	
80080000h-8008FFFFh	ETHERNET	Контроллер Ethernet	
80090000h-8009FFFFh	USB	Контроллер USB 2.0 OTG	

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Продолжение таблицы 6.2

1	2	3	
Мост АНВ-to-APB			
A0000000h- A0000FFFh	WDT	Watchdog	
A0001000h- A0001FFFh	I2C0	Блок I2C_0	Контроллеры I2C
A0002000h- A0002FFFh	I2C1	Блок I2C_1	
A0003000h- A0003FFFh	Timer0	Timer_0	Таймеры
A0004000h- A0004FFFh	Timer1	Timer_1	
A0005000h- A0005FFFh	Timer2	Timer_2	
A0006000h- A0006FFFh	DMA	Контроллер DMA	
A0007000h- A0007FFFh	UART0	Блок UART_0	Контроллеры UART
A0008000h- A0008FFFh	UART1	Блок UART_1	
A0009000h- A0009FFFh	UART2	Блок UART_2	
A000A000h- A000AFFFh	UART3	Блок UART_3	
A000B000h- A000BFFFh	PWM0	Блок PWM_0	Контроллеры ШИМ
A000C000h- A000CFFFh	PWM1	Блок PWM_1	
A000D000h- A000DFFFh	PWM2	Блок PWM_2	
A000E000h- A000EFFFh	PWM3	Блок PWM_3	
A000F000h- A000FFFFh	PWM4	Блок PWM_4	
A0010000h- A0010FFFh	PWM5	Блок PWM_5	
A0011000h- A0011FFFh	PWM6	Блок PWM_6	
A0012000h- A0012FFFh	PWM7	Блок PWM_7	
A0013000h- A0013FFFh	PWM8	Блок PWM_8	Контроллеры блоков захвата
A0014000h- A0014FFFh	CAP0	Блок CAP_0	
A0015000h- A0015FFFh	CAP1	Блок CAP_1	
A0016000h- A0016FFFh	CAP2	Блок CAP_2	

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Окончание таблицы 6.2

1	2	3	
A0017000h- A0017FFFh	CAP3	Блок CAP_3	Контроллеры блоков захвата
A0018000h- A0018FFFh	CAP4	Блок CAP_4	
A0019000h- A0019FFFh	CAP5	Блок CAP_5	
A001A000h- A001AFFFh	QEP0	Блок QEP_0	Квадратурные декодеры
A001B000h- A001BFFFh	QEP1	Блок QEP_1	
A001C000h- A001CFFFh	BootFlash	Загрузочная флеш-память	
A001D000h- A001DFFFh	CMP	Аналоговый компаратор	
A001E000h- A001EFFFh	SPI0	Блок SPI_0	Контроллеры SPI
A001F000h- A001FFFFh	SPI1	Блок SPI_1	
A0020000h- A0020FFFh	SPI2	Блок SPI_2	
A0021000h- A0021FFFh	SPI3	Блок SPI_3	
A0022000h- A0022FFFh	UserFlash	Пользовательская флеш-память	
A0023000h- A0023FFFh	RTC	Часы реального времени	
A0024000h- BFFFFFFh	–	Зарезервировано	

Таблица 6.3 – Регистры системного сегмента

Адресное пространство	Название блока	Описание	
1	2	3	
Системный сегмент			
E0000000h- E0000FFFh	ITM	Блок контроля трассировки	Блок отладки DEBUG
E0001000h- E0001FFFh	DWT	Блок точек наблюдения и трассировки данных	
E0002000h- E0002FFFh	FPB	Блок флеш-патчей и точек останова	
E0003000h- E000DFFFh	–	Зарезервировано	
E000E000h- E000E00Fh	CPUID	Контроллер прерываний	Блок системного контроля SCS
E000E010h- E000E0FFh	SysTick	Системный таймер	
E000E100h- E000ECFFh	NVIC	Контроллер внешних прерываний	

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы 6.3

1	2	3	
E000ED00h- E000ED8Ch	CPUID	Блок системного контроля SCB	Блок системного контроля SCS
E000ED90h- E000EDEFh	MPU	Блок защиты памяти	
E000EDF0h- E000EEFFh	CPUID	Блок отладки	
E000EF00h- E000EF30h			
E000EF34h- E000EF44h	SCB	Дополнительный блок FPU блока SCB	
E000EF48h- E000EF8Ch	CPUID	Блок программных прерываний	
E000EF90h- E000EFCFh	CPUID	Определяется реализацией (Implementation-defined)	
E000EFD0h- E000EFFFh	CPUID	Блок ID микроконтроллера	
E000F000h- E003FFFFh	–	Зарезервировано	
E0040000h- E0040FFFh	TPIU	Блок интерфейса точек трассировки TPIU	Блок отладки DEBUG
E0041000h - E00FFFFFh	PPB	«Личная » периферийная шина	
E0100000h- FFFFFFFFh	Vendor_SYS	Системная область	

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

7 Флеш-память и внешняя память. Загрузка микроконтроллера

7.1 Загрузочная флеш-память

Загрузочная флеш-память (см. рисунок 7.1) может использоваться для хранения программ пользователя, хранения начального загрузчика, а также данных пользователя.



Рисунок 7.1 – Загрузочная флеш-память

Размер основной области загрузочной флеш-памяти составляет 1 Мбайт. Помимо основной области загрузочная флеш-память содержит особый защищенный блок, который может использоваться для хранения загрузчика, либо важных данных пользователя. Доступ в защищенный блок осуществляется дополнительными командами контроллера. Размер защищенного блока составляет 8 кбайт.

Чтение флеш-памяти осуществляется через две шины АНВ – I-code (команды) и D-code (данные). На шине I-code работает функция предвыборки, на шине D-code предвыборка не осуществляется. Чтение D-code шины имеет приоритет.

На обеих шинах при попытке записи в любую область, чтении из несуществующей области, чтении во время, когда флеш занята (стирание, запись) транзакция проходит успешно с неопределенными данными на выходе.

Функции записи, страничного стирания, полного стирания реализуются через регистры, доступ к которым осуществляется посредством шины APB.

Операция предвыборки

При запросе данных на шине по адресу, по которому не осуществлялась предвыборка, выполняются следующие действия.

1 Сигнал готовности на шине устанавливается в ноль и задерживает транзакцию.

2 По запрашиваемому адресу считываются 4 двойных слова (128 бит) данных из флеш-памяти с обнуленными четырьмя младшими битами. Далее эти данные записываются во внутренний первый буфер.

3 Требуемое слово передается на шину АНВ и сигнал готовности устанавливается в единицу.

4 Сразу после установки сигнала готовности, из флеш-памяти считываются 4 двойных слова данных по следующему адресу. Данные сохраняются во втором буфере. Если во время считывания этих данных появляются запросы по адресам, сохраненным в первом буфере, ответ возникает мгновенно, если по другим адресам, то готовность на шине устанавливается в ноль, и происходит ожидание завершения считывания во второй буфер и далее возврат к действию 2.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

5 Если приходят запросы по адресам, сохраненным в первом буфере, ответ возникает мгновенно, если по адресам находящимся во втором буфере, ответ также возникает мгновенно. Далее переписывается первый буфер значением второго и считывается следующий адрес из флеш-памяти. Если приходят запросы по адресам не из первого и второго буферов, то возврат к действию 1.

Настройка загрузки из защищенного блока загрузочной флеш-памяти

Выбор области загрузки осуществляется битом BOOTFROM_IFB регистра INFO_WORD, находящегося в области пользовательской флеш-памяти.

Если бит сброшен, то чтение (по шинам I-Code и D-Code) в адресном пространстве от 0000h до 1FFFh происходит из защищенного блока загрузочной флеш, а чтение в адресном пространстве от 2000h до FFFFh происходит из основного блока (соответственно, начиная с адреса 2000h).

Если бит установлен (по умолчанию), то чтение во всем адресном пространстве от 00000h до FFFFFh происходит из основного блока загрузочной флеш (соответственно, начиная с адреса 00000h).

7.2 Пользовательская флеш-память

Пользовательская флеш-память (см. рисунок 7.2) может использоваться для хранения пользовательских настроек во время работы.

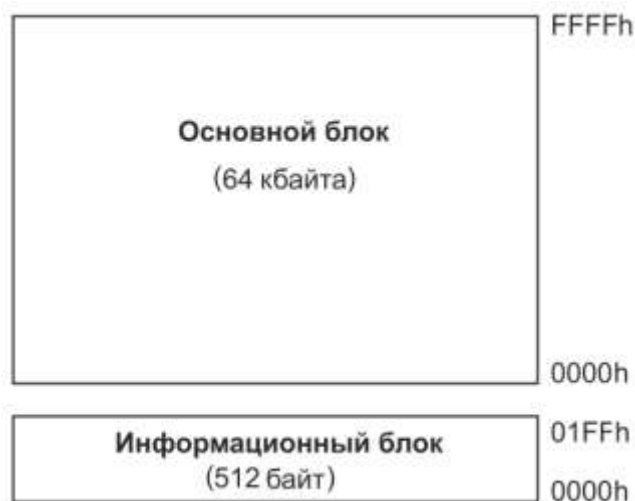


Рисунок 7.2 – Пользовательская флеш-память

Размер основной области пользовательской флеш-памяти составляет 64 кбайта (256 страниц по 256 байт каждая). Основной блок расположен в пространстве с 0000h по FFFFh. Память доступна для чтения и записи через регистры: данных FMD, адреса FMA, команд FMC, статуса FCIS, маски прерываний FCIM и регистр сброса статуса FCIS.

Помимо основной области пользовательская флеш-память содержит информационный блок объемом 512 байт (две страницы), в котором хранятся настройки доступа к страницам загрузочной и пользовательской флеш-памятей, а также параметры загрузки и отладки микроконтроллера. Информационный блок расположен в пространстве с 0000h по 01FFh. Доступ к информационному блоку управляется битами READ_IFB, WRITE_IFB и PAGEERASE_IFB регистра UFMC.

Карта информационного блока показана на рисунке 7.3

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата

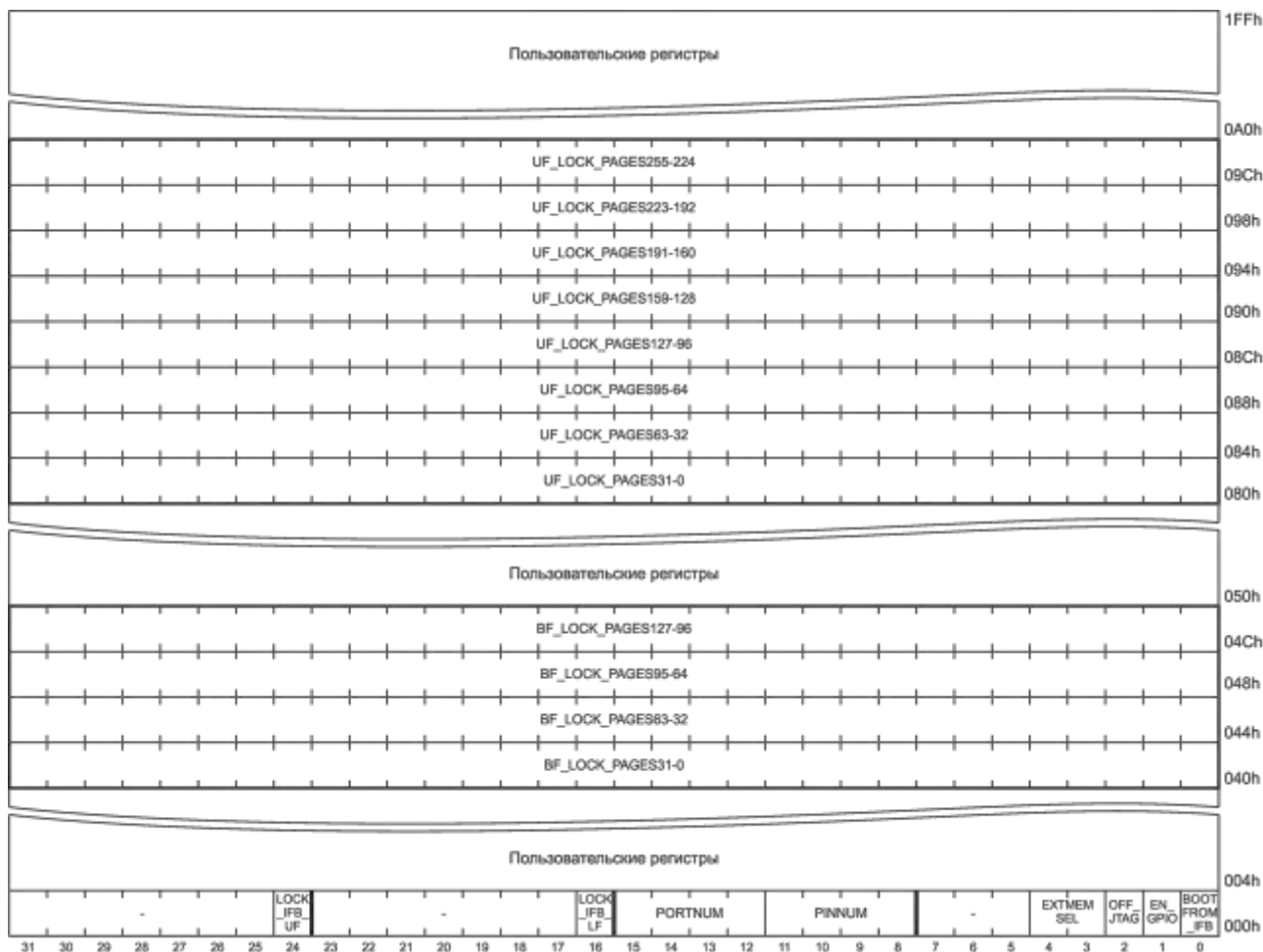


Рисунок 7.3 – Информационный блок пользовательской флеш-памяти

По адресу 000h располагается информационное слово INFO_WORD, состоящее из четырех конфигурационных байт (см. Приложение А).

В диапазоне адресов с 040h по 050h расположены биты защиты страниц загрузочной флеш-памяти. Установка или сброс битов позволяет запрещать или разрешать доступ к страницам памяти для записи и стирания.

В диапазоне адресов с 080h по 0A0h расположены биты защиты страниц пользовательской флеш-памяти. Установка или сброс битов позволяет запрещать или разрешать доступ к страницам памяти для записи и стирания.

Остальной объем информационного блока – регистры пользователя.

Логика работы контроллера пользовательской флеш

При старте автомат считывает информационный блок пользовательской флеш (52 байта) и сохраняет все в регистрах внутренней регистровой памяти (см. рисунок 7.4). В процессе работы контроллеры пользовательской и загрузочной флеш будут напрямую обращаться к этим регистрам, а не читать значения из флеш-памяти.

После выполнения этой операции, схема выдает сигнал готовности, по которому микроконтроллер выводится из состояния сброса.

По окончании операции записи или стирания информационного блока флеш-памяти изменения будут записываться и в соответствующие регистры.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

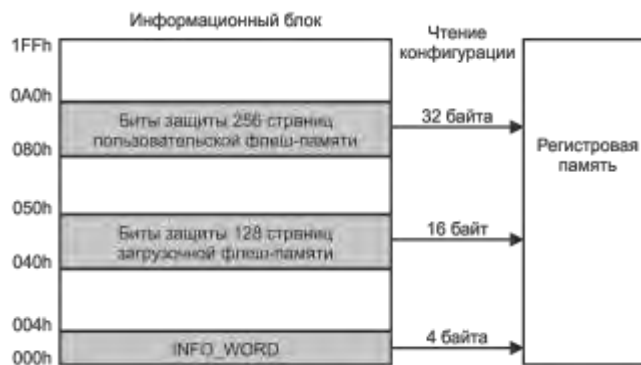


Рисунок 7.4 – Считывание конфигурации микроконтроллера

7.3 Алгоритм стирания всей флеш-памяти

1 Во время сброса микроконтроллера анализируется состояние вывода H2. Если вывод находится в состоянии логической единицы (подтянут к 3,3 В), то загрузочная и пользовательская флеш-памяти (включая защищенный и информационный блоки) переводятся в режим, в котором чтение запрещено (при чтении возвращаются нули).

2 Далее по отладочному интерфейсу (SWD или JTAG) должна быть подана команда записи значения 00000001h в регистр FLASH_FULL_ERASE, после чего будет активировано полное стирание.

Примечание – Если полное стирание не требуется во время сброса, на выводе H2 должен удерживаться логический ноль.

7.4 Временные параметры

На рисунках 7.5 – 7.8 показаны временные диаграммы циклов чтения, записи и стирания флеш-памяти. Эти диаграммы справедливы как для загрузочной флеш-памяти, так и для пользовательской. На диаграммах присутствуют обозначения сигналов и временных параметров, описание которых приведено в таблицах 7.1, 7.2 и 7.3, соответственно.

Таблица 7.1 – Сигналы используемые при работе с флеш-памятью

Название сигнала	Назначение
A15-A6, A5-A0	Адреса
DOUT	Данные, читаемые из флеш-памяти
DIN	Данные, записываемые во флеш-память
RD#	Чтение
WR#	Запись
ERASE	Стирание
PROG	Разрешение программирования
NVSTR	Разрешение операции записи/стирания

Таблица 7.2 – Параметры циклов обращения к флеш-памяти

Параметр	Назначение параметра	Значение по умолчанию (при 100 МГц), мс
1	2	3
Tacc	Задержка от установки адреса, до считывания данных из флеш-памяти	4
Tnvs	Задержка установки сигнала NVSTR после установки сигнала PROG	500
Tnvh	Задержка сброса сигнала NVSTR после сброса сигнала PROG	

Окончание таблицы 7.2

1	2	3
Trcv	Задержка после сброса сигнала NVSTR до его установки в следующем цикле	100
Tpgs	Задержка сигнала записи после установки сигнала NVSTR	1000
Tprog	Длительность активного уровня сигнала записи	2000
Tpgh	Задержка сброса сигнала PROG после перехода сигнала записи в неактивное состояние	2
Terase	Длительность активного уровня сигнала стирания	2000000
Tme	Длительность активного уровня сигнала стирания в цикле массового стирания	
Tnvhl	Задержка сброса сигнала NVSTR после сброса сигнала стирания	10000

Таблица 7.3 – Значения параметра Tacc в зависимости от частоты

Тактовая частота (не более), МГц	Задержка от установки адреса, до считывания данных из флеш-памяти (Tacc), мт
100	6
80	5
60	4
48	3
30	2
15	1

Примечание – Значение параметра после сброса равно 4 мт

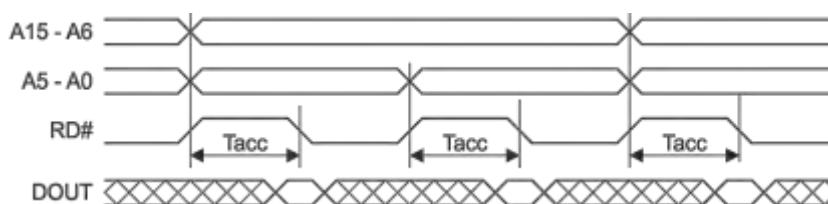


Рисунок 7.5 – Цикл чтения флеш-памяти

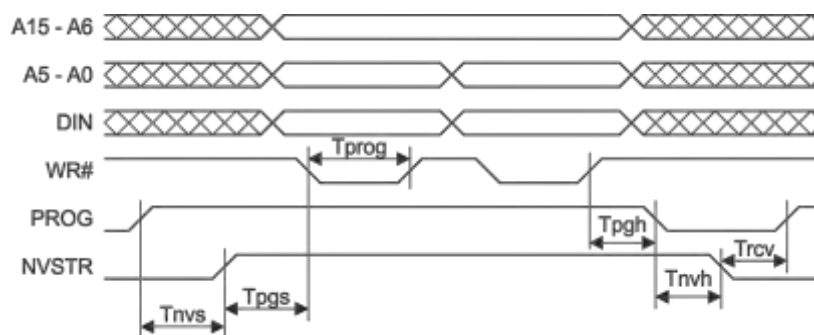


Рисунок 7.6 – Цикл записи флеш-памяти

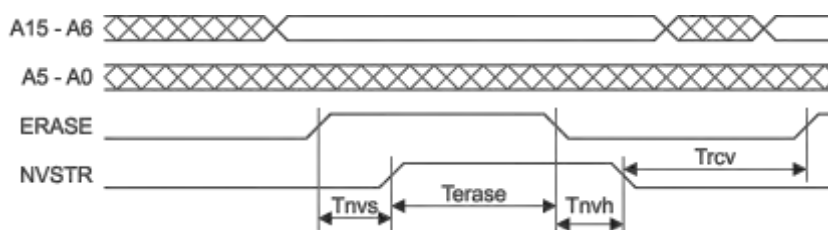


Рисунок 7.7 – Цикл стирания флеш-памяти

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

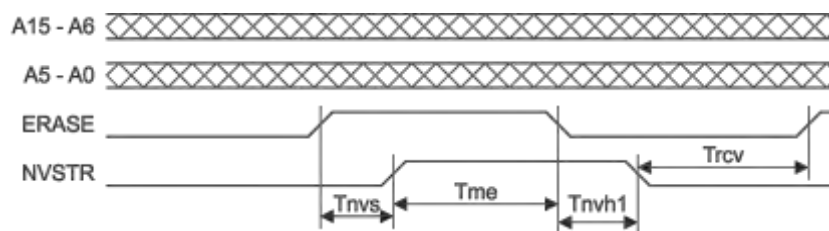


Рисунок 7.8 – Цикл массового стирания флеш-памяти

Регистры задания временных параметров для пользовательской и загрузочной флеш-памяти идентичны и отличаются только адресами. Название регистра и параметра совпадают. Для более полной информации следует обратиться к Приложению А.

7.5 Контроллер внешней памяти

Контроллер внешней памяти позволяет осуществлять коммутацию процессора микроконтроллера с внешней памятью типа SRAM. Контроллер может работать в 8/16-разрядном режиме и согласовывает сигналы АНВ-шины с сигналами внешней памяти. На рисунке 7.9 показаны временные диаграммы циклов чтения и записи при работе с внешней памятью.

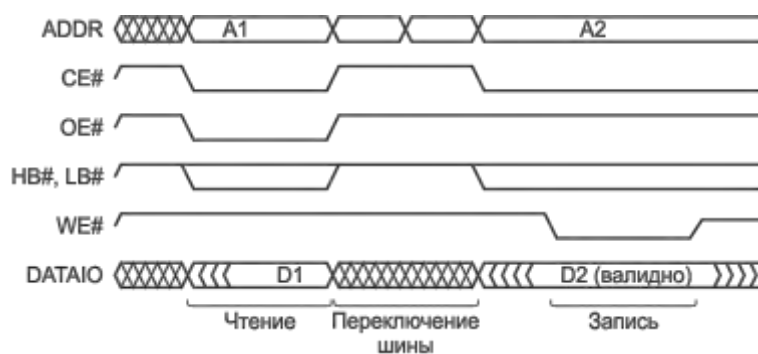


Рисунок 7.9 – Временная диаграмма работы контроллера внешней памяти (описание обозначений приведено в таблице 7.4)

Таблица 7.4 – Сигналы используемые при работе с внешней памятью

Название сигнала	Выходы микро-контроллера	Назначение
ADDR	RAM_ADDR	Адрес для чтения/записи передаваемый во внешнюю память
CE#	RAM_Cen	Сигнал выбора внешнего устройства
OE#	RAM_Oen	Сигнал (строб) разрешения чтения для внешнего устройства
HB#, LB#	RAM_Ubn, RAM_Lbn	Сигналы разрешения для старшего и младшего байт
WE#	RAM_Wen	Сигнал (строб) записи для внешнего устройства
DATAIO	RAM_DATA	Данные внешней памяти
Примечание – Сигналы с символом «#» имеют низкий активный уровень		

Управление контроллером внешней памяти осуществляется посредством регистра EMCFG. Разрядность шины задается битом 8/16BIT.

В контроллере внешней памяти предусмотрен цикл переключения шины между циклами чтения и записи. Это реализовано в целях предотвращения кратковременных скачков тока в то время когда процессор и внешнее устройство пытаются одновременно

Инд. № дубл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № подл.	Подп. и дата

управлять шиной данных. Настройка длительности циклов чтения, записи и переключения осуществляется посредством полей READ, WRITEWS и RWWS. На рисунке 7.9 показан пример для случая когда READ = WRITEWS = RWWS = 001h, т.е. длительность каждого цикла составляет 2 такта сигнала системной частоты.

Сигналы Ram_Cen# и Ram_Oen# задаются по маске в зависимости от адреса, задаваемого пользователем. Маска задается регистром EMCFG.

Для подключения внешней памяти можно использовать две группы выводов микроконтроллера. В одной группе используется первая альтернативная функция выводов, во второй – третья. Номер альтернативной функции задает поле EXTMEMSEL информационного слова INFO_WORD. Два варианта подключения внешней памяти к микроконтроллеру отображены в таблицах 7.5 и 7.6.

Таблица 7.5 – Подключение внешней памяти к выводам микроконтроллера, использующих первую альтернативную функцию (EXTMEMSEL = 00b/01b/11b)

Обозначение вывода	Номер	Интерфейс	
1	2	3	
E13	146	RAM_Wen	Сигнал записи во внешнюю память
E14	147	RAM_Oen0	Сигнал чтения для внешнего устройства0
F6	155	RAM_Cen0	Сигнал выбора внешнего устройства0
E15	148	RAM_Oen1	Сигнал чтения для внешнего устройства1
F7	156	RAM_Cen1	Сигнал выбора внешнего устройства1
F9	158	RAM_Ubn	Сигналы разрешения для старшего байта
F8	157	RAM_Lbn	Сигналы разрешения для младшего байта
B14	70	RAM_ADDR18	Шина адреса
B13	69	RAM_ADDR17	
B12	68	RAM_ADDR16	
B11	67	RAM_ADDR15	
B10	66	RAM_ADDR14	
B9	65	RAM_ADDR13	
B8	64	RAM_ADDR12	
B7	60	RAM_ADDR11	
B6	59	RAM_ADDR10	
B5	58	RAM_ADDR9	
B4	57	RAM_ADDR8	
A15	43	RAM_ADDR7	
A14	42	RAM_ADDR6	
A13	41	RAM_ADDR5	
A12	40	RAM_ADDR4	
A11	39	RAM_ADDR3	
A10	38	RAM_ADDR2	
A9	34	RAM_ADDR1	
A8	33	RAM_ADDR0	
E12	145	RAM_DATA15	
D15	124	RAM_DATA14	
D14	125	RAM_DATA13	
D13	126	RAM_DATA12	
D12	127	RAM_DATA11	
C15	110	RAM_DATA10	
C14	109	RAM_DATA9	
C13	108	RAM_DATA8	

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 7.5

1	2	3	
C12	107	RAM_DATA7	Шина данных
C11	106	RAM_DATA6	
C10	105	RAM_DATA5	
C9	104	RAM_DATA4	
C8	103	RAM_DATA3	
C7	99	RAM_DATA2	
C6	98	RAM_DATA1	
B15	71	RAM_DATA0	

Таблица 7.6 – Подключение внешней памяти к выводам микроконтроллера, использующих третью альтернативную функцию (EXTMEMSEL = 10b)

Обозначение вывода	Номер	Интерфейс		
B0	53	RAM_Wen	Сигнал записи во внешнюю память	
A2	25	RAM_Oen0	Сигнал чтения для внешнего устройства0	
B1	54	RAM_Cen0	Сигнал выбора внешнего устройства0	
A3	26	RAM_Oen1	Сигнал чтения для внешнего устройства1	
B2	55	RAM_Cen1	Сигнал выбора внешнего устройства1	
E10	143	RAM_Ubn	Сигналы разрешения для старшего байта	
E5	135	RAM_LBn	Сигналы разрешения для младшего байта	
D5	116	RAM_ADDR12	Шина адреса	
D4	115	RAM_ADDR11		
D3	114	RAM_ADDR10		
D2	113	RAM_ADDR9		
D1	112	RAM_ADDR8		
D0	111	RAM_ADDR7		
C5	97	RAM_ADDR6		
C4	96	RAM_ADDR5		
C3	95	RAM_ADDR4		
C2	94	RAM_ADDR3		
C1	93	RAM_ADDR2		
C0	92	RAM_ADDR1		
B3	56	RAM_ADDR0		
G6	194	RAM_DATA15		Шина данных
F3	152	RAM_DATA14		
G5	193	RAM_DATA13		
A0	23	RAM_DATA12		
F1	150	RAM_DATA11		
E11	144	RAM_DATA10		
F5	154	RAM_DATA9		
E6	136	RAM_DATA8		
E3	133	RAM_DATA7		
E2	132	RAM_DATA6		
G7	195	RAM_DATA5		
D10	129	RAM_DATA4		
D9	120	RAM_DATA3		
D8	119	RAM_DATA2		
D7	118	RAM_DATA1		
D6	117	RAM_DATA0		

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата

7.6 Режимы загрузки микроконтроллера

После сброса микроконтроллера автоматически производится считывание загрузочных настроек из информационного блока пользовательской флеш-памяти. Далее, в зависимости от настроек производится загрузка из выбранного источника.

Микроконтроллер может загружаться из трех источников:

- основной области загрузочной флеш-памяти;
- защищенного блока загрузочной флеш-памяти;
- внешней памяти.

На рисунке 7.10 показаны три варианта заполнения адресного пространства при различных режимах загрузки микроконтроллера.



Рисунок 7.10 – Процесс мапирования при загрузке микроконтроллера (указанные диапазоны адресов соответствуют реальным объемам памяти микроконтроллера)

Загрузка из основной области загрузочной флеш-памяти

В этом режиме мапирование не используется. Микроконтроллер загружается с адреса 00000000h основной области загрузочной флеш-памяти. Карта адресного пространства представлена на рисунке 7.10 а и в таблице 7.7

Таблица 7.7 – Адресное пространство при загрузке из основной области загрузочной флеш-памяти

Адресное пространство	Название блока	Описание
00000000h – 1FFFFFFFh	Загрузочная флеш (I-Code)	Шина выборки инструкций.
	Загрузочная флеш (D-Code)	Шина данных, расположенных в коде программы.
20000000h – 2002FFFFh	Внутреннее ОЗУ 192 КБ	Шина данных, расположенных в области ОЗУ
40000000h – 4017FFFFh	Внешняя память	

Загрузка из защищенного блока

В этом режиме производится мапирование содержимого защищенного блока в адресное пространство загрузочной флеш-памяти. При обращении к диапазону 00000000h – 00001FFFh происходит считывание защищенного блока. Содержимое основного блока загрузочной флеш-памяти доступно в диапазоне 00002000h – 1FFFFFFFh.

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Для загрузки из защищенного блока должен быть установлен бит BOOTFROM_IFB в информационном слове INFO_WORD пользовательской флеш-памяти.

Карта адресного пространства представлена на рисунке 7.10 б и в таблице 7.8

Таблица 7.8 – Адресное пространство при загрузке из защищенной области загрузочной флеш-памяти

Адресное пространство	Название блока	Описание
00000000h – 00001FFFh	Защищенный блок загрузочной флеш (I-Code)	Шина выборки инструкций.
	Защищенный блок загрузочной флеш (D-Code)	Шина данных, расположенных в коде программы.
00002000h – 1FFFFFFFh	Загрузочная флеш (I-Code)	Шина выборки инструкций.
	Загрузочная флеш (D-Code)	Шина данных, расположенных в коде программы.
20000000h – 2002FFFFh	Внутреннее ОЗУ 192 КБ	Шина данных, расположенных в области ОЗУ
40000000h – 4017FFFFh	Внешняя память	

Загрузка из внешней памяти

В этом режиме производится мапирование содержимого внешней памяти в адресное пространство загрузочной флеш-памяти. При загрузке с адреса 00000000h по адрес 0007FFFFh происходит считывание внешней памяти. Далее выполняется загрузка с адреса 00080000h основного блока загрузочной флеш-памяти. Содержимое основного блока загрузочной флеш-памяти, «закрытое» внешней памятью, доступно с адреса 40000000h.

Для загрузки из внешней памяти необходимо записать загрузочную информацию (конфигурационное слово INFO_WORD) со смещением 00h пользовательской флеш памяти со следующими параметрами:

- сбросить бит EN_GPIO;
- указать номер порта и вывода в PORTNUM и PINNUM, соответственно;
- задать номер альтернативной функции порта в поле EXTMEMSEL.

Карта адресного пространства выглядит как показано на рисунке 7.10 в и в таблице 7.9

Таблица 7.9 – Адресное пространство при загрузке из внешней памяти

Адресное пространство	Название блока	Описание
00000000h – 1FFFFFFFh	Внешняя память (I-Code)	Шина выборки инструкций.
	Внешняя память (D-Code)	Шина данных, расположенных в коде программы.
20000000h – 2002FFFFh	Внутреннее ОЗУ 192 КБ	Шина данных, расположенных в области ОЗУ
40000000h – 4017FFFFh	Загрузочная флеш	Шина данных

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

8 Контроллер прямого доступа к памяти

Основные свойства и отличительные особенности:

- 24 канала DMA;
 - каждый канал DMA имеет свои сигналы управления передачей данных и программируемый уровень приоритета;
 - каждый уровень приоритета обрабатывается, исходя из уровня приоритета, определяемого номером канала DMA;
 - поддержка различного типа передачи данных: память – память, память – периферия, периферия – память;
 - поддержка различных типов циклов DMA;
 - поддержка передачи данных различной разрядности;
 - каждому каналу DMA доступна первичная и альтернативная структура управляющих данных канала;
 - все данные канала хранятся в ОЗУ в структуре управляющих данных канала;
 - разрядность данных приемника равна разрядности данных передатчика;
 - количество передач в одном цикле DMA может программироваться от 1 до 1024;
 - инкремент адреса передачи может быть больше чем разрядность данных.
- Аппаратные источники запросов каналов DMA указаны в таблице 8.1

Таблица 8.1 – Аппаратные источники запросов каналов DMA

Номер канала	Аппаратный источник запросов	Описание
0	UART1_TX	Канал DMA от UART1 по передаче
1	UART2_TX	Канал DMA от UART2 по передаче
2	UART3_TX	Канал DMA от UART3 по передаче
3	UART4_TX	Канал DMA от UART4 по передаче
4	UART1_RX	Канал DMA от UART1 по приему
5	UART2_RX	Канал DMA от UART2 по приему
6	UART3_RX	Канал DMA от UART3 по приему
7	UART4_RX	Канал DMA от UART4 по приему
8	ADC_DMA0	Канал 0 DMA контроллера АЦП
9	ADC_DMA1	Канал 1 DMA контроллера АЦП
10	ADC_DMA2	Канал 2 DMA контроллера АЦП
11	ADC_DMA3	Канал 3 DMA контроллера АЦП
12	ADC_DMA4	Канал 4 DMA контроллера АЦП
13	ADC_DMA5	Канал 5 DMA контроллера АЦП
14	ADC_DMA6	Канал 6 DMA контроллера АЦП
15	ADC_DMA7	Канал 7 DMA контроллера АЦП
16	SPI1_TX	Канал DMA от SPI1 по передаче
17	SPI2_TX	Канал DMA от SPI2 по передаче
18	SPI3_TX	Канал DMA от SPI3 по передаче
19	SPI4_TX	Канал DMA от SPI4 по передаче
20	SPI1_RX	Канал DMA от SPI1 по приему
21	SPI2_RX	Канал DMA от SPI2 по приему
22	SPI3_RX	Канал DMA от SPI3 по приему
23	SPI4_RX	Канал DMA от SPI4 по приему

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

8.1 Программное управление модулем DMA

Контроллер DMA выполняет передачи 8-, 16- и 32-разрядных данных. Разрядность данных источника и приемника должны быть одинаковыми.

Контроллер DMA позволяет управлять инкрементом адреса при чтении данных из источника и при записи данных в приемник. Инкремент адреса зависит от разрядности передаваемых данных: минимальная величина инкремента адреса всегда соответствует разрядности передаваемых данных; максимальная величина – одно слово. Контроллер DMA может быть настроен на работу с фиксированным адресом (например, для работы с FIFO).

Контроллер DMA имеет возможность обслуживать сигналы запроса на одиночный обмен SREQ и запроса на пакетный обмен BREQ блоков UART, SPI. Блок ADC генерирует только запросы на пакетный обмен BREQ.

Каждому каналу DMA соответствуют две структуры управляющих данных: первичная и альтернативная. В ОЗУ должна быть отведена область для хранения этих структур.

На рисунке 8.1 показана область памяти, необходимая контроллеру для структур управляющих данных каналов, при использовании всех 24 каналов и опциональной альтернативной структуры данных.

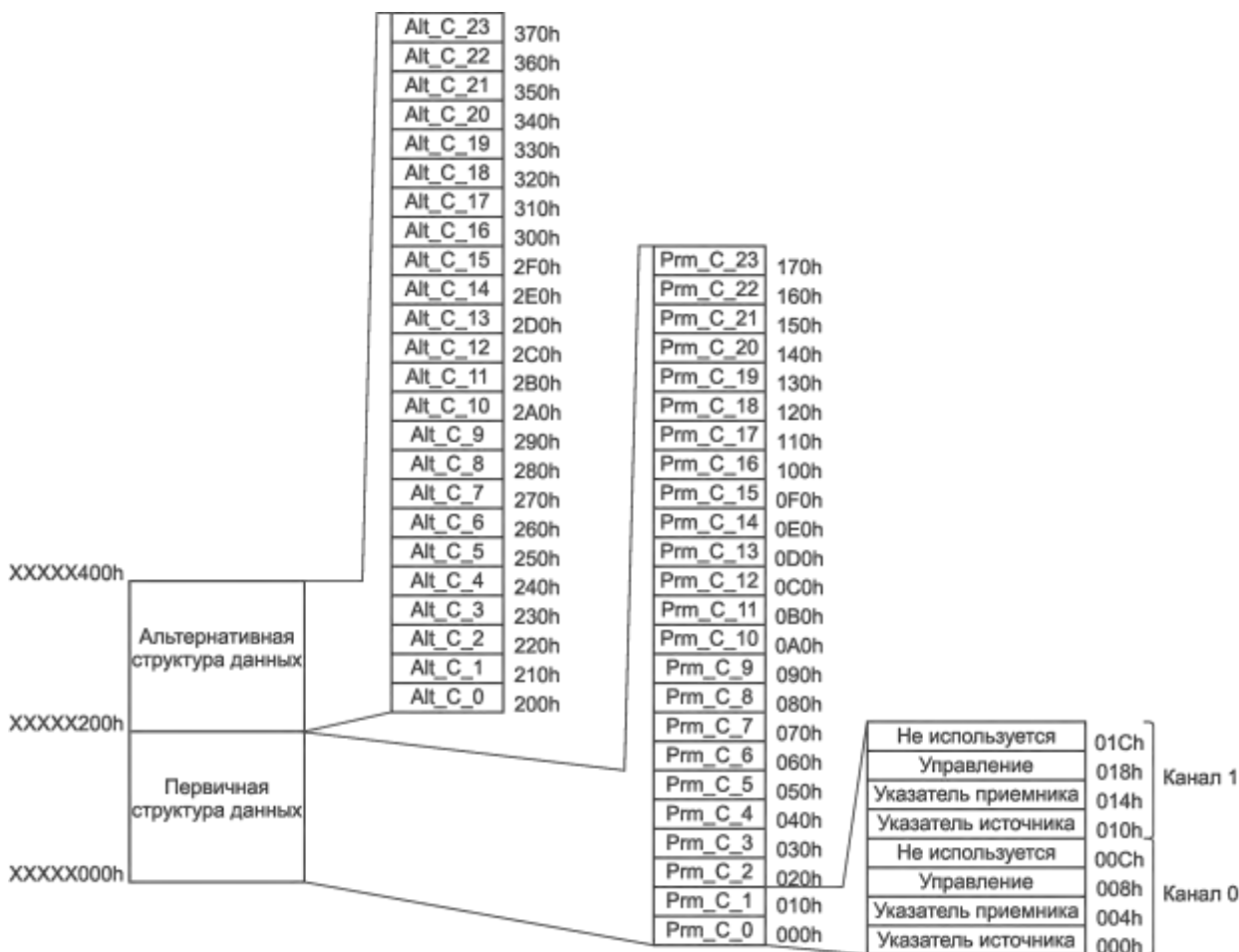


Рисунок 8.1 – Карта памяти для 24 каналов DMA, включая альтернативную структуру

Объем структуры, показанной на рисунке 8.1, составляет 768 байт. Контроллер использует младшие разряды адреса для доступа ко всем элементам структуры

управляющих данных, и поэтому разрешенные значения базового адреса для первичной структуры управляющих данных XXXXX000h, XXXXX400h, XXXXX800h, XXXXXC00h.

Базовый адрес для первичной структуры управляющих данных возможно установить путем записи соответствующего значения в регистр CTRL_BASE_PTR.

В таблице 8.2 перечислены разряды адреса, обеспечивающие контроллеру доступ к различным элементам структуры управляющих данных.

Таблица 8.2 – Разряды адреса, используемые для доступа к управляющим данным 24 каналов

Разряды адреса		
Обозначение	Биты	Действие
S	9	Выбор структуры управляющих данных
		0 Первичная
		1 Альтернативная
CHNL	8-4	Выбор канала. Допустимые значения 0h-18h
EL	3-0	Выбор управляющего элемента
		0h Указатель конца данных источника
		4h Указатель конца данных приемника
		8h Конфигурация структуры управляющих данных
		Ch Не используется. Контроллер не имеет доступа к этому адресу

Не обязательно вычислять базовый адрес альтернативной структуры управляющих данных, он вычисляется автоматически и помещается в регистр ALT_CTRL_BASE_PTR.

Любая из структур управляющих данных каждого канала состоит из двух указателей адреса (приемника и источника данных) и ячейки управления канала.

Управление канала (CHANNEL_CFG)

32-разрядная ячейка памяти, содержащая конфигурационную информацию для осуществления передач DMA (на рисунке 8.1 отмечена как «Управление»). В начале цикла DMA или начале 2^R передачи контроллер DMA считывает значение этой ячейки. После выполнения 2^R или N передач он сохраняет обновленное ее значение обратно в память. Структура регистра CHANNEL_CFG приведена в таблице 8.3.

Таблица 8.3 – Структура управляющих данных канала

CHANNEL_CFG															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
dst_inc		dst_size		src_inc		src_size		dst_prot_ctrl			src_prot_ctrl			R_power	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R_power		N-1									next_use_burst		cycle_ctrl		

Продолжение таблицы 8.3

Поле	Биты	Описание			
1	2	3			
dst_inc	31-30	Шаг инкремента адреса приемника. Код, записанный в поле dst_inc задает шаг, который в свою очередь зависит от разрядности данных источника.			
		Код	Разрядность данных источника		
			Байт	Слово (16 бит)	Двойное слово (32 бита)
		00	Шаг – байт	Зарезервировано	Зарезервировано
		01	Шаг – слово (16 бит)		Зарезервировано
		10	Шаг – двойное слово (32 бита)		
11	Нет инкремента. Адрес остается равным значению ячейки DST_DATA_END_PTR				
dst_size	29-28	Разрядность данных приемника. Значение этого поля должно быть равно значению поля src_size.			
		Примечание - Если контроллер обнаруживает неравные значения этих полей, он при ближайшем обновлении поля N-1 устанавливает значение поля dst_size, равное src_size.			
src_inc	27-26	Шаг инкремента адреса источника. Код, записанный в поле src_inc задает шаг, который в свою очередь зависит от разрядности данных источника.			
		Код	Разрядность данных источника		
			Байт	Слово (16 бит)	Двойное слово (32 бита)
		00	Шаг – байт	Зарезервировано	Зарезервировано
		01	Шаг – слово (16 бит)		Зарезервировано
		10	Шаг – двойное слово (32 бита)		
11	Нет инкремента. Адрес остается равным значению ячейки SRC_DATA_END_PTR				
src_size	25-24	Разрядность данных источника			
		00	Байт		
		01	Слово (16 бит)		
		10	Двойное слово (32 бита)		
		11	Зарезервировано. Не использовать!		
dst_prot_ctrl	23-21	Задает параметры защиты шины АНВ-Lite при записи данных в приемник			
			Биты поля dst_prot_ctrl		
			23	22	21
		0	Доступ не кэшируется	Доступ не буферизуется	Доступ непривилегированный
		1	Доступ кэшируется	Доступ буферизуется	Доступ привилегированный
src_prot_ctrl	20-18	Задает параметры защиты шины АНВ-Lite при чтении данных из источника			
			Биты поля src_prot_ctrl		
			20	19	18
		0	Доступ не кэшируется	Доступ не буферизуется	Доступ непривилегированный
		1	Доступ кэшируется	Доступ буферизуется	Доступ привилегированный

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Продолжение таблицы 8.3

1	2	3																								
R_power	17-14	<p>Параметр R.</p> <p>Задаёт количество передач канала DMA до выполнения контроллером процедуры арбитража (переарбитрации).</p> <p>Количество передач равно 2^R.</p>																								
		<table border="1"> <thead> <tr> <th>Код</th> <th>Количество передач</th> </tr> </thead> <tbody> <tr> <td>0h</td> <td>1 (арбитраж производится после каждой передачи DMA)</td> </tr> <tr> <td>1h</td> <td>2</td> </tr> <tr> <td>2h</td> <td>4</td> </tr> <tr> <td>3h</td> <td>8</td> </tr> <tr> <td>4h</td> <td>16</td> </tr> <tr> <td>5h</td> <td>32</td> </tr> <tr> <td>6h</td> <td>64</td> </tr> <tr> <td>7h</td> <td>128</td> </tr> <tr> <td>8h</td> <td>256</td> </tr> <tr> <td>9h</td> <td>512</td> </tr> <tr> <td>Ah – Fh</td> <td>1024 (арбитраж не производится, так как максимальное количество передач DMA равно 1024)</td> </tr> </tbody> </table>	Код	Количество передач	0h	1 (арбитраж производится после каждой передачи DMA)	1h	2	2h	4	3h	8	4h	16	5h	32	6h	64	7h	128	8h	256	9h	512	Ah – Fh	1024 (арбитраж не производится, так как максимальное количество передач DMA равно 1024)
		Код	Количество передач																							
		0h	1 (арбитраж производится после каждой передачи DMA)																							
		1h	2																							
		2h	4																							
		3h	8																							
		4h	16																							
		5h	32																							
		6h	64																							
		7h	128																							
		8h	256																							
		9h	512																							
Ah – Fh	1024 (арбитраж не производится, так как максимальное количество передач DMA равно 1024)																									
<p>Примечание – Необходимо с осторожностью устанавливать большие значения R для низкоприоритетных каналов, так как это может привести к невозможности обслуживать запросы по высокоприоритетным каналам.</p>																										
N-1	13-4	<p>Перед выполнением цикла DMA эти разряды указывают общее количество передач DMA, из которых состоит цикл.</p>																								
		<table border="1"> <thead> <tr> <th>Код</th> <th>Количество передач</th> </tr> </thead> <tbody> <tr> <td>000h</td> <td>1</td> </tr> <tr> <td>001h</td> <td>2</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>3FFh</td> <td>1024</td> </tr> </tbody> </table>	Код	Количество передач	000h	1	001h	2	3FFh	1024														
		Код	Количество передач																							
		000h	1																							
		001h	2																							
																								
3FFh	1024																									
<p>Примечание – Контроллер обновит это поле перед тем, как произвести процесс арбитража. Это позволяет контроллеру хранить количество оставшихся передач DMA до завершения всего цикла DMA.</p>																										
next_use_burst	3	<p>Контролирует установку соответствующий каналу бита в регистре CHNL_USEBURST_SET, если контроллер работает в периферийном режиме «разборка-сборка» и завершает цикл DMA, используя альтернативные управляющие данные.</p>																								
		<p>Примечание – Перед завершением цикла DMA, использующего альтернативные управляющие данные, контроллер сбрасывает соответствующий каналу бит в регистре CHNL_USEBURST_SET, если количество оставшихся передач DMA меньше, чем 2^R. Программирование бита next_use_burst определяет, будет ли контроллер дополнительно переопределять состояние бита в регистре CHNL_USEBURST_SET.</p>																								
		<p>Если контроллер выполняет цикл DMA в периферийном режиме «разборка-сборка», то после окончания цикла, использующего альтернативные управляющие данные, дальнейшие действия будут зависеть от состояния бита next_use_burst.</p>																								

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы 8.3

1	2	3	
next_use_burst	3	0	Контроллер не изменяет значение соответствующего каналу бита в регистре CHNL_USEBURST_SET. Если бит C_i в CHNL_USEBURST_SET сброшен, то при выполнении циклов DMA с использованием альтернативных управляющих данных контроллер отвечает, как на запросы BREQ, так и запросы SREQ от периферии.
		1	Контроллер изменяет значение соответствующего каналу бита в регистре CHNL_USEBURST_SET, а именно – устанавливает бит. Поэтому для оставшихся циклов DMA с использованием альтернативных управляющих данных контроллер реагирует только на запросы BREQ от периферии.
cycle_ctrl	2-0	Поле задания типа цикла DMA	
		000b	Недействительный. Структура управляющих данных канала в запрещенном состоянии.
		001b	Основной
		010b	Авто-запрос
		011b	«Пинг-понг»
		100b	Работа с памятью в режиме «разборка-сборка» с использованием первичных управляющих данных канала
		101b	Работа с памятью в режиме «разборка-сборка» с использованием альтернативных управляющих данных канала
		110b	Работа с периферией в режиме «разборка-сборка» с использованием первичных управляющих данных канала
		111b	Работа с периферией в режиме «разборка-сборка» с использованием альтернативных управляющих данных канала
Примечание – После завершения всего цикла передач DMA, контроллер устанавливает значение поля cycle_ctrl в 000b, переводя тем самым тип цикла в «недействительный». Это позволяет избежать повторения выполненной передачи DMA.			

Указатель конца данных источника (SRC_DATA_END_PTR) и указатель конца данных приемника (DST_DATA_END_PTR)

32-разрядные ячейки памяти, которые содержат адрес месторасположения конца данных источника и приемника, соответственно. Перед тем, как контроллер выполнит передачу DMA, необходимо определить их значения. Контроллер считывает значение этих областей перед началом 2^R передач DMA.

Для вычисления адреса источника передачи DMA, контроллер выполняет сдвиг влево значения $N-1$ на количество разрядов, соответствующее полю src_inc, и затем вычитает получившееся значение от значения SRC_DATA_END_PTR.

Подобным образом вычисляется начальный адрес приемника передачи и контроллер DMA выполняет сдвиг влево значения $N-1$ на количество разрядов, соответствующее полю dst_inc, и затем вычитает получившееся значение от значения DST_DATA_END_PTR.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

8.2 Правила обмена данными

Следует избегать адресации к зарезервированным или неиспользованным адресам, так как это может привести к непредсказуемым результатам.

Необходимо заполнять неиспользуемые или зарезервированные разряды регистров нулями при записи и игнорировать значения таких разрядов при считывании.

Системный сброс или сброс по установке питания сбрасывает все регистры в состояние 0000000h, если не указано иное.

Контроллер DMA использует правила обмена данными (см. таблицу 8.4), при соблюдении следующих условий:

- канал DMA включен (установлены, соответствующие каналу, биты в регистре CHNL_ENABLE_SET и MASTER_ENBL в регистре CFG);
- запросы канала не замаскированы (сброшен, соответствующий каналу, бит в регистре CHNL_REQ_MASK_SET);

Таблица 8.4 – Перечень правил, при которых передача по каналам разрешена и запросы не маскируются (i – номер канала)

Номер правила	Описание
1	2
1	Если канал не активен (передача не идет в данный момент), то установка бита C_i в регистре CHNL_SW_REQUEST или запрос от соответствующей периферии, инициирует передачу по каналу i.
2	Одновременно активен может быть только один канал.
3	Если запрос от периферии происходит в момент, когда канал активен, то контроллер обслужит этот запрос после завершения текущей передачи.
4	Если приходит сразу несколько запросов от периферии для одного канала в момент, когда канал активен, то контроллер обслужит только первый запрос после завершения текущей передачи.
5	Для циклов DMA, отличных по типу от периферийного режима «разборка-сборка», по окончании 2^R передач контроллер сбрасывает бит C_i в регистре CHNL_USEBURST_SET, если количество оставшихся передач меньше, чем 2^R . Позволяя периферии завершить передачи используя как SREQ запросы, так и BREQ. В периферийном режиме «разборка/сборка» контроллер сбрасывает бит C_i в регистре CHNL_USEBURST_SET только, если количество оставшихся передач с использованием альтернативной структуры управляющих данных меньше, чем 2^R .
6	Контроллер игнорирует запрос SREQ, если бит C_i регистра WAITONREQ_STATUS сброшен или установлен бит C_i регистра CHNL_USEBURST_SET.
7	Необходимо с осторожностью устанавливать разряды регистра CHNL_USEBURST_SET. Если значение, указанное в регистре N-1 меньше, чем значение 2^R , то контроллер не очистит разряды CHNL_USEBURST_SET и поэтому одиночные запросы SREQ будут запрещены. Если программные запросы через регистр CHNL_SW_REQUEST не генерируются, и периферия не осуществляет запросов на пакетную обработку BREQ, то контроллер никогда не выполнит необходимых передач.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 8.4

1	2
8	<p>Для типов циклов DMA, отличных от периферийного режима «разборка-сборка», если придет запрос SREQ, то контроллер выполнит одну передачу.</p> <p>В периферийном режиме «Исполнение с изменением конфигурации», если придет запрос SREQ, контроллер выполняет 2^R передач с использованием первичной структуры управляющих данных. Затем без осуществления арбитража выполняет одну передачу, используя альтернативную структуру управляющих данных.</p>
9	<p>Для типов циклов DMA, отличных от периферийного режима «разборка-сборка», если одновременно пришли запросы SREQ и BREQ, то приоритет предоставляется BREQ, и контроллер выполняет 2^R DMA передач (или число передач, указанное в поле N-1).</p> <p>В периферийном режиме «разборка-сборка» если одновременно пришли запросы SREQ и BREQ, то приоритет также предоставляется BREQ, и контроллер выполняет 2^R передач с использованием первичной структуры управляющих данных. Затем без осуществления арбитража выполняет 2^R передач (или число передач, указанное в поле N-1), используя альтернативную структуру управляющих данных.</p>
10	В периферийном режиме «разборка-сборка», если бит next_use_burst в CHANNEL_CFG установлен, то контроллер устанавливает соответствующий каналу бит в регистре CHNL_USEBURST_SET после окончания цикла DMA, использующего альтернативные управляющие данные.
11	Когда установлен бит Ci регистра CHNL_REQ_MASK_SET, контроллер игнорирует запросы SREQ и BREQ

При отключении канала (бит Ci регистра CHNL_ENABLE_SET сброшен) контроллер DMA осуществляет передачи согласно правилам, представленным в таблице 8.5.

Таблица 8.5 – Перечень правил осуществления передач для запрещенных каналов

Номер правила	Описание
1	Если приходит запрос на пакетную обработку BREQ от периферии, то происходит вызов прерывания канала DMA (если было включено). Это позволяет сигнализировать о запросе, даже если канал выключен.
2	Если приходит запрос на одиночную передачу SREQ от периферии, то происходит вызов прерывания канала DMA (если было включено) при условии, что бит Ci регистра WAITONREQ_STATUS установлен, а бит Ci регистра CHNL_USEBURST_SET сброшен. Это позволяет сигнализировать о запросе, даже если канал выключен.

8.3 Правила арбитража

Контроллер имеет возможность настройки момента арбитража при передачах DMA. Эта возможность позволяет уменьшить время отклика при обслуживании каналов с высоким приоритетом.

Контроллер имеет настройки, которые определяют количество передач по шине АНВ-Lite до повторения арбитража (переарбитрации). Это значение задается параметром R (поле R_power в регистре CHANNEL_CFG структуры управляющих данных канала).

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Количество транзакций одного канала до переарбитрации при этом равно 2^R . Например, если $R = 4$, то арбитраж будет проводиться через каждые 16 передач DMA.

Необходимо с осторожностью устанавливать большие значения R для низкоприоритетных каналов, так как это может привести к невозможности обслуживать запросы по высокоприоритетным каналам.

При $N > 2^R$ (N – номер передачи) и если результат деления 2^R на N не целое число, контроллер всегда выполняет последовательность из 2^R передач до тех пор, пока не станет верным $N < 2^R$. Контроллер выполняет оставшиеся N передач в конце цикла DMA.

Приоритет

При проведении арбитража определяется канал для обслуживания в следующем цикле DMA. На выбор следующего канала влияют:

- номер канала;
- уровень приоритета, присвоенного каналу.

Каждому каналу может быть присвоен уровень приоритета по умолчанию или высокий. Изменение уровня приоритета осуществляется установкой соответствующего бита C_i (i – номер канала) в регистрах $CHNL_PRIORITY_SET$ и $CHNL_PRIORITY_CLR$. Канал 0 имеет наивысший уровень приоритета.

Порядок каналов по уменьшению уровня приоритета, представлен в таблице 8.6

После окончания цикла DMA контроллер выбирает следующий для обслуживания канал из всех включенных каналов DMA. Рисунок 8.2 иллюстрирует процесс выбора следующего канала для обслуживания.

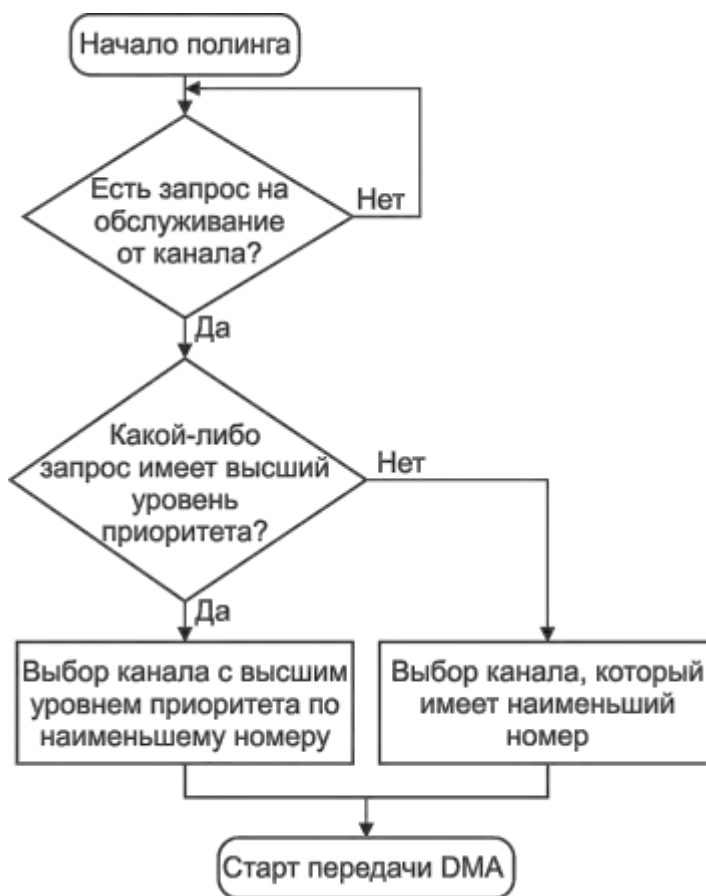


Рисунок 8.2 – Алгоритм выбора (полинга) следующего канала для обслуживания

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Таблица 8.6 – Распределение приоритетов

Номер канала Ci	Состояние бита Ci в регистре CHNL_PRIORITY_SET	Уровень приоритета	Порядок изменения уровня приоритета	
0	1	Высокий	↓ Снижение уровня приоритета ↓	
1	1	Высокий		
2	1	Высокий		
3	1	Высокий		
...		
22	1	Высокий		
23	1	Высокий		
0	0	По умолчанию		
1	0	По умолчанию		
2	0	По умолчанию		
3	0	По умолчанию		
...		
22	0	По умолчанию		
23	0	По умолчанию		
				Низший

8.4 Типы циклов

Для всех типов циклов DMA повторный арбитраж происходит после 2^R передач DMA. Если установить длинный период арбитража на низкоприоритетном канале, то это заблокирует все запросы на обработку от других каналов до тех пор, пока не будут выполнены 2^R передач DMA по данному каналу. Поэтому, устанавливая значение R, необходимо учитывать, что это может привести к повышенному времени отклика на запрос на обработку от высокоприоритетных каналов.

Поддерживаются следующие типы циклов DMA:

- недействительный (структура управляющих данных канала в запрещенном состоянии);
- основной;
- авто-запрос;
- «пинг-понг»;
- работа с памятью в режиме «разборка-сборка» (scatter-gather);
- работа с периферией в режиме «разборка-сборка».

Задание типа цикла DMA осуществляется программированием поля cycle_ctrl регистра CHANNEL_CFG структуры управляющих данных канала.

Недействительный

После окончания цикла DMA контроллер устанавливает тип цикла в значение «недействительный» для предотвращения повтора выполненного цикла DMA.

Основной

В данном режиме контроллер работает либо с первичными либо с альтернативными управляющими данными канала, совершая по 2^R передач по каждому запросу.

Перед началом работы необходимо включить контроллер DMA и разрешить работу канала: установить, соответствующий каналу, бит в регистре CHNL_ENABLE_SET и бит MASTER_ENBL в регистре CFG, а также проверить, что запросы канала не замаскированы (сброшен, соответствующий каналу, бит в регистре CHNL_REQ_MASK_SET).

После того, как разрешена работа канала, цикл DMA выглядит следующим образом:

1. Контроллер ожидает получения запроса (программного либо от периферии) на обработку. Если запрос получен, то контроллер переходит к шагу 2.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

2. Контроллер выполняет 2^R передач. Если число оставшихся передач 0, контроллер переходит к шагу 4, иначе выполняется шаг 3.

3. Происходит осуществление арбитража: если высокоприоритетный канал выдает запрос на обработку, то контроллер начинает обслуживание этого канала, иначе происходит ожидание очередного запроса на обработку по каналу, и если периферийный блок или программа его выдает, то контроллер переходит к шагу 2.

4. Контроллер указывает центральному процессору на завершение цикла DMA. Вызывается соответствующее каналу прерывание (если было включено).

Авто-запрос

Контроллеру необходим лишь одиночный запрос для разрешения работы и выполнения цикла DMA. Такая работа позволяет выполнять передачу больших пакетов данных без существенного увеличения времени отклика на обслуживание высокоприоритетных запросов и не требует множественных запросов на обработку от программы или периферийных блоков. Контроллер позволяет выбрать для использования либо первичную либо альтернативную структуру управляющих данных канала.

Перед началом работы необходимо включить контроллер DMA и разрешить работу канала: установить, соответствующий каналу, бит в регистре CHNL_ENABLE_SET и бит MASTER_ENBL в регистре CFG, а также проверить, что запросы канала не замаскированы (сброшен, соответствующий каналу, бит в регистре CHNL_REQ_MASK_SET).

После того, как разрешена работа канала, цикл DMA выглядит следующим образом:

1. Контроллер ожидает получения запроса (программного либо от периферии) на обработку. Если запрос получен, то контроллер переходит к шагу 2.

2. Контроллер выполняет 2^R передач. Если число оставшихся передач 0, контроллер переходит к шагу 4, иначе выполняется шаг 3.

3. Осуществление арбитража: если высокоприоритетный канал выдает запрос на обработку, то контроллер начинает обслуживание этого канала, иначе контроллер переходит к шагу 2.

4. Контроллер указывает центральному процессору на завершение цикла DMA. Вызывается соответствующее каналу прерывание (если было включено).

Отличие от режима «основной» состоит в том, что в режиме «авто-запрос» контроллер позволит осуществить все N транзакций по одному запросу, в то время как в основном режиме по каждому запросу будет выполняться лишь 2^R передач.

«Пинг-понг»

Контроллер выполняет цикл DMA, используя одну из первичных структур управляющих данных, а затем выполняет еще один цикл DMA, используя альтернативную структуру управляющих данных. Контроллер выполняет циклы DMA с переключением структур до тех пор, пока не считает режим «недействительный» или «основной», или пока процессор не запретит работу канала.

На рисунке 8.3 показан пример функционирования контроллера DMA в режиме «пинг-понг».

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата



Рисунок 8.3 – Пример функционирования контроллера в режиме «пинг-понг»

Пояснения к рисунку 8.3 представлены в виде таблицы 8.7.

Таблица 8.7 – Пояснения к схеме на рисунке 8.3

Шаг	Действия процессора и контроллера
1	2
А	<p>Процессор включает контроллер DMA и разрешает работу канала.</p> <p>В программе устанавливаются первичная структура управляющих данных для шага А и альтернативная структура управляющих данных для шага В. Это позволит контроллеру переключиться к шагу В незамедлительно после выполнения шага А, при условии, что контроллер не получит запрос на обработку от высокоприоритетного канала.</p> <p>Контроллер получает запрос и выполняет 4 передачи DMA.</p> <p>Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала, контроллер продолжает цикл в ситуации отсутствия высокоприоритетных запросов.</p> <p>Контроллер выполняет оставшиеся 2 передачи DMA.</p> <p>Контроллер входит в процедуру арбитража. Если прерывание включено, то произойдет его вызов.</p>

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Окончание таблицы 8.7

1	2
	<p>Примечание – После выполнения шага А процессор может установить первичные управляющие данные канала для шага С. Это позволит контроллеру переключиться к шагу С незамедлительно после выполнения шага В, при условии, что контроллер не получит запрос на обработку от высокоприоритетного канала.</p> <p>После получения нового запроса на обработку от канала при условии его наивысшего приоритета исполняется шаг В</p>
В	<p>Контроллер выполняет 4 передачи DMA.</p> <p>Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала контроллер продолжает цикл в ситуации отсутствия высокоприоритетных запросов.</p> <p>Контроллер выполняет 4 передачи DMA.</p> <p>Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала контроллер продолжает цикл в ситуации отсутствия высокоприоритетных запросов.</p> <p>Контроллер выполняет оставшиеся 4 передачи DMA.</p> <p>Контроллер входит в процедуру арбитража. Если прерывание включено, то произойдет его вызов.</p> <p>Примечание – После выполнения шага В процессор может установить альтернативные управляющие данные канала для шага D.</p> <p>После получения нового запроса на обработку от канала при условии его наивысшего приоритета исполняется шаг С.</p>
С	<p>Контроллер выполняет 2 передачи DMA.</p> <p>Контроллер входит в процедуру арбитража. Если прерывание включено, то произойдет его вызов.</p> <p>Примечание – После выполнения шага С процессор может установить первичные управляющие данные канала для шага Е.</p> <p>После получения нового запроса на обработку от канала при условии его наивысшего приоритета исполняется шаг D.</p>
D	<p>Контроллер выполняет 4 передачи DMA.</p> <p>Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала контроллер продолжает цикл в ситуации отсутствия высокоприоритетных запросов</p> <p>Контроллер выполняет оставшуюся передачу DMA.</p> <p>Контроллер входит в процедуру арбитража. Если прерывание включено, то произойдет его вызов.</p> <p>Примечание – После получения нового запроса на обработку от канала при условии его наивысшего приоритета исполняется шаг Е.</p>
Е	<p>Контроллер выполняет 4 передачи DMA.</p> <p>Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала контроллер продолжает цикл в ситуации отсутствия высокоприоритетных запросов.</p> <p>Контроллер выполняет оставшиеся 3 передачи DMA.</p> <p>Контроллер входит в процедуру арбитража. Если прерывание включено, то произойдет его вызов.</p>

Если контроллер получит новый запрос на обработку от данного канала и этот запрос будет самым приоритетным, контроллер предпримет попытку выполнения

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

следующего шага. Однако из-за того, что процессор не установил альтернативные управляющие данные, и по окончании шага D контроллер установил поле `cycle_ctrl` альтернативной управляющей структуры в состояние 000b, передачи DMA прекращаются.

Работа с памятью в режиме «разборка-сборка»

Алгоритм работы данного режима является оптимальным именно для работы с памятью, но несмотря на это, его использование возможно для любого типа передачи данных: память-память, периферия-память, память-периферия, с помощью как программных запросов, так и запросов от периферии.

В данном режиме контроллер использует первичные управляющие данные для программирования альтернативных управляющих данных.

Контроллер, получая начальный запрос на обработку, выполняет 4 передачи DMA, заполняя альтернативную структуру канала данными, доступными для первичной управляющей структуры. По окончании этих передач контроллер входит в процедуру арбитража, и если более высокоприоритетных запросов не обнаружено, начинает цикл DMA, используя обновленные альтернативные управляющие данные. После – арбитраж, затем контроллер выполняет еще 4 передачи DMA, вновь заполняя альтернативную структуру данными с помощью первичной структуры.

Контроллер продолжает выполнять циклы DMA, меняя структуры управляющих данных, пока не произойдет одно из следующих условий:

- передача с использованием альтернативной управляющей структуры будет выполнена в режиме цикла «основной»;

- контроллер считает «неправильную» структуру управляющих данных. После исполнения контроллером N передач с использованием первичных управляющих данных он делает эти управляющие данные «неправильными» путем записи в поле `cycle_ctrl` значения 000b.

Контроллер устанавливает прерывание канала DMA в этом режиме работы только тогда, когда последний цикл передач DMA выполняется с использованием режима «основной». Также необходимо помнить, что для режима «основной» авто-запросы не действуют.

В таблице 8.8 указаны константы, которые должны быть записаны пользователем в регистр CHANNEL_CFG первичной структуры управляющих данных канала для работы с памятью в режиме «разборка-сборка».

Таблица 8.8 – Конфигурация первичной структуры управляющих данных канала для работы с памятью в режиме «разборка-сборка».

CHANNEL_CFG			
Поле	Биты	Константа	Пояснение
1	2	3	4
dst_inc	31-30	10b	Контроллер производит инкремент адреса с шагом в двойное слово
dst_size	29-28	10b	Контроллер осуществляет передачу двойным словом
src_inc	27-26	10b	Контроллер производит инкремент адреса с шагом в двойное слово
src_size	25-24	10b	Контроллер осуществляет передачу двойными словами

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

Окончание таблицы 8.8

1	2	3	4
dst_prot_ctrl *	23-21	–	Управление защитой шины при записи данных в приемник. *Задается пользователем.
src_prot_ctrl *	20-18	–	Управление защитой шины при чтении данных из источника. *Задается пользователем.
R_power	17-14	0010b	Контроллер выполняет 4 передачи DMA ($2^R = 2^2 = 4$)
N-1*	13-4	–	Настраивает контроллер на выполнение N передач DMA. Так как поле R_power задает значение 2, то необходимо задавать значение N, кратное 4. Число, равное N/4, это количество раз, которое нужно настраивать альтернативные управляющие данные. *Задается пользователем.
next_use_burst	3	0	Для данного режима бит должен быть сброшен
cycle_ctrl	2-0	100b	Контроллер работает с памятью в режиме «разборка\сборка» с использованием первичных управляющих данных канала



Рисунок 8.4 – Пример функционирования контроллера в режиме «разборка-сборка»

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата
Инв. №	Подл. и дата

В указатель конца данных источника SRC_DATA_END_PTR первичной структуры необходимо записать адрес конца области памяти, в которой последовательно расположены нужное количество наборов управляющих данных для программирования альтернативной структуры канала.

В указатель конца данных приемника DST_DATA_END_PTR первичной структуры необходимо записать адрес конца альтернативной управляющей структуры используемого канала.

На рисунке 8.4 показан пример функционирования контроллера в режиме «разборка-сборка».

Пояснения к рисунку 8.4 приведены ниже.

Инициализация

1. Первичная структура управляющих данных настраивается для работы с памятью в режиме «разборка-сборка» путем записи в cycle_ctrl значения 100b. Так как управляющие данные канала состоят из 4 слов, R_power = 0010b. Поскольку количество задач равно 4, то N = 16, т.е. в значение поля N-1 = 00Fh.

2. Управляющие данные для шагов A, B, C, D располагаются в области ОЗУ. Адрес конца этой области заносится в регистр SRC_DATA_END_PTR первичных управляющих данных. Пример размещения и заполнения управляющих данных для альтернативной структуры, показан в таблице 8.9. Исходя из примера, в регистр SRC_DATA_END_PTR первичной управляющей структуры необходимо занести значение 2000015Ch.

Таблица 8.9 – Пример размещения управляющих данных для альтернативной структуры

	Адрес ОЗУ	Регистр	Значение
Управляющие данные для задачи D	2000015Ch	Не используется	XXXXXXXXXh
	20000158h	CHANNEL_CFG	cycle_ctrl = 001b, 2 ^R = 4, N = 4
	20000154h	DST_DATA_END_PTR	2000DE00h
	20000150h	SRC_DATA_END_PTR	2000D000h
Управляющие данные для задачи C	2000016Ch	Не используется	XXXXXXXXXh
	20000168h	CHANNEL_CFG	cycle_ctrl = 101b, 2 ^R = 8, N = 5
	20000164h	DST_DATA_END_PTR	2000CE00h
	20000160h	SRC_DATA_END_PTR	2000C000h
Управляющие данные для задачи B	2000017Ch	Не используется	XXXXXXXXXh
	20000178h	CHANNEL_CFG	cycle_ctrl = 101b, 2 ^R = 2, N = 8
	20000174h	DST_DATA_END_PTR	2000BE00h
	20000170h	SRC_DATA_END_PTR	2000B000h
Управляющие данные для задачи A	2000018Ch	Не используется	XXXXXXXXXh
	20000188h	CHANNEL_CFG	cycle_ctrl = 101b, 2 ^R = 4, N = 3
	20000184h	DST_DATA_END_PTR	2000AE00h
	20000180h	SRC_DATA_END_PTR	2000A000h

В регистр DST_DATA_END_PTR первичной структуры необходимо занести адрес конца альтернативной структуры управляющих данных используемого канала. Например, при использовании канала 9 в регистр DST_DATA_END_PTR необходимо занести значение XXXXX29Ch.

3. Включается контроллер DMA и разрешается работа канала путем установки соответствующего каналу бита в регистре CHNL_ENABLE_SET и бита MASTER_ENBL в регистре CFG. Также необходимо удостовериться, что запросы канала не замаскированы (сброшен, соответствующий каналу, бит в регистре CHNL_REQ_MASK_SET).

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

Функционирование

1. Первичная структура, копирование данных задачи А. По получению первого запроса на обслуживание контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи А. Контроллер генерирует автозапрос для канала, после чего проводит процедуру арбитража.

Далее контроллер выполняет задачу А с использованием альтернативных данных, по окончании генерирует автозапрос для канала и проводит процедуру арбитража.

2. Первичная структура, копирование данных задачи В. По получению автозапроса контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи В. Контроллер генерирует автозапрос для канала, после чего проводит процедуру арбитража.

Далее контроллер выполняет задачу В с использованием альтернативных данных, по окончании генерирует автозапрос для канала и проводит процедуру арбитража.

3. Первичная структура, копирование данных задачи С. По получению автозапроса на обслуживание контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи С. Контроллер генерирует автозапрос для канала, после чего проводит процедуру арбитража.

Далее контроллер выполняет задачу С с использованием альтернативных данных, по окончании генерирует автозапрос для канала и проводит процедуру арбитража.

4. Первичная структура, копирование данных задачи D. По получению автозапроса на обслуживание контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи D. Контроллер записывает в `cycle_ctrl` первичных данных значение `000b` для индикации о том, что эта структура управляющих данных является «неправильной». Далее контроллер генерирует автозапрос для канала, после чего проводит процедуру арбитража.

Далее контроллер выполняет задачу D, используя тип цикла «основной». По завершению задачи генерирует прерывание канала DMA (если было включено) и входит в процедуру арбитража. Цикл работы с памятью в режиме «разборка-сборка» завершен.

Работа с периферией в режиме «разборка-сборка»

Алгоритм работы данного режима является оптимальным именно для работы с периферией, но, несмотря на это, его использование возможно для любого типа передачи данных: память-память, периферия-память, память-периферия, с помощью как программных запросов, так и запросов от периферии.

В данном режиме контроллер использует первичные управляющие данные для программирования альтернативных управляющих данных.

Контроллер, получая начальный запрос на обработку, выполняет 4 передачи DMA, заполняя альтернативную структуру канала данными, доступными для первичной управляющей структуры. По окончании этих передач контроллер без осуществления арбитража начинает цикл DMA, используя обновленные альтернативные управляющие данные. После – арбитраж, затем контроллер выполняет еще 4 передачи DMA, вновь заполняя альтернативную структуру данными с помощью первичной структуры. Это единственный случай, при котором контроллер не осуществляет процедуру арбитража после выполнения передачи DMA, используя первичные управляющие данные.

Контроллер продолжает выполнять циклы DMA, меняя структуры управляющих данных, пока не произойдет одно из следующих условий:

- передача с использованием альтернативной управляющей структуры будет выполнена в режиме цикла «основной»;

- контроллер считает «неправильную» структуру управляющих данных. После исполнения контроллером N передач с использованием первичных управляющих данных

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

он делает эти управляющие данные «неправильными» путем записи в поле `cycle_ctrl` значения `000b`.

Контроллер устанавливает прерывание канала DMA в этом режиме работы только тогда, когда последний цикл передач DMA выполняется с использованием режима «основной». Также необходимо помнить, что для режима «основной» авто-запросы не действуют.

В таблице 8.10 указаны константы, которые должны быть записаны пользователем в регистр `CHANNEL_CFG` первичной структуры управляющих данных канала для работы с периферией в режиме «разборка-сборка».

Таблица 8.10 – Конфигурация первичной структуры управляющих данных канала для работы с периферией в режиме «разборка-сборка».

CHANNEL_CFG			
Поле	Биты	Константа	Пояснение
<code>dst_inc</code>	31-30	10b	Контроллер производит инкремент адреса с шагом в двойное слово
<code>dst_size</code>	29-28	10b	Контроллер осуществляет передачу двойным словом
<code>src_inc</code>	27-26	10b	Контроллер производит инкремент адреса с шагом в двойное слово
<code>src_size</code>	25-24	10b	Контроллер осуществляет передачу двойными словами
<code>dst_prot_ctrl</code> *	23-21	–	Управление защитой шины при записи данных в приемник. *Задается пользователем.
<code>src_prot_ctrl</code> *	20-18	–	Управление защитой шины при чтении данных из источника. *Задается пользователем.
<code>R_power</code>	17-14	0010b	Контроллер выполняет 4 передачи DMA ($2^R = 2^2 = 4$)
<code>N-1</code> *	13-4	–	Настраивает контроллер на выполнение N передач DMA. Так как поле <code>R_power</code> задает значение 2, то необходимо задавать значение N, кратное 4. Число, равное N/4, это количество раз, которое нужно настраивать альтернативные управляющие данные. *Задается пользователем.
<code>next_use_burst</code>	3	0	Для данного режима бит должен быть сброшен
<code>cycle_ctrl</code>	2-0	110b	Контроллер работает с периферией в режиме «разборка-сборка» с использованием первичных управляющих данных канала

В указатель конца данных источника `SRC_DATA_END_PTR` первичной структуры необходимо записать адрес конца области памяти, в которой последовательно расположены нужное количество наборов управляющих данных для программирования альтернативной структуры канала.

В указатель конца данных приемника `DST_DATA_END_PTR` первичной структуры необходимо записать адрес конца альтернативной управляющей структуры используемого канала.

На рисунке 8.4 показан пример функционирования контроллера в режиме «разборка-сборка».

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

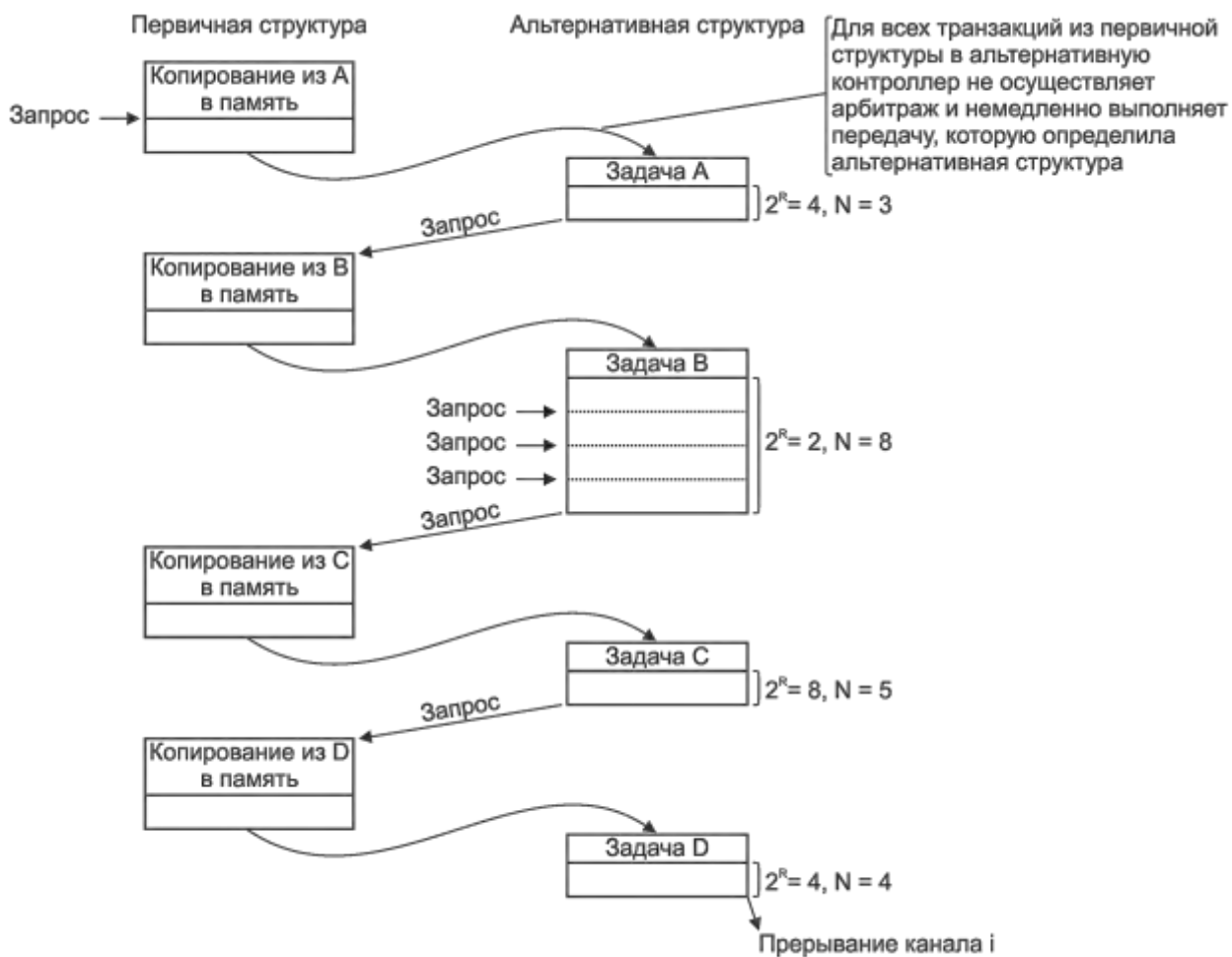


Рисунок 8.4 – Пример функционирования контроллера в режиме работы с периферией «разборка-сборка»

Пояснения к рисунку 8.4 приведены ниже.

Инициализация

1. Первичная структура управляющих данных настраивается для работы с периферией в режиме «разборка-сборка» путем записи в `cycle_ctrl` значения 110b. Так как управляющие данные канала состоят из 4 слов, $R_power = 0010b$. Поскольку количество задач равно 4, то $N = 16$, т.е. в значение поля $N-1 = 00Fh$.

2. Управляющие данные для шагов A, B, C, D располагаются в области ОЗУ. Адрес конца этой области заносится в регистр `SRC_DATA_END_PTR` первичных управляющих данных. Пример размещения и заполнения управляющих данных для альтернативной структуры, показан в таблице 8.11. Исходя из примера, в регистр `SRC_DATA_END_PTR` необходимо занести значение 2000015Ch.

Таблица 8.11 – Пример размещения управляющих данных для альтернативной структуры

	Адрес ОЗУ	Регистр	Значение
1	2	3	4
Управляющие данные для задачи D	2000015Ch	Не используется	XXXXXXXXXh
	20000158h	CHANNEL_CFG	<code>cycle_ctrl = 001b</code> , $2^R = 4$, $N = 4$
	20000154h	DST_DATA_END_PTR	2000DE00h
	20000150h	SRC_DATA_END_PTR	2000D000h

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата
-------------	--------------	--------------	-------------	--------------

Окончание таблицы 8.11

1	2	3	4
Управляющие данные для задачи С	2000016Ch	Не используется	XXXXXXXXXh
	20000168h	CHANNEL_CFG	cycle_ctrl = 111b, $2^R = 8$, N = 5
	20000164h	DST_DATA_END_PTR	2000CE00h
	20000160h	SRC_DATA_END_PTR	2000C000h
Управляющие данные для задачи В	2000017Ch	Не используется	XXXXXXXXXh
	20000178h	CHANNEL_CFG	cycle_ctrl = 111b, $2^R = 2$, N = 8
	20000174h	DST_DATA_END_PTR	2000BE00h
	20000170h	SRC_DATA_END_PTR	2000B000h
Управляющие данные для задачи А	2000018Ch	Не используется	XXXXXXXXXh
	20000188h	CHANNEL_CFG	cycle_ctrl = 111b, $2^R = 4$, N = 3
	20000184h	DST_DATA_END_PTR	2000AE00h
	20000180h	SRC_DATA_END_PTR	2000A000h

В регистр DST_DATA_END_PTR первичной структуры необходимо занести адрес конца альтернативной структуры управляющих данных используемого канала. Например, при использовании канала 9 в регистр DST_DATA_END_PTR необходимо занести значение XXXXX29Ch.

3. Включается контроллер DMA и разрешается работа канала путем установки соответствующего каналу бита в регистре CHNL_ENABLE_SET и бита MASTER_ENBL в регистре CFG. Также необходимо удостовериться, что запросы канала не замаскированы (сброшен, соответствующий каналу, бит в регистре CHNL_REQ_MASK_SET).

Функционирование

1. Первичная структура, копирование данных для задачи А. По получению запроса на обслуживание контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи А.

Далее контроллер сразу же выполняет задачу А и по окончании проводит процедуру арбитража. После выставления нового запроса на обслуживание, при условии, что этот запрос является наиболее приоритетным, процесс продолжается.

2. Первичная структура, копирование данных для задачи В. Контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи В.

Далее контроллер выполняет задачу В. Для завершения задачи необходимо три запроса (программных или от периферии). По окончании контроллер проводит процедуру арбитража. После выставления нового запроса на обслуживание, при условии, что этот запрос является наиболее приоритетным, процесс продолжается.

3. Первичная структура, копирование данных для задачи С. Контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для задачи С.

Далее контроллер выполняет задачу С и по окончании проводит процедуру арбитража.

После выставления периферией нового запроса на обслуживание, при условии, что этот запрос является наиболее приоритетным, процесс продолжается.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Подп. и дата	

4. Первичная структура, копирование данных для задачи D. Контроллер выполняет 4 передачи DMA. Эти передачи записывают альтернативную структуру управляющих данных для шага D. Контроллер записывает в `cycle_ctrl` первичных данных значение 000b для индикации о том, что эта структура управляющих данных является «неправильной».

Далее контроллер выполняет задачу D, используя основной цикл DMA, входит в прерывание канала DMA (если включено) и запускает процедуру арбитража. Цикл работы с периферией в режиме «разборка-сборка» завершен.

8.5 Индикация ошибок

Контроллер может отключить канал DMA C_i , в следующих случаях:

- при завершении цикла DMA;
- при чтении режима канала «Недействительный»;
- при появлении ошибки на шине АНВ-Lite.

Как только контроллер получает сообщение об ошибке по шине АНВ-Lite, он отключает канал, в котором обнаружена ошибка и устанавливает флаг `ERR_CLR` в одноименном регистре.

Для того чтобы определить канал, в котором произошла ошибка, программа, выполняемая процессором, должна всегда хранить данные о каналах, которые недавно вызвали прерывания, т.е. завершали работу и отключались.

Алгоритм определения канала с ошибкой:

- необходимо прочитать регистр `CHNL_ENABLE_SET` с целью создания текущего списка отключенных каналов;
- процессор должен сравнить список выключенных каналов, полученный в результате чтения регистра `CHNL_ENABLE_SET`, с данными о каналах, которые недавно вызвали прерывания. Канал, который отключился и по которому отсутствуют данные о вызове прерывания, это и есть канал, с которым связана ошибка.

В контроллере DMA присутствует возможность использования режимов защиты шины АНВ-Lite: при записи в приемник, при чтении из источника и при обращении к структурам управляющих данных каналов. Защита шины в каждой из ситуаций настраивается индивидуально. Доступными режимами защиты являются: кэширование, буферизация, привилегированный доступ.

Защита шины при записи в приемник настраивается полем `dst_prot_ctrl` в ячейке `CHANNEL_CFG` структуры управляющих данных канала.

Защита шины при чтении из источника настраивается полем `src_prot_ctrl` в ячейке `CHANNEL_CFG` структуры управляющих данных канала.

Защита шины при обращении контроллера к структурам управляющих данных каналов настраивается полем `CHNL_PROT_CTRL` в регистре `CFG`.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

9 Прерывания

Таблица прерываний представляет собой перечень адресов соответствующих определенным обработчикам прерываний (см. таблицу 9.1).

Таблица 9.1 – Таблица прерываний

№ вектора	Смещение	Обозначение	Описание
1	2	3	4
-	0000h	SP	Вершина стека
-	0004h	Reset	Сброс
-	0008h	NMI	Немаскируемое прерывание NMI
-	000Ch	HardFault	Любой отказ, если соответствующий обработчик не может быть запущен
-	0010h	MemManage	Прерывание по отказу системы управления памятью
-	0014h	BusFault	Прерывание по отказу шины АНВ
-	0018h	UsageFault	Прерывание по ошибке программы
-	001Ch-0028h	-	Зарезервировано
-	002Ch	SVCall	Обработка прерываний, вызванных инструкцией SVC
-	0030h	DebugMonitor	Прерывание монитора отладки
-	0034h	-	Зарезервировано
-	0038h	PendSV	Прерывание системного уровня. В приложении используется вызов «Супервизор», если этот запрос обслуживается базовой операционной системой
-	003Ch	SysTick	Прерывание системного уровня. Прерывание вызывается таймером SysTick
0	0040h	WWDG	Прерывание блока сторожевого таймера
1	0044h	I2C1	Прерывание блока I2C_0
2	0048h	I2C2	Прерывание блока I2C_1
3	004Ch	TIM1	Прерывание таймера 0
4	0050h	TIM2	Прерывание таймера 1
5	0054h	TIM3	Прерывание таймера 2
6	0058h	DMA_Stream0	Прерывания контроллера DMA
7	005Ch	DMA_Stream1	
8	0060h	DMA_Stream2	
9	0064h	DMA_Stream3	
10	0068h	DMA_Stream4	
11	006Ch	DMA_Stream5	
12	0070h	DMA_Stream6	
13	0074h	DMA_Stream7	
14	0078h	DMA_Stream8	
15	007Ch	DMA_Stream9	
16	0080h	DMA_Stream10	
17	0084h	DMA_Stream11	

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 9.1

1	2	3	4
18	0088h	DMA_Stream12	Прерывания контроллера DMA
19	008Ch	DMA_Stream13	
20	0090h	DMA_Stream14	
21	0094h	DMA_Stream15	
22	0098h	DMA_Stream16	
23	009Ch	DMA_Stream17	
24	00A0h	DMA_Stream18	
25	00A4h	DMA_Stream19	
26	00A8h	DMA_Stream20	
27	00ACh	DMA_Stream21	
28	00B0h	DMA_Stream22	
29	00B4h	DMA_Stream23	Прерывания блока UART 0
30	00B8h	USART0_MS	
31	00BCh	USART0_RX	
32	00C0h	USART0_TX	
33	00C4h	USART0_RT	
34	00C8h	USART0_E	
35	00CCh	USART0	Прерывания блока UART 1
36	00D0h	USART1_MS	
37	00D4h	USART1_RX	
38	00D8h	USART1_TX	
39	00DCh	USART1_RT	
40	00E0h	USART1_E	
41	00E4h	USART1	Прерывания блока UART 2
42	00E8h	USART2_MS	
43	00ECh	USART2_RX	
44	00F0h	USART2_TX	
45	00F4h	USART2_RT	
46	00F8h	USART2_E	
47	00FCh	USART2	Прерывания блока UART 3
48	0100h	USART3_MS	
49	0104h	USART3_RX	
50	0108h	USART3_TX	
51	010Ch	USART3_RT	
52	0110h	USART3_E	
53	0114h	USART3	Общее прерывание блока 0 ШИМ
54	0118h	EPWM0	
55	011Ch	EPWM0_HD	Общее прерывание блока 0 ШИМ высокого разрешения
56	0120h	EPWM0_TZ	Прерывание детектора аварий блока 0 ШИМ
57	0124h	EPWM1	Общее прерывание блока 1 ШИМ
58	0128h	EPWM1_HD	Общее прерывание блока 1 ШИМ высокого разрешения
59	012Ch	EPWM1_TZ	Прерывание детектора аварий блока 1 ШИМ
60	0130h	EPWM2	Общее прерывание блока 2 ШИМ
61	0134h	EPWM2_HD	Общее прерывание блока 2 ШИМ высокого разрешения
62	0138h	EPWM2_TZ	Прерывание детектора аварий блока 2 ШИМ

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 9.1

1	2	3	4
63	013Ch	EPWM3	Общее прерывание блока 3 ШИМ
64	0140h	EPWM3_HD	Общее прерывание блока 3 ШИМ высокого разрешения
65	0144h	EPWM3_TZ	Прерывание детектора аварий блока 3 ШИМ
66	0148h	EPWM4	Общее прерывание блока 4 ШИМ
67	014Ch	EPWM4_HD	Общее прерывание блока 4 ШИМ высокого разрешения
68	0150h	EPWM4_TZ	Прерывание детектора аварий блока 4 ШИМ
69	0154h	EPWM5	Общее прерывание блока 5 ШИМ
70	0158h	EPWM5_HD	Общее прерывание блока 5 ШИМ высокого разрешения
71	015Ch	EPWM5_TZ	Прерывание детектора аварий блока 5 ШИМ
72	0160h	EPWM6	Общее прерывание блока 6 ШИМ
73	0164h	EPWM6_HD	Общее прерывание блока 6 ШИМ высокого разрешения
74	0168h	EPWM6_TZ	Прерывание детектора аварий блока 6 ШИМ
75	016Ch	EPWM7	Общее прерывание блока 7 ШИМ
76	0170h	EPWM7_HD	Общее прерывание блока 7 ШИМ высокого разрешения
77	0174h	EPWM7_TZ	Прерывание детектора аварий блока 7 ШИМ
78	0178h	EPWM8	Общее прерывание блока 8 ШИМ
79	017Ch	EPWM8_HD	Общее прерывание блока 8 ШИМ высокого разрешения
80	0180h	EPWM8_TZ	Прерывание детектора аварий блока 8 ШИМ
81	0184h	ADC_SEQ0	Прерывание контроллера АЦП
82	0188h	ADC_SEQ1	
83	018Ch	ADC_SEQ2	
84	0190h	ADC_SEQ3	
85	0194h	ADC_SEQ4	
86	0198h	ADC_SEQ5	
87	019Ch	ADC_SEQ6	
88	01A0h	ADC_SEQ7	
89	01A4h	ADC_CompInt	Прерывание компараторов контроллера АЦП
90	01A8h	ECAP0	Прерывание блока захвата CAP_0
91	01ACh	ECAP1	Прерывание блока захвата CAP_1
92	01B0h	ECAP2	Прерывание блока захвата CAP_2
93	01B4h	ECAP3	Прерывание блока захвата CAP_3
94	01B8h	ECAP4	Прерывание блока захвата CAP_4
95	01BCh	ECAP5	Прерывание блока захвата CAP_5
96	01C0h	EQEP0	Прерывание квадратурного декодера QEP_0
97	01C4h	EQEP1	Прерывание квадратурного декодера QEP_1
98	01C8h	BootFlash	Прерывание контроллера загрузочной флеш-памяти
99	01CCh	CMP1	Прерывание блока аналогового компаратора 0
100	01D0h	CMP2	Прерывание блока аналогового компаратора 1
101	01D4h	CMP3	Прерывание блока аналогового компаратора 2
102	01D8h	SPI0	Прерывание блока SPI_0
103	01DCh	SPI1	Прерывание блока SPI_1

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата

Окончание таблицы 9.1

1	2	3	4
104	01E0h	SPI2	Прерывание блока SPI_2
105	01E4h	SPI3	Прерывание блока SPI_3
106	01E8h	UserFlash	Прерывание контроллера пользовательской флеш-памяти
107	01ECh	GPIOA	Прерывание контроллера GPIO порта А
108	01F0h	GPIOB	Прерывание контроллера GPIO порта В
109	01F4h	GPIOC	Прерывание контроллера GPIO порта С
110	01F8h	GPIOD	Прерывание контроллера GPIO порта D
111	01FCh	GPIOE	Прерывание контроллера GPIO порта E
112	0200h	GPIOF	Прерывание контроллера GPIO порта G
113	0204h	GPIOG	Прерывание контроллера GPIO порта H
114	0208h	GPIOH	Прерывание контроллера GPIO порта I
115	020Ch	Ethernet	Прерывание контроллера Ethernet
116	0210h	CAN0	Прерывания контроллера CAN
117	0214h	CAN1	
118	0218h	CAN2	
119	021Ch	CAN3	
120	0220h	CAN4	
121	0224h	CAN5	
122	0228h	CAN6	
123	022Ch	CAN7	
124	0230h	CAN8	
125	0234h	CAN9	
126	0238h	CAN10	
127	023Ch	CAN11	
128	0240h	CAN12	
129	0244h	CAN13	
130	0248h	CAN14	
131	024Ch	CAN15	
132	0250h	RTC	Прерывание контроллера RTC
133	0254h	USB	Прерывание контроллера USB OTG

Первоначально адрес начала таблицы прерываний 00000000h.

Таблица векторов может быть размещена по другому адресу в памяти программ или в ОЗУ. В случае размещения таблицы прерываний в области ОЗУ появляется возможность изменять обработчики прерываний в процессе выполнения программы. Положение таблицы векторов в памяти определяется регистром VTOR (см. таблицу 9.2).

Обработчики прерываний можно динамически менять, но при этом обязательно следует располагать следующие элементы:

- начальное значение основного указателя стека;
- вектор сброса Reset;
- вектор NMI;
- вектор исключения HardFault;

Остальные прерывания не могут генерироваться, пока не будут разрешены.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Таблица 9.2 – Регистр смещения таблицы векторов

VTOR		E000ED08h		Сброс: 00000000h											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-		TBL BASE		TBLOFF											
		3 4		3 4											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBLOFF												-			
												3 4			
Поле	Биты	Описание													
TBLBASE	29	Бит указания расположения таблицы векторов													
		0	Таблица расположена в памяти программ												
		1	Таблица расположена в области ОЗУ												
TBLOFF	28-7	Смещение таблицы векторов относительно начала области, в которой она располагается													
-	31-30, 6-0	Зарезервировано													

Контроллер прерываний NVIC

Контроллер обеспечивает:

- программное задание уровня приоритета независимо для каждого прерывания в диапазоне от 0 до 15 (прерывание с уровнем 0 имеет наивысший приоритет);
- генерирование сигнала прерывания по фронту и по уровню сигнала;
- динамическое изменение приоритета прерываний;
- разделение по группам с одинаковым приоритетом и по подгруппам внутри одной группы;
- передача управления из одного обработчика в другой без восстановления контекста.

Процессор автоматически сохраняет в стеке свое состояние при входе в обработчик прерывания и восстанавливает свое состояние после завершения обработки прерывания, т.е. без необходимости программирования этих операций.

Обработка прерываний по уровню и по фронту

Контроллер прерываний поддерживает прерывания как по фронту, так и по уровню. Прерывание по фронту – импульсное прерывание, которое может иметь длительность большую или равную длительности такта системной частоты.

Прерывание по уровню возникает до тех пор, пока устройством удерживается заданный уровень сигнала. Если прерывание по уровню не было снято до завершения работы обработчика прерываний, то контроллер NVIC вновь начинает его обработку.

В случае прихода импульсного прерывания от любого источника в момент обработки предыдущего, в контроллере устанавливается флаг, сигнализирующий о приходе нового прерывания, которое будет обработано после завершения обработки текущего прерывания. В случае, если контроллер NVIC находится в состоянии ожидания и приходит импульсное прерывание от того же источника, обработка выполнится только один раз.

Для управления прерываниями используются пять групп регистров ISER, ICER, ISPR, ICPR и IABR. Подробное описание в Приложении В.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Подп. и дата	

10 Порты

В состав микроконтроллера входят порты ввода-вывода: 8-разрядный Порт Н и семь 16-разрядных портов – Порт А, Порт В, Порт С, Порт D, Порт Е, Порт F, Порт G. Структуры всех портов и функционирование идентичны.

Полученные данные сохраняются в регистре порта DATA. Данные для передачи записываются в регистр порта DATAOUT.

Каждый цифровой вывод порта микроконтроллера может использоваться как двунаправленный вывод общего назначения (режим GPIO). Помимо этого все выходы имеют альтернативные функции (от одной до трех, а выходы А0 – А7 по четыре).

Управление выводами осуществляется посредством регистров общего назначения и регистров GPIO.

На рисунке 10.1 приведена структурная схема нулевого вывода цифрового порта А микроконтроллера. Серым цветом отмечены нулевые биты регистров управления. Схемы всех выводов идентичны.

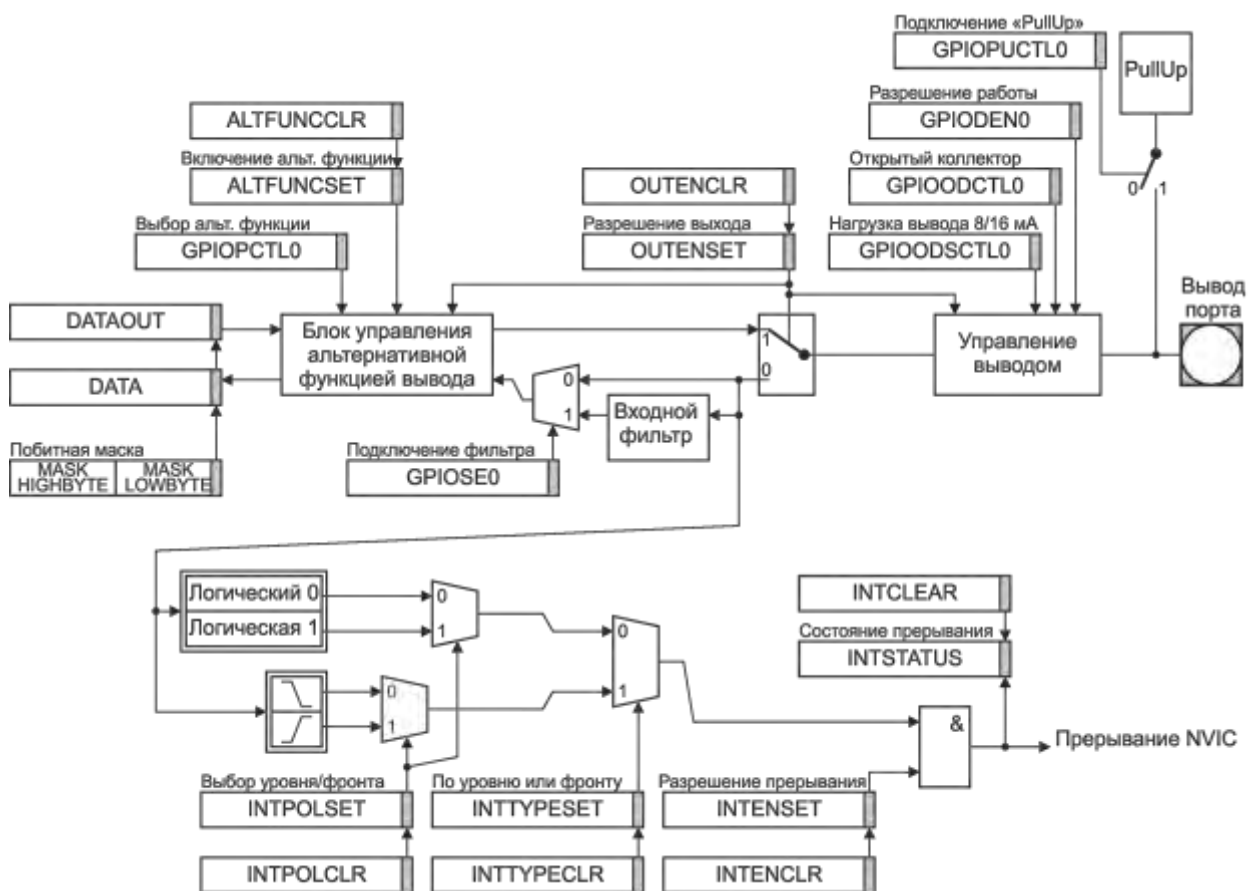


Рисунок 10.1 – Вывод цифрового порта микроконтроллера и управляющие регистры

Схема состоит из двунаправленной площадки вывода, фильтра входных сигналов, мультиплексора выбора номера альтернативной функции, мультиплексора выбора режима работы (режим GPIO либо режим альтернативной функции).

Для каждого вывода задается режим работы, номер альтернативной функции, нагрузочная способность вывода, режим подтяжки (PullUp), а также производится настройка порта на работу в режиме с открытым коллектором. Входной сигнал может подаваться для дальнейшей обработки как напрямую (асинхронный вход), так и проходить обработку через фильтр.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

После сброса все выводы кроме выводов JTAG, выводов D11 и E0 конфигурируются как выводы общего назначения (режим GPIO). Направление работы выводов определяется состоянием бит регистра OUTENSET (для сброса установленных бит следует записать единицы в регистр OUTENCLR).

Для перевода желаемого вывода порта в режим альтернативной функции необходимо установить соответствующий бит в регистре ALTFUNCSET порта. Для отключения альтернативной функции нужно записать единицу в соответствующий бит регистра ALTFUNCCLR. Выбор номера альтернативной функции осуществляется посредством регистра GPIOPTLx. Каждому выводу соответствуют два бита регистра.

На рисунке 10.2 показана функциональная схема блока управления альтернативной функцией вывода.

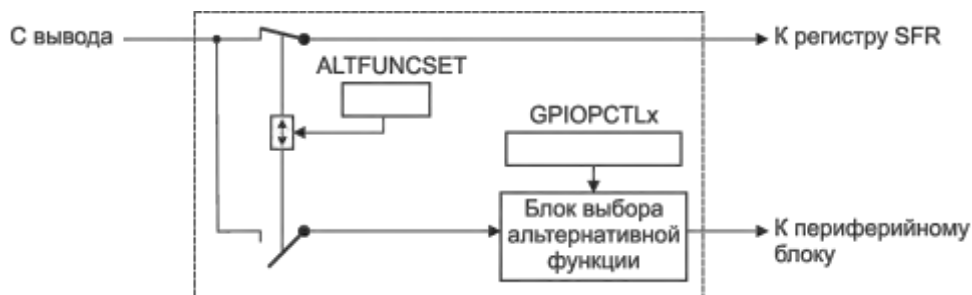


Рисунок 10.2 – Блок управления альтернативной функцией

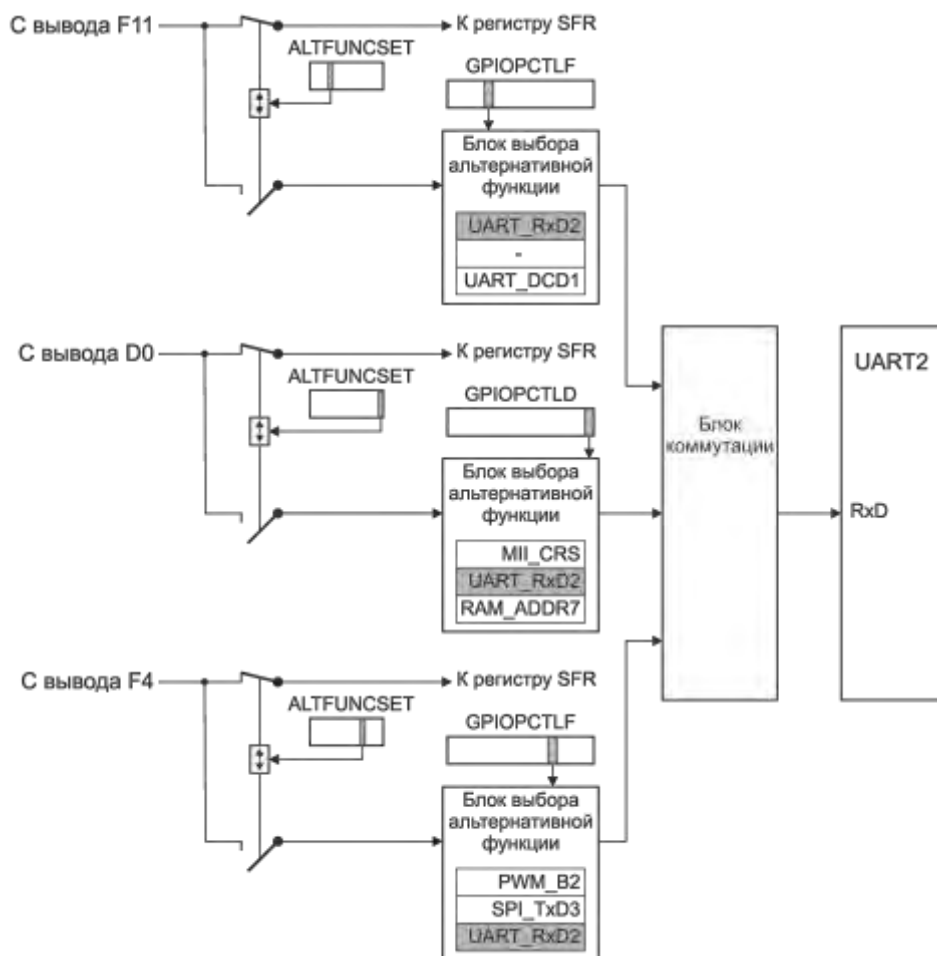


Рисунок 10.3 – Схема соединения блоков управления альтернативными функциями выводов микроконтроллера и блока UART2

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Входы и выходы периферийных блоков в процессе работы коммутируются с выводами микроконтроллера при условии, что для этих выводов включен режим альтернативной функций. В связи с этим периферийный блок может передавать информацию на несколько выводов одновременно. В то же время прием информации может осуществляться только с одного вывода, во избежание конфликтов уровней сигналов (для этого дополнительно предусмотрена система приоритета альтернативных функций). Количество выводов, сигналы с которых могут быть переданы на периферийный блок, для каждого блока различно (от одного до трех).

Для примера, рассмотрим схему взаимодействия входа RxD блока UART2 и выводов микроконтроллера, запрограммированных на прием внешних сигналов (см. рисунок 10.3).

Блок UART2 может принимать информацию с одного из выводов F11, D0 или F4. Режим альтернативной функции может быть включен как для одного вывода (на который поступают внешние данные), так и для всех трех. Номер альтернативной функции UART_RxD2 для каждого из выводов разный.

Варианты программирования выводов для приема данных.

1 Прием данных предполагается осуществлять через вывод F11. Альтернативная функция UART_RxD2 является первой и имеет наивысший приоритет. Для выбора этой функции в регистре GPIOCTLF в поле Pin11 следует записать значение 00h (значение после сброса). Состояния полей Pin0 (регистр GPIOCTLD) и Pin4 (регистр GPIOCTLF) не важно. Т.е. даже если одновременно будут включены функции UART_RxD2 для вывода F11 и любого из двух других, на вход блока UART2 будет скоммутирован вывод F11.

2 Прием данных предполагается осуществлять через вывод D0. Альтернативная функция UART_RxD2 является второй и имеет средний приоритет. Для выбора этой функции в регистре GPIOCTLD в поле Pin0 следует записать значение 01h.

Состояние поля Pin4 (регистр GPIOCTLF) не важно, а вот состояние поля Pin11 (регистр GPIOCTLF) не должно быть 00b (т.е. для вывода F11 должна быть выбрана любая альтернативная функция кроме UART_RxD2). Только в этом случае вывод D0 будет скоммутирован на вход блока UART2.

Если для выводов F11 и D0 одновременно выбрана функция UART_RxD2, то согласно приоритету, на вход блока UART2 будет скоммутирован вывод F11 (даже в случае, если режим альтернативной функции этого вывода выключен) и соответственно данные с вывода D0 не будут приняты.

3 Прием данных предполагается осуществлять через вывод F4. Альтернативная функция UART_RxD2 является третьей и имеет низший приоритет. Для выбора этой функции в регистре GPIOCTLF в поле Pin4 следует записать значение 10h.

При этом состояние поля Pin11 (регистр GPIOCTLF) не должно быть 00b и состояние поля Pin0 (регистр GPIOCTLD) не должно быть 01b (т.е. для выводов F11 и D0 должны быть выбраны любые альтернативные функции кроме UART_RxD2). В этом случае вывод F4 будет скоммутирован на вход блока UART2.

Если для выводов F4 и F11 и/или D0 одновременно выбрана функция UART_RxD2, то на вход блока UART2 будет скоммутирован вывод, альтернативная функция которого имеет более высокий приоритет и соответственно данные с вывода F4 не будут приняты.

Указанные правила программирования выводов для приема данных распространяются на все периферийные блоки.

Для разрешения работы вывода необходимо установить соответствующий бит в регистре GPIOODENi. Если бит сброшен, то вывод находится в третьем состоянии.

Выводы A1 – A7 могут также использоваться как входы аналогового компаратора.

Ко всем площадкам выводов подключены входные фильтры. На рисунке 10.4 показана структурная схема фильтра нулевого вывода порта A (в названии регистров присутствует «0»), указывая на управляющие регистры порта A)

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

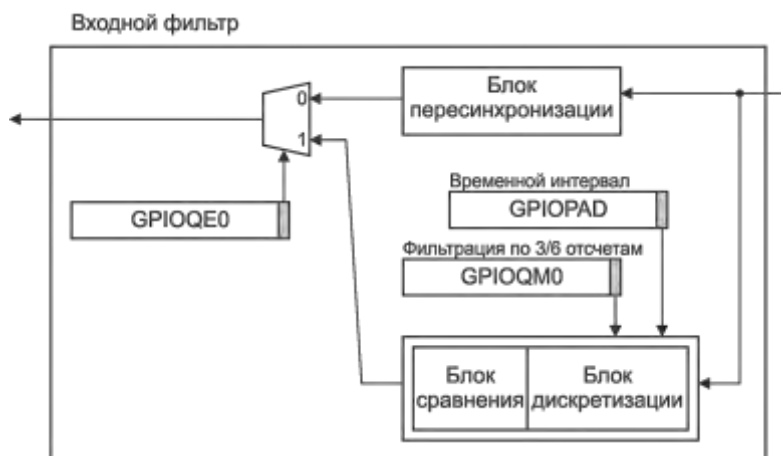


Рисунок 10.4 – Входной фильтр вывода

Входной сигнал с вывода порта может приниматься как напрямую (асинхронный режим), так и пересинхронизироваться (синхронизироваться с тактовой частотой работы микроконтроллера). Управление осуществляется регистром GPIOSEi. Дополнительно есть возможность включения накопления 3 или 6 отсчетов входного сигнала для помехоустойчивости вывода. Если результаты всех отсчетов совпадают, сигнал передается дальше по схеме, в противном случае состояние сигнала не меняется. Временные интервалы между отсчетами задаются в количестве тактов системной частоты посредством регистров GPIOPAD и GPIOEN. Временной интервал задается один для всех выводов порта.

Включение фильтра и задание режима его работы осуществляется посредством регистров GPIOQEi, GPIOQM_i.

Схема вывода позволяет также осуществлять гибкое управление прерываниями и задавать по какому аппаратному событию генерировать прерывание (по какому фронту или уровню). При возникновении прерывания в регистре INTSTATUS устанавливается соответствующий флаг и выставляется прерывание в контроллере прерываний NVIC. Прерывание может быть сгенерировано программно записью единицы в соответствующий бит регистра INTSTATUS.

Прерывание может быть сброшено программно записью единицы в соответствующий бит регистра INTCLEAR. Для разрешения прерывания вывода порта следует записать единицу в соответствующий выводу бит регистра INTENSET, а для запрета прерывания – единицу в бит регистра INTENCLR.

Для задания события, по которому генерировать прерывание используются регистры INTTYPESET и INTPOLSET, а для сброса настроек – INTTYPECLR и INTPOLCLR, соответственно.

Для управления состоянием выводов порта дополнительно используется механизм маскирования. Он позволяет устанавливать желаемый уровень сигнала на нужном выводе не затрагивая состояние других выводов. 16-разрядный порт условно разбивается на две части – старший и младший байты. Для доступа по маске к каждому из двух байт используются регистры MASKLOWBYTE и MASKHIGHBYTE. Для каждого байта имеется массив из 256 регистров, в которых хранятся маски с 00h по FFh. Так, например, для порта A выделены две области памяти с адресами 80010400h – 800107FCh для младшего байта и 8001_0800h – 80010BFCh для старшего. Для того, чтобы изменить состояние выводов порта с использованием маски нужно записать новое значение в ячейку памяти с адресом, по которому расположена маска. Разряды порта, закрытые «нулями» маски останутся неизменными, а остальные примут новые значения. На рисунке 10.5 показан механизм маскирования младшего байта порта A.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Инв. № подл.	Подп. и дата

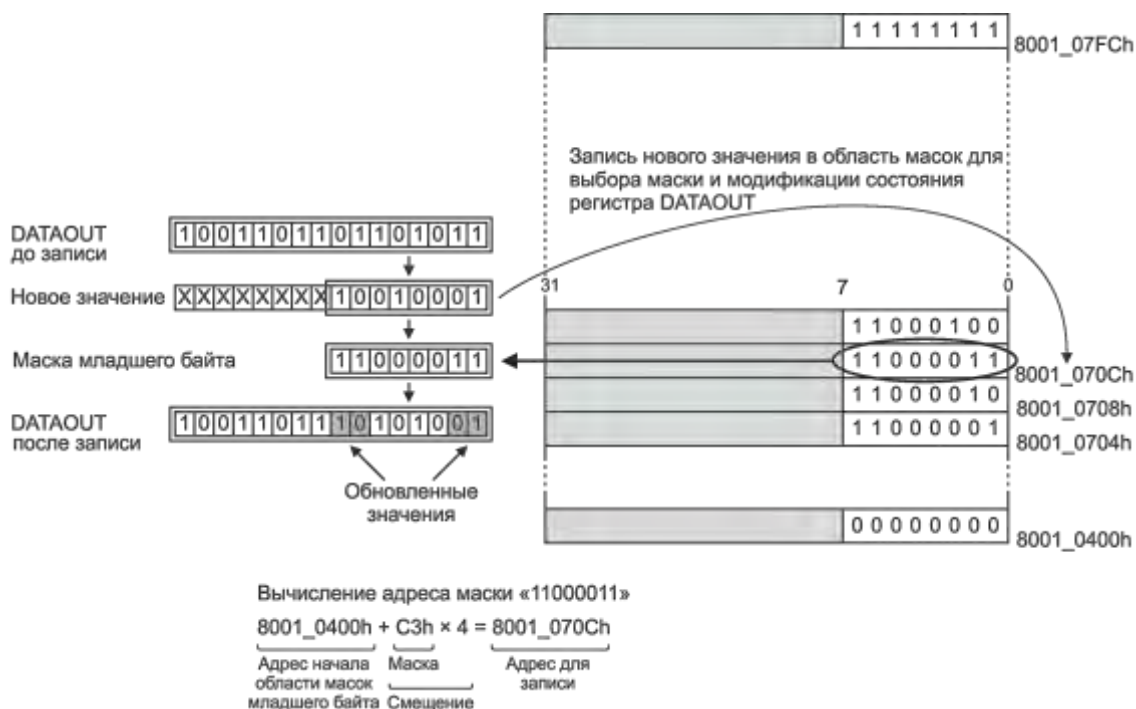


Рисунок 10.5 – Механизм изменения состояния младшего байта порта А с маскированием

Для изменения 0, 1, 6 и 7 битов регистра порта нужно использовать маску 11000011b. Эта маска расположена по адресу 8001070Ch (дополнительно, механизм вычисления маски указан на рисунке 10.3). Новое значение XX90h (старший байт числа не важен) нужно записать в ячейку с адресом 8001070Ch. Далее это значение будет аппаратно маскировано и записано в регистр порта DATAOUT.

Аналогично выполняется маскирование старшего байта (см. рисунок 10.6). Разница лишь в том, что в данном случае берется старший байт нового значения, а младший не важен.

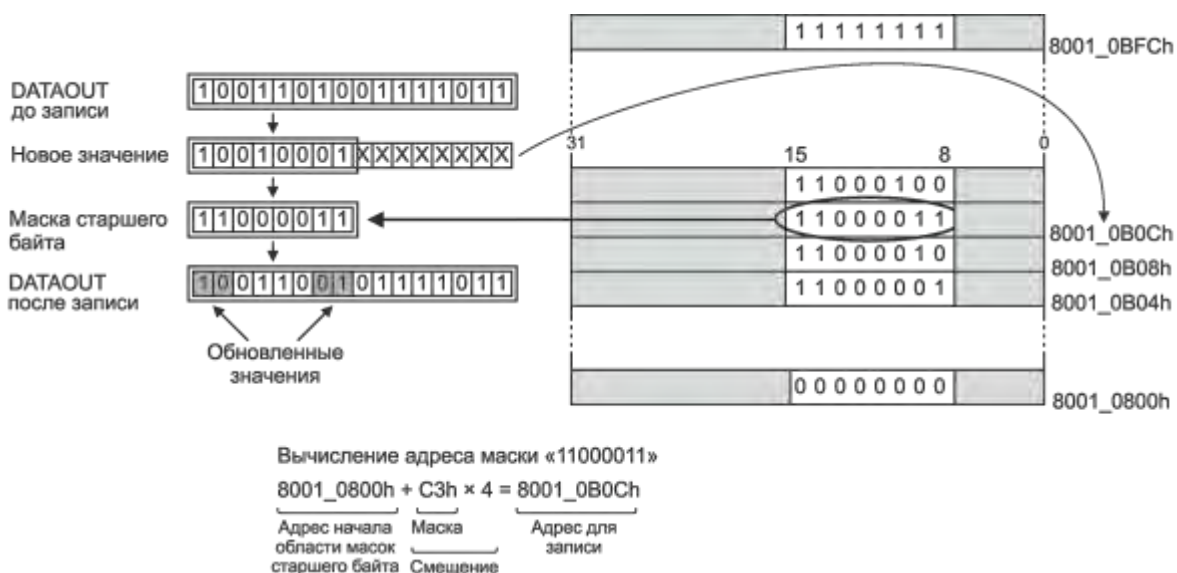


Рисунок 10.6 – Механизм изменения состояния старшего байта порта А с маскированием

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата

11 Таймеры

Микроконтроллер содержит 3 блока 32-разрядных таймеров. Все блоки идентичны.

Счетчик таймера работает по системному тактовому сигналу. Кроме этого таймер может управляться внешним сигналом, а также синхронизироваться по внешнему сигналу. На рисунке 11.1 представлена функциональная схема таймера.

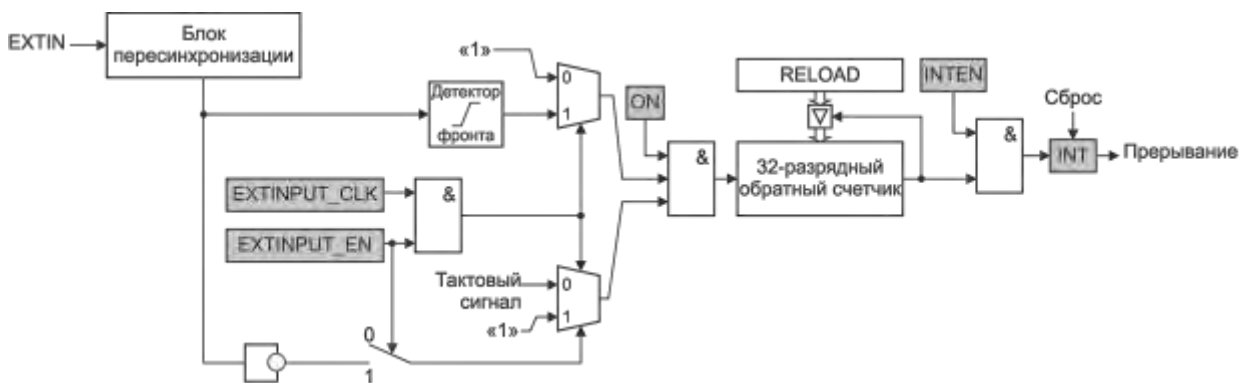


Рисунок 11.1 – Функциональная схема таймера

Управление таймером осуществляется посредством регистра CTRL. Начальное значение задается регистром VALUE. Для включения таймера нужно установить бит ON. Счетчик таймера декрементируется от значения заданного регистром VALUE до нуля на частоте тактового сигнала микроконтроллера. По достижении нуля счетчик таймера загружается значением, заданным регистром перезагрузки RELOAD и если разрешено битом INTEN, генерируется прерывание. При возникновении прерывания устанавливается флаг INT в регистре INTSTATUS_INTCLEAR.

Если установлен бит EXTINPUT_EN, то счетчик таймера работает на частоте тактового сигнала микроконтроллера, только если сигнал на входе EXTIN имеет уровень логической единицы.

Если одновременно установлены биты EXTINPUT_EN и EXTINPUT_CLK, то тактирование счетчика таймера происходит по положительному фронту внешнего сигнала, приходящего на вход EXTIN. При этом частота внешнего сигнала должна быть как минимум в два раза меньше частоты системного тактового сигнала.

Для каждого таймера имеется свой внешний вход синхронизации EXTIN. Для таймера 0 это Timer_IN0, для таймеров 1 и 2 – Timer_IN1 и Timer_IN2, соответственно, которые являются альтернативными функциями различных выводов микроконтроллера. Дополнительно на внешний вход синхронизации таймера 2 подключены сигналы блока RTC с частотой 1 Гц и 1 кГц. Выбор сигнала внешней синхронизации для таймера 2 осуществляется посредством регистра TEST_PWM_MUX.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Инв. № подл.	Подп. и дата

12 Блоки захвата

В микроконтроллере реализованы шесть блоков захвата. Все блоки идентичны. Блоки захвата используются для:

- вычисления скорости вращения вала ротора (с использованием датчиков Холла);
- вычисления промежутков времени между срабатыванием позиционных датчиков;
- вычисления периода и скважности импульсов.

Возможности блока захвата:

- 32 разрядный таймер, с разрешающей способностью 10 нс (на 100 МГц);
- четыре 32-х разрядных регистра захвата времени;
- выбор полярности фронта для обработки каждого из 4-х последовательных событий;
- источники прерываний по каждому из 4-х событий;
- однократный захват значений времени до четырех событий;
- режим циклической работы по событиям, с переписыванием значений (кольцевой буфер);
- режимы захвата абсолютного и относительного значений времени;
- альтернативный режим работы, если не задействована функция захвата времени – одноканальный выход ШИМ.

Функциональная схема блока захвата представлена на рисунке 12.1.

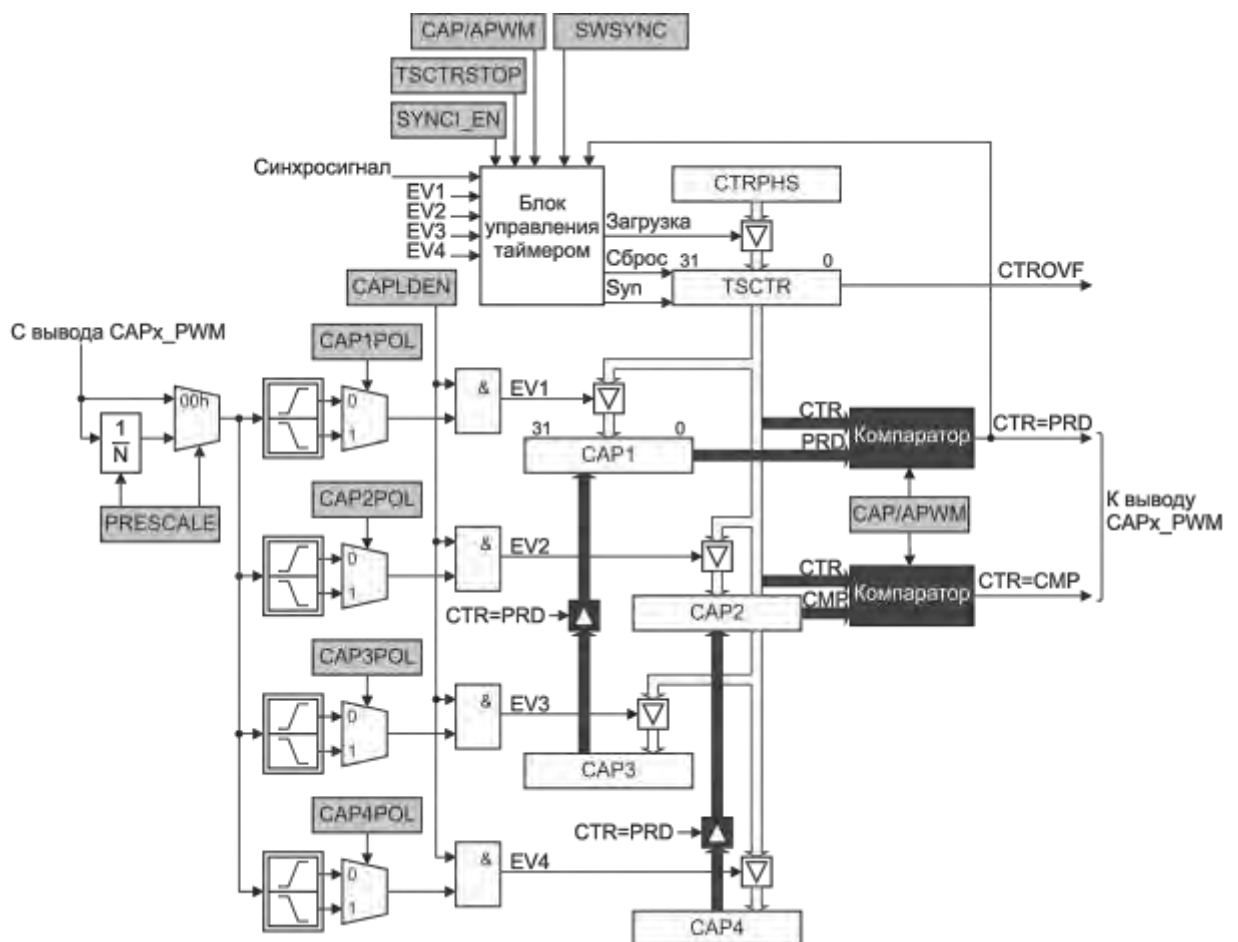


Рисунок 12.1 – Блок захвата

Для начала работы с блоками захвата необходимо установить соответствующие биты в поле CAPRST регистра PERIH_RESET2.

Каждый блок захвата имеет один вывод с CAP_PWM (x – номер блока захвата от 0

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

до 5), соединенный с выводом микроконтроллера (альтернативная функция). В зависимости от режима работы блока захвата вывод является входом внешнего события или выходом генерируемого сигнала ШИМ.

Далее по тексту названия сигналов и регистров соответствуют указанным на рисунке 12.1.

12.1 Режим работы «Захват времени»

Выбран по умолчанию. Вывод CAP_PWM функционирует как вход.

Предварительный делитель

В случае, если события на входе CAP_PWM приходят слишком часто, и требуется уменьшить их частоту, используется предварительный делитель событий (импульсов), состоящий из собственно делителя и мультиплексора. В предварительном делителе используется счетчик, который производит выборку одного события из каждых 2 - 63 входных. Значение делителя задается полем PRESCALE регистра ECCTL1. В случае, если задано значение 00h, то делитель выключен и входной сигнал поступает на детекторы фронта напрямую.

Для примера, на рисунке 12.2 показаны несколько вариантов сигналов на выходе делителя, в зависимости от заданного значения N.

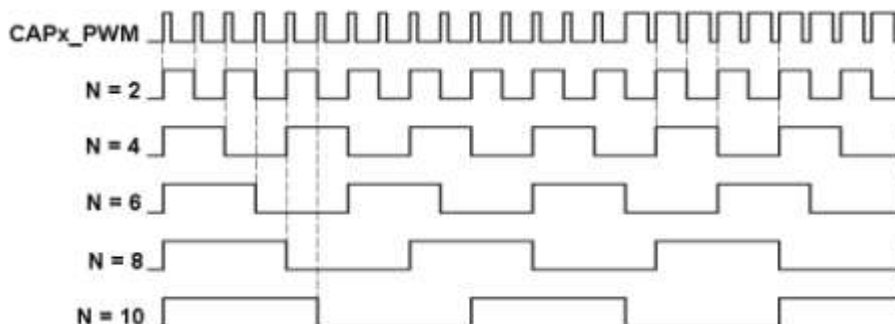


Рисунок 12.2 – Формы сигналов на выходе делителя в зависимости от значения N

Захват значения таймера

С выхода делителя сигнал поступает на четыре детектора фронта, каждый из которых управляется соответствующим битом CAPnPOL. Далее, если установлен бит CAPLDEN и обнаружен заданный фронт сигнала, формируется соответствующее событие. Возможно одновременное формирование до четырех событий (EV1 – EV4) и по переднему фронту каждого события происходит захват значения таймера TSCTR в соответствующий регистр захвата (CAP1 – CAP4).

Регистр захвата перезаписывается новым захваченным значением каждый раз при возникновении соответствующего события.

Однократный захват

Выбран по умолчанию. Режим включается записью единицы в бит REARM (регистр CTTL2) и последующей установкой бита CAPLDEN. В этом режиме происходит запуск двухразрядного счетчика событий EV1 – EV4. Количество подсчитываемых событий от одного до четырех задается полем STOP_WRAP. Подсчитывается каждое из сформированных событий и одновременно происходит захват значения таймера в соответствующие регистры захвата. Как только количество событий совпадет со значением STOP_WRAP, счетчик останавливается, бит CAPLDEN сбрасывается, события EV1 – EV4 больше не формируются, значение таймера захватывается регистрам CAP1 – CAP4 и далее регистры не перезаписываются, а таймер сбрасывается.

Для повторного запуска следует записать единицу в бит REARM (это обнулит

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

счетчик и включит режим), после чего разрешить формирование событий EV1 – EV4 установкой бита CAPLDEN.

Циклический захват

Выбирается битом CONT/ONESHT регистра ECCTL2 и включается автоматически сразу после установки бита. Далее после установки бита CAPLDEN начинается обработка событий EV1 – EV4 и захват значения таймера.

Регистр захвата перезаписывается новым захваченным значением каждый раз при возникновении соответствующего события.

Таймер

Таймер представляет собой 32-разрядный счетчик, работающий на системной частоте. Контроль работы таймера осуществляет блок управления таймером. Счетчик таймера включается битом TSCTRSTOP и инкрементируется, начиная со значения 00000000h до значения FFFFFFFFh, после чего сбрасывается.

Счетчик таймера может быть в любой момент загружен новым значением, которое предварительно записывается в теневой регистр CTRPHS. Загрузка активируется записью единицы в бит SWSYNC. Такой механизм позволяет синхронизировать работу таймера с другими блоками.

Сброс таймера происходит каждый раз, как только двухразрядный счетчик событий достигает значения STOP_WRAP.

Также таймер может быть сброшен (с предварительным захватом его значения) при формировании событий EV1 – EV4. Указать событие можно установкой соответствующего бита CTRRSTn (n от 1 до 4) в регистре EECTL1. Так, например, если установлен бит CTRRST2, то при формировании события EV2 произойдет захват значения таймера в регистр CAP2 и сброс таймера.

Регистры CAP1-CAP4

32-разрядные регистры, сохраняющие (захватывающие) значение счетчика таймера в момент появления положительного фронта сигнала события EVn (n от 1 до 4). Доступны только для чтения.

12.2 Режим работы «Генератор ШИМ»

Выбирается установкой бита CAP/APWM в регистре ECCTL2. Вывод CAP_PWM функционирует как выход.

Блок захвата в этом случае используется как одноканальный 32-разрядный генератора ШИМ-сигнала.

Таймер и регистры захвата

Функционирует как 32-разрядный инкрементный счетчик, работающий на системной частоте. После включения, счетчик таймера считает от значения 00000000h до значения, которое задается регистром CAP1. Как только значения счетчика и регистра совпадают, счетчик сбрасывается.

Регистр CAP1 является регистром периода таймера, а регистр CAP2 – регистром сравнения. Регистры CAP3 и CAP4 являются регистрами отложенной загрузки для регистров CAP1 и CAP2, соответственно. Все регистры доступны как для записи, так и для чтения.

Запись в регистр CAP1 является мгновенной загрузкой, которая аппаратно дублируется записью в регистр CAP3. Аналогично для пары CAP2 – CAP4.

Запись в регистры CAP3 и CAP4 является отложенной загрузкой. Как только значение счетчика таймера достигает значения периода CAP1 возникает событие CTR=PRD, по которому происходит сброс таймера и перегрузка значений из CAP3 и

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

CAP4 в регистры CAP1 и CAP2 (на рисунке 12.1 отмечено стрелками черного цвета).

Регистры CAP1 и CAP2 должны быть обязательно инициализированы до начала запуска таймера. При дальнейшей работе можно изменять значения только регистры отложенной загрузки.

Генерация ШИМ

Для разрешения вывода ШИМ-сигнала следует установить значение 01h в поле SYNCO_SEL регистра EECTL2.

После инициализации регистров CAP1 и CAP2 запускается счетчик таймера. Текущее значение счетчика CTR посредством двух компараторов сравнивается одновременно со значением PRD регистра периода CAP1 и значением CMP регистра сравнения CAP2 (на рисунке 12.1 отмечено черным цветом).

Как только возникает событие CTR=CMP сигнал на выходе CAP_PWM переводится в ноль. Далее сигнал удерживается в нуле до тех пор, пока счетчик таймера не достигнет значения периода. При возникновении события CTR=PRD сигнал переводится в единицу. Одновременно с этим происходит сброс таймера и перезагрузка регистров CAP1 и CAP2. Управлять полярностью сигнала можно битом APWMPOL. На рисунке 12.3 представлен пример формирования ШИМ-сигнала с активным высоким уровнем сигнала (по умолчанию, APWMPOL = 0).

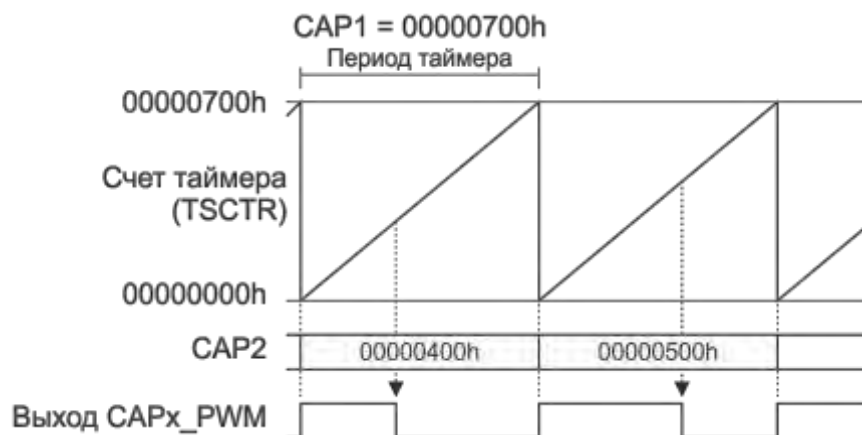


Рисунок 12.3 – Пример формирования ШИМ-сигнала

На рисунке 12.3 период таймера задан как CAP1 = 000007000h. Начальное значение сравнения CAP2 = 00000400h. Пока таймер считает, в регистр CAP3 загружается новое значение 00000500h для отложенной загрузки. По достижении значения сравнения сигнал на выходе CAP_PWM переводится в низкий уровень. По окончании периода происходит сброс таймера и загрузка значения 00000500h (из регистра CAP3) в регистр CAP2 и перевод сигнала на выходе CAP_PWM в высокий уровень.

Таким образом можно достаточно гибко управлять как длительностью импульсов, изменяя период работы таймера, так и скважностью при постоянном периоде.

Прерывания

Источники прерываний блока захвата:

- события EV1 – EV4;
- переполнение счетчика таймера (CTROVF);
- события CTR=PRD;
- события CTR=CMP;

Каждое из семи прерываний имеет бит маски в регистре ECEINT, флаг прерывания в регистре ECFLG, бис сброса флага в регистре ECCLR и бит программного прерывания в регистре ECFRC. На рисунке 12.4 показан пример для прерывания по событию EV1.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

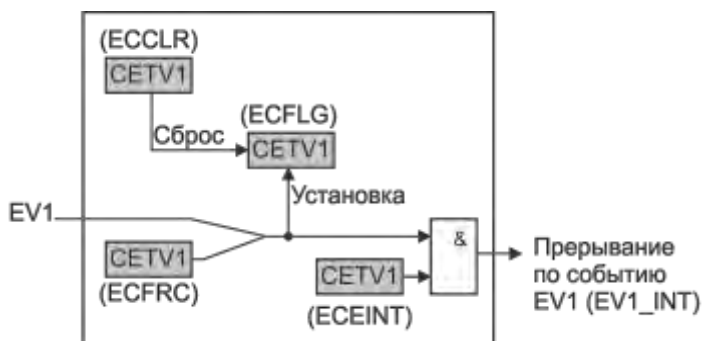


Рисунок 12.4 – Пример управления прерыванием EV1

Все прерывания поступают на блок управления прерываниями и обрабатывается как сказано выше. Для того, чтобы любое разрешенное прерывание на выходе блока управления прерываниями было передано в контроллер INVC, следует установить бит INT в регистре ECEINT. Для сброса бита INT следует записать единицу в бит INT регистра ECCLR. Общая схема управления прерываниями показана на рисунке 12.5.

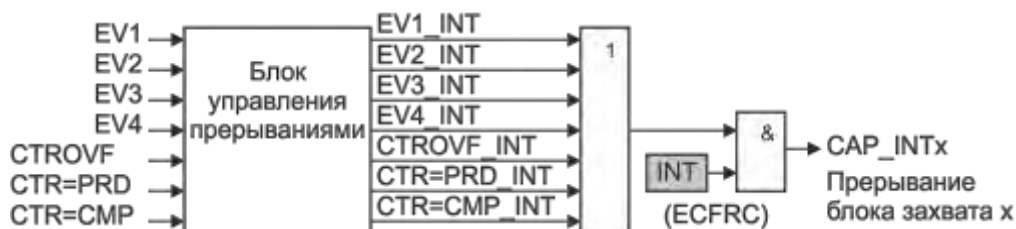


Рисунок 12.5 – Общая схема управления прерываниями

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

13 Модули квадратурных декодеров

В микроконтроллере реализовано 2 модуля квадратурных декодеров.

Квадратурный декодер преобразует цифровой сигнал с датчика положения вала, позволяя вычислять скорость, направление вращения, а также текущее положение вала.

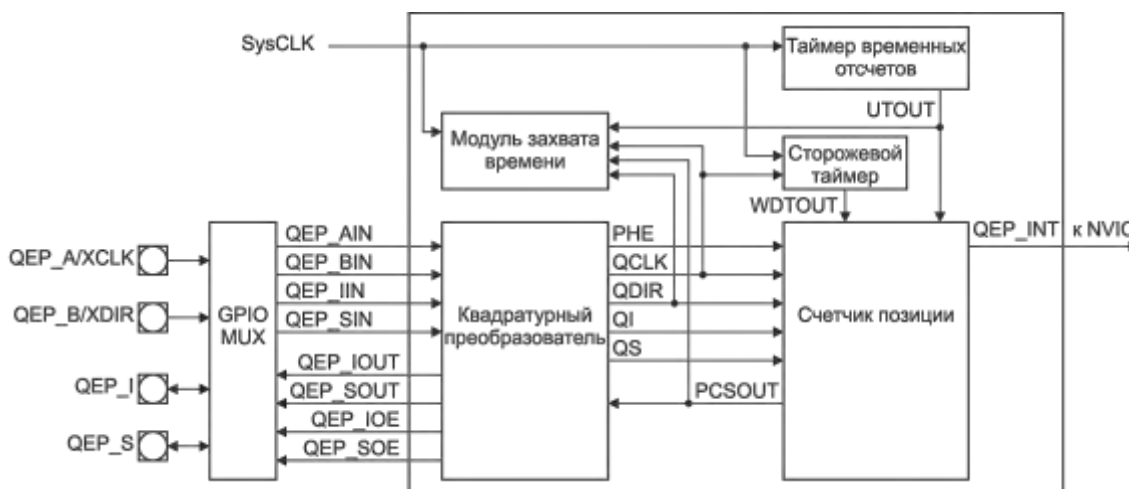


Рисунок 13.1 – Схема квадратурного декодера с мультиплексором входных/выходных сигналов

В состав квадратурного декодера входят (см. рисунок 13.1):

- настраиваемый обработчик сигналов входов,
- квадратурный преобразователь;
- счетчик позиции/блок управления;
- модуль захвата времени;
- таймер временных отсчетов;
- сторожевой таймер.

Перед началом работы с модулем для разрешения тактового сигнала необходимо установить соответствующие биты в регистре APB_CLK_CTRL и регистре PERIPH_RESET2.

13.1 Обработчик сигналов входов

Квадратурный декодер использует два квадратурных вывода контроллера, работающих на вход. Также, имеется специальный индексный вывод, и вывод стробирования, которые могут работать на вход и выход.

QEP_A/XCLK и QEP_B/XDIR. В квадратурном режиме это два входа. Сигналы на входах сдвинуты по фазе на 90 градусов и по ним можно определить скорость и направление вращения ротора (см. рисунок 13.1). В режиме счета/направления сигналы на входах используются как тактовый и сигнал направления вращения ротора, по которым также можно вычислить скорость вращения.

QEP_I. Индексный вход. Сигнал на входе сигнализирует о полном обороте ротора. Позволяет сбрасывать счетчик позиции поворота ротора.

QEP_S. Пользовательский вход стробирования. Сигнал на входе может сбросить или зашелкнуть счетчик позиции. Применяется при использовании концевых выключателей.

Сигналы на входах могут быть проинвертированы. Инверсия включается установкой соответствующего бита в регистре QDECCTL.

Установкой бита SWAP можно включить обратный счет, т.е. программно подать сигнал с вывода QEP_A на вход QB квадратурного преобразователя, а сигнал с вывода

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

QEP_V подать на вход QA (входы А и В меняются местами).

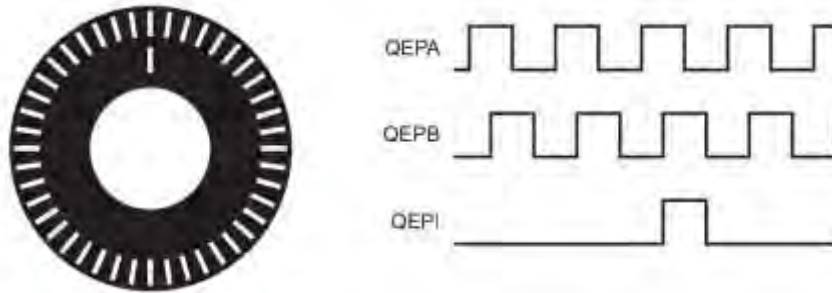


Рисунок 13.2 – Диаграмма входных сигналов.

13.2 Квадратурный преобразователь

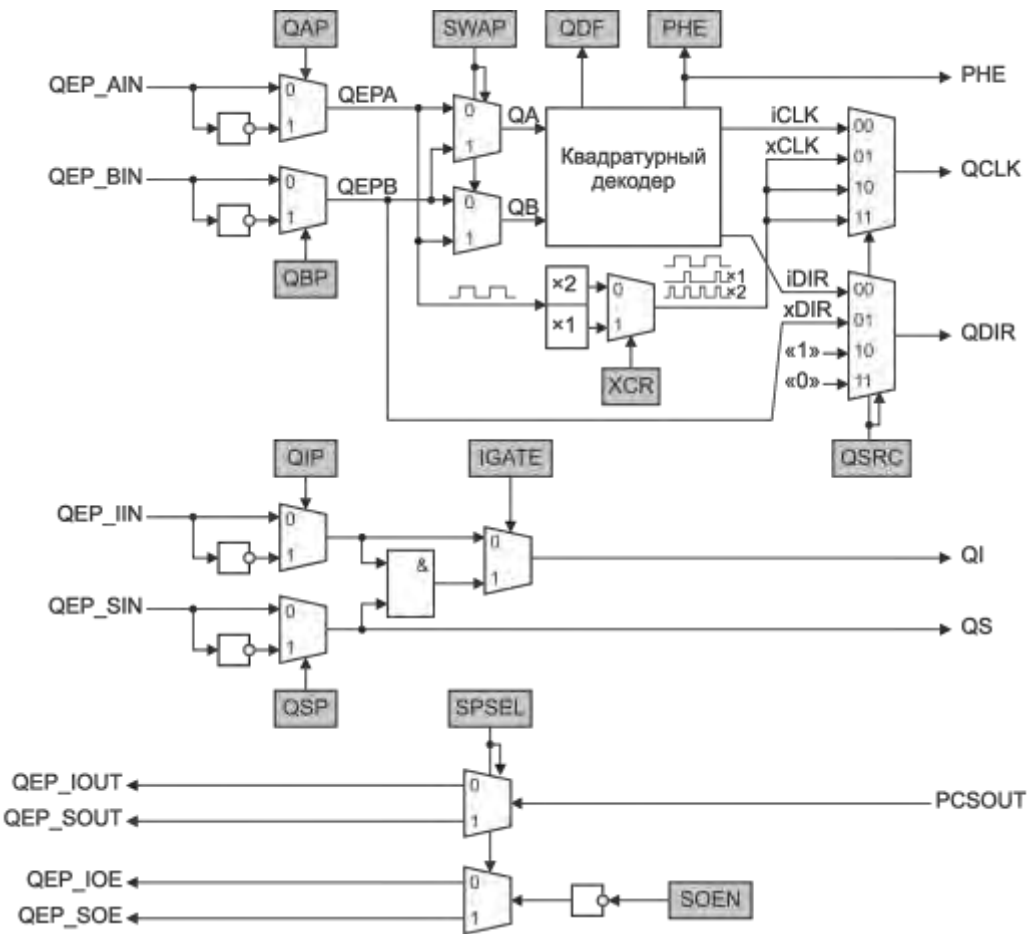


Рисунок 13.3 – Схема квадратурного преобразователя

На рисунке 13.3 показана схема квадратурного преобразователя.

Режимы работы

Квадратурный преобразователь поддерживает четыре режима работы:

- режим квадратурного счета;
- режим счета/направления;
- режим счета вверх;
- режим счета вниз;

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата
Инв. № подл.	Подл. и дата

Выбор режима зависит от значения поля QSRC регистра QDECCTL.

Режим квадратурного счета

Квадратурный преобразователь формирует сигнал направления вращения, тактовый сигнал и сигнал направления счета (вверх/вниз) для счетчика позиции.

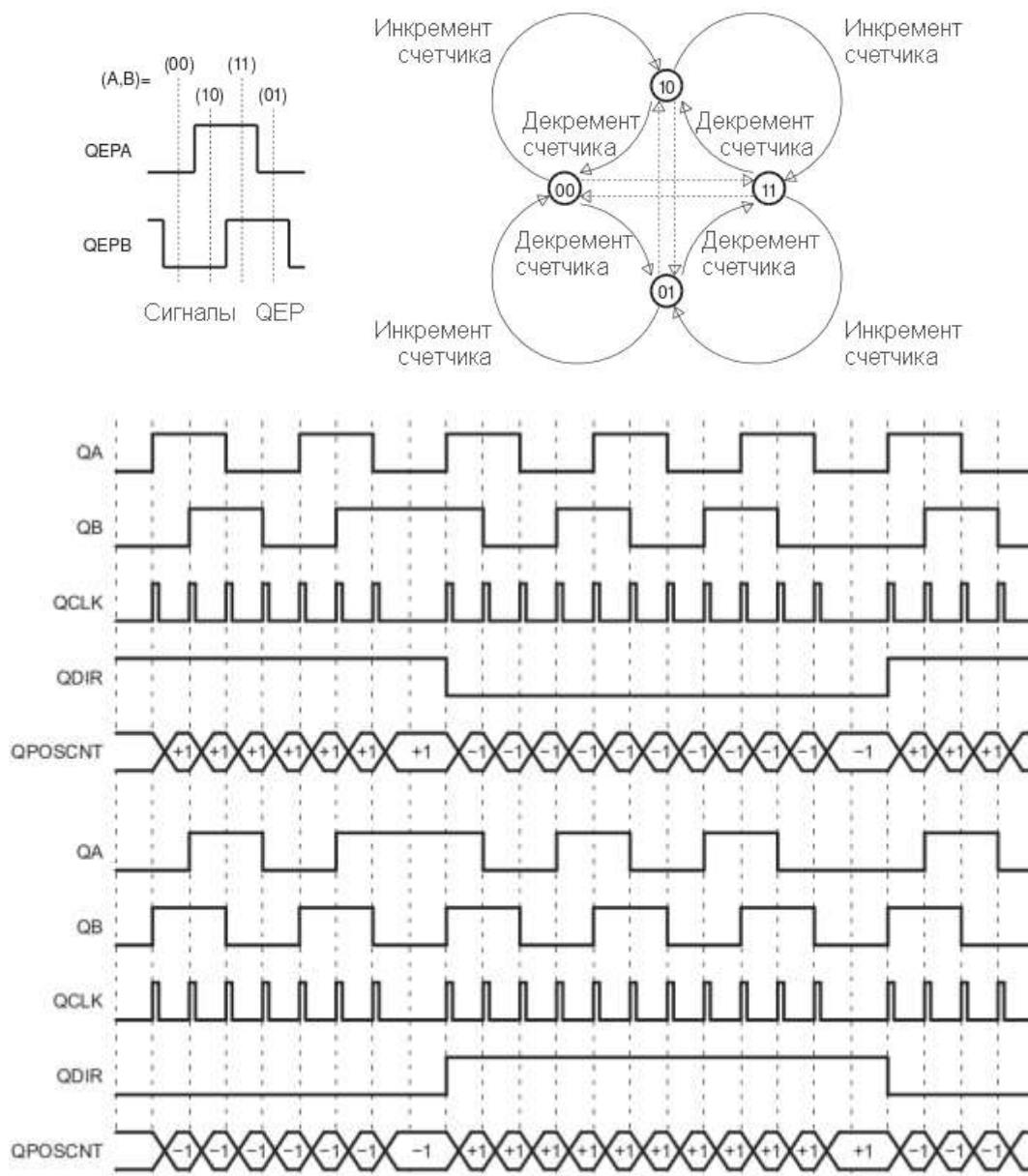


Рисунок 13.4 – Временная диаграмма и автомат состояний работы в квадратурном режиме счета

Направление вращения ротора определяется по порядку смены передних и задних фронтов на входах QEP_A и QEP_B. К примеру, если за передним фронтом сигнала на входе QEP_A следует передний фронт сигнала на входе QEP_B (см. рисунок 13.4), то направление вращения следует считать прямым, а счетчик позиции работает на увеличение. Если же за передним фронтом сигнала на входе QEP_B следует передний фронт сигнала на входе QEP_A, то направление вращения следует считать инверсным, а счетчик позиции работает на уменьшение. Если на обоих выводах зафиксировано одновременно два фронта, то такое состояние считается ошибочным.

Квадратурный преобразователь выдает четыре счетных импульса на один период

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

входного сигнала, поскольку использует для счета передний и задний фронт сигналов

Режим счета/направления

В этом режиме вывод QEP_A работает как вход тактовых импульсов, а вывод QEP_B как вход задания направления счета. Счетчик позиции в этом режиме работает по каждому переднему фронту сигнала на входе QEP_A.

Режим вверх

Режим используется для вычисления частоты следования импульсов на вывод QEP_A. Фронт задается битом XCR регистра QDECCTL. Счетчик всегда работает на увеличение.

Режим вниз

Режим используется для вычисления частоты следования импульсов на выводе QEP_A. Фронт задается битом XCR. Счетчик всегда работает на уменьшение.

13.3 Счетчик позиции

Работа счетчика позиции контролируется посредством регистров QEPCTL и QPOSCTL, которыми задается режим счета, сброса и хранения, а также логика для формирования внешнего сигнала синхронизации.

Режимы сброса счетчика позиции

Счетчик позиции может накапливать результат в течение многих оборотов вала, а может подсчитывать позицию только за один оборот, сбрасываясь каждый раз по событию прихода индексной метки. В зависимости от назначения могут использоваться следующие способы сброса счетчик позиции:

- по сигналу индексации;
- по переполнению;
- только по первому сигналу индексации;
- по таймеру временных отсчетов.

Режим задается полем PCRM регистра QEPCTL.

Счетчик сбрасывается в ноль при его переполнении или при превышении значения регистра максимального значения QPOSMAX. Флаг прерывания, возникающего при переполнении счетчика, устанавливается в регистре QFLG.

Режим сброса по сигналу индексации

Включен по умолчанию.

При получении сигнала с вывода индексации QEP_I при счете вверх, счетчик обнулится по следующему фронту сигнала тактирования QCLK. Если же сигнал индексации был получен при счете вниз, то в счетчик будет загружено значение QPOSMAX (см. рисунок 13.5).

При получении первого сигнала индексации, схема дожидается любого изменения на квадратурных входах и запоминает значение этого события – фронт (передний или задний), активный вывод (QEP_A или QEP_B), а также направление вращения. Этот момент времени называется маркером индексации. При появлении этого события устанавливается бит FIMF регистра QEPSTS, а направление вращения сохраняется в бите FIDF. В дальнейшем, маркер индексации можно использовать для сохранения значения счетчика.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

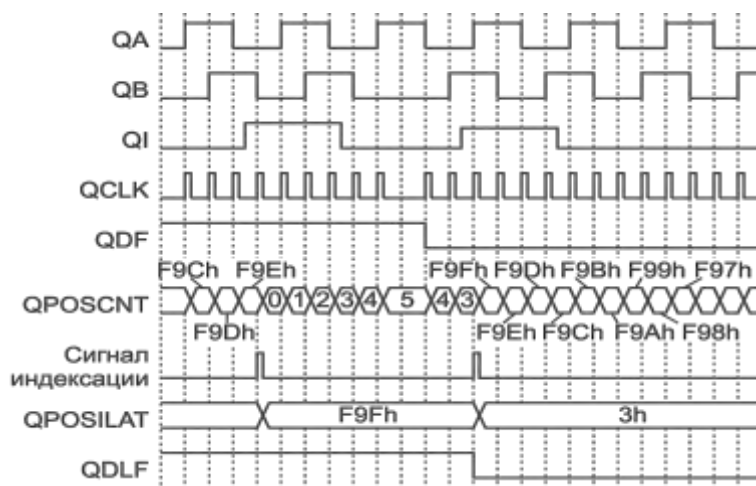


Рисунок 13.5 – Временная диаграмма сброса по сигналу индексации

По каждому сигналу индексации, включая маркер индексации, содержимое счетчика сохраняется в регистре QPOSILAT, а направление вращения в бите QDLF регистра QEPSTS. Если при сохранении значение счетчика QPOSCNT не равно ни нулю, ни значению QPOSMAX, то выставляется флаг ошибки счетчика позиции (бит PCEF в регистре QEPSTS), и флаг прерывания (бит PCE в регистре QFLG). Флаг ошибки счетчика позиции обновляется с каждым индексом, а флаг прерывания может быть сброшен только программно.

Поле настройки события индексации для сохранения счетчика позиции IEL (регистр QEPCTL) игнорируется. Также только в этом режиме могут устанавливаться флаг ошибки счетчика позиции PCEF и флаг соответствующего прерывания.

Режим сброса по переполнению

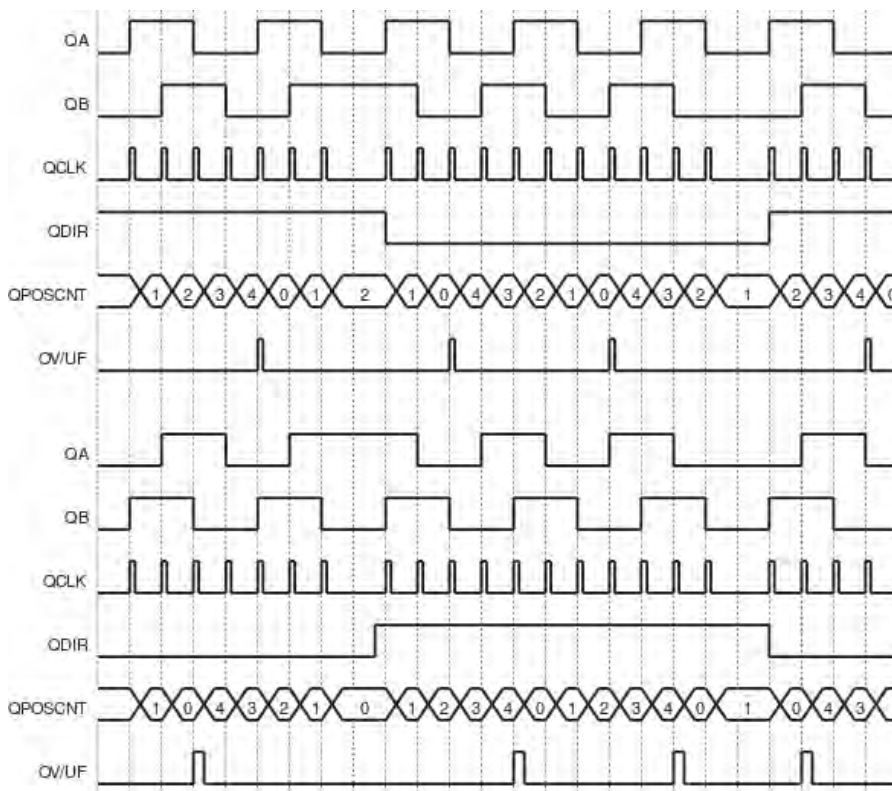


Рисунок 13.6 – Временная диаграмма сброса по сигналу переполнения.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Максимальное значение счетчика позиции задается регистром QPOSMAX. Если счетчик считает вверх, и достигнуто максимальное значение, то со следующим тактом синхросигнала счетчик обнулится. Если счетчик считает вниз и достигнуто значение нуля, то со следующим тактом синхросигнала в счетчик будет загружено значение QPOSMAX. Сброс по событию индексации не производится.

Получение значений маркера индексации происходит аналогично тому, как это происходит в режиме сброса по сигналу индексации. Полученные значения могут использоваться при инициализации по маркеру индексации если в поле IEL записано значение 11b в регистре QEPCTL. Временная диаграмма сброса показана на рисунке 13.6.

Режим сброса по первому сигналу индексации

Если было получено событие индексации при счете вверх, то счетчик обнулится со следующим тактом синхросигнала. Если же событие индексации было зафиксировано при счете вниз, то со следующим тактом синхросигнала в счетчик будет загружено значение QPOSMAX. При последующем счете сброс может произойти только при достижении нуля или значения QPOSMAX (т.е. аналогично режиму сброса по переполнению), а дальнейшие возможные события получения сигнала на выводе индексации влиять на сброс не будут.

Получение значений маркера индексации происходит аналогично тому, как это происходит в режиме сброса по сигналу индексации. Полученные значения могут использоваться при инициализации по маркеру индексации, если в поле IEL записано значение 11b.

Режим сброса по таймеру временных отсчетов

В этом режиме счетчик сбрасывается в ноль или загружается из значением QPOSMAX, в зависимости от текущего режима счета (задается полем QSRC регистра QDECCTL), по событию срабатывания таймера временных отсчетов. В остальном режим аналогичен режиму сброса по переполнению.

Также возможно настроить сохранение значения счетчика QPOSCNT в регистр QPOSLAT перед сбросом, для этого необходимо включить модуль захвата, установив бит CEN в регистре QCAPCTL. Этот режим удобен для измерения частоты.

Сохранение счетчика позиции

Внешние входы индексации и стробирования можно запрограммировать на формирование событий для сохранения значения счетчика позиции в регистры QPOSILAT и QPOSSLAT.

Сохранение по событию индексации

В некоторых задачах не требуется сбрасывать счетчик позиции по каждому сигналу индексации, и вместо этого может потребоваться увеличить разрядность счетчика до 32-х бит (режимы, задаваемые значениями PCRM равными 01b и 10b). В этом случае бит QDLF (направление вращения) в регистре QEPSTS будет перезаписываться по каждому сигналу индексации, а счетчик будет сохранять значение по следующим событиям индексации:

- по переднему фронту сигнала индексации (IEL = 01b);
- по заднему фронту сигнала индексации (при IEL = 10b);
- по маркеру индексации (при IEL = 11b).

Сохранение значения счетчика по маркеру индексации будет производиться только в присутствии сигнала индекса и по событию, эквивалентному сохраненному при первой индексации маркеру. Если направление вращения изменится, то сохраненное в маркере значение типа фронта меняется на обратное. Это сделано с целью привязки индекса к квадратурному сигналу QA/QB, а также для более точной обработки индексации, чтобы

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

QEP_I или вывод стробирования QEP_S. Бит SPSEL в регистре QDECCTL определяет, на какой именно вывод будет направлен сигнал синхронизации, а бит SOEN в регистре QDECCTL разрешает этому выводу работать как выход.

Регистр QPOSCMP может использовать режим отложенной загрузки, когда отложенное значение берется из теневого регистра, а если режим отложенной загрузки выключен, то запись в QPOSCMP производится сразу в активный регистр.

Отложенная загрузка происходит по следующим событиям:

- по совпадению результатов сравнения;
- по обнулению счетчика QPOSCNT.

Флаг успешного сравнения РСМ устанавливается, когда выполняется условие $QPOSCNT = QPOSCMP$, при этом также формируется синхроимпульс требуемой длительности для извещения внешнего устройства (сигнал PCSOUT). Настраиваемая длительность синхроимпульса контролируется специальной схемой задержки.

Флаг PCR готовности компаратора к отложенной загрузке значения сравнения выставляется, когда выполняется условие для отложенной записи, заданное битом PCLOAD в регистре QPOSCTL. При этом, состояние флага включения режима отложенной загрузки PCSHDW (регистр QPOSCTL) не оказывает влияния на установку флага PCR и генерацию соответствующего прерывания.

13.4 Таймер временных отсчетов

Таймер, используемый для оповещения программного обеспечения о необходимости начать измерение скорости. Представляет собой 32 разрядный таймер, работающий на частоте системного тактового сигнала. Включается установкой бита UTE в регистре QEPCTL. Когда значение таймера достигает порога ($QUTMR = QUPRD$), формируется прерывание и выставляется флаг UTO. Данный блок таймера может быть использован для вычисления скорости на высоких скоростях (см. рисунок 13.8), а также для сохранения счетчика позиции, регистра таймера и регистра периода в регистрах QPOSLAT, QCTMRLAT и QCPRDLAT, соответственно. Режим сохранения определяется состоянием бита QCLM в регистре QEPCTL.

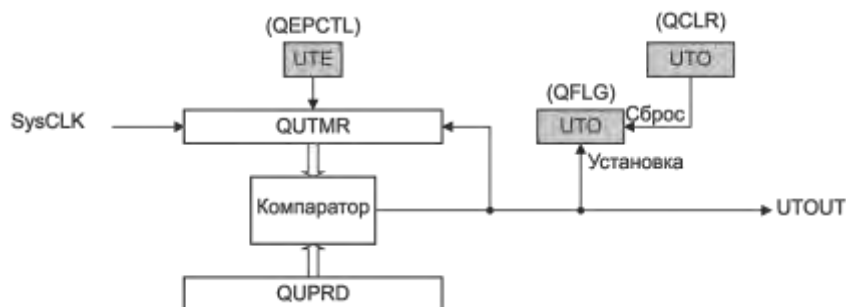


Рисунок 13.8 – Функциональная схема таймера временных отсчетов

13.5 Модуль захвата времени

Функциональная схема модуля захвата времени представлена на рисунке 13.8. Таймер использует тактовый сигнал и сигнал квадратурных событий с коэффициентом деления, программируемым полями CCPS и UUPS в регистре QCAPCTL. Коэффициент деления тактового сигнала можно менять в процессе работы, но перед этим необходимо выключить модуль захвата (сбросить бит SEN). Коэффициент деления квадратурных событий в процессе работы менять не желательно, т.к. это может привести к непредсказуемому поведению блока. Но если такая необходимость есть, то перед этим

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

необходимо снять все маски прерываний, а после изменения коэффициентов – проинициализировать таймер QCTMR, сбросить все статусы и вновь разрешить прерывания.

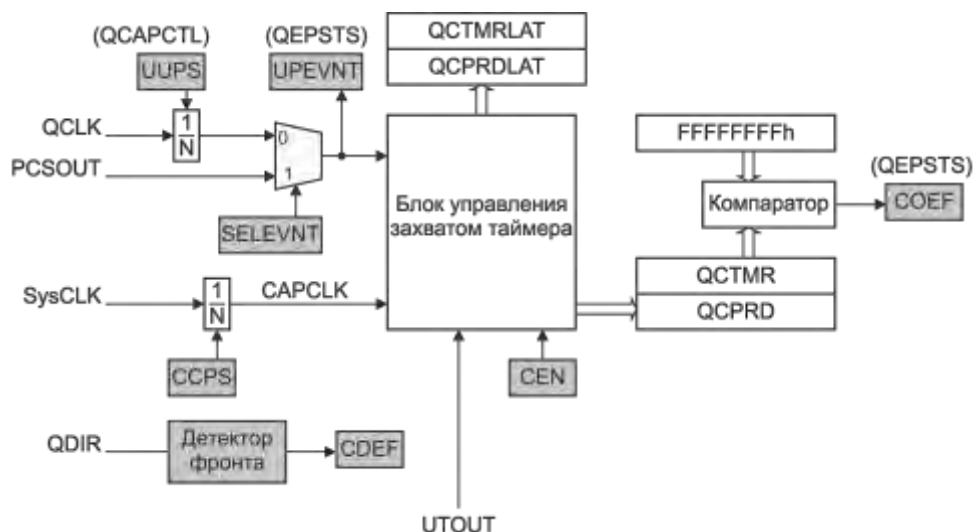


Рисунок 13.8 – Функциональная схема модуля захвата времени

Если бит SELEVNT в регистре QCAPCTL сброшен, то по деленному квадратурному событию значение таймера QCTMR загружается в регистр периода QCPRD, после чего таймер сбрасывается и устанавливается флаг UPEVNT в регистре QEPSTS, означающий обновление регистра QCPRD. Флаг сбрасывается программно записью единицы.

При установленном бите SELEVNT обновление регистра периода происходит по сигналу от выхода компаратора PCSOUT.

Значение таймера можно использовать при измерениях скорости, если:

- его значение не превысило FFFFFFFh;
- направление вращения за время измерения не изменилось.

Если между двумя событиями UPEVNT (т.е. во время измерения) таймер QCTMR переполнился, устанавливается флаг ошибки COEF в регистре QEPSTS. Если между двумя событиями положения вала изменилось направление вращения, устанавливается флаг ошибки CDEF.

Значение таймера (QCTMR) и регистра периода (QCPRD) могут быть сконфигурированы для захвата в регистры QCTMRLAT и QCPRDLAT по событиям:

- прочитан регистр QPOSCNT;
- сработал сторожевой таймер.

Если бит QCLM сброшен, то при каждом чтении регистра счетчика позиции QPOSCNT регистры QCTMR и QCPRD загружаются в QCTMRLAT и QCPRDLAT, соответственно.

Если бит QCLM установлен, то при каждом срабатывании таймера временных отсчетов, счетчик позиции, регистр таймера и регистр периода захватываются в регистры QPOSLAT, QCTMRLAT и QCPRDLAT, соответственно.

Измерения на малых скоростях вращения (низкая частота квадратурного сигнала) производятся следующим образом – таймер QCTMR, тактирующийся от системного тактового сигнала с делителем CCPS, по событию UPEVNT сохраняет свое значение времени в регистре QCPRD, одновременно сбрасывается, и выставляет флаг UPEVNT в регистре QEPSTS, чтобы сообщить программе об окончании измерения. Событие UPEVNT возникает каждые несколько тактов QCLK, в соответствии с запрограммированным коэффициентом деления UPPS в регистре QCAPCTL. Таким образом, зная количество квадратурных событий за измеренный отрезок времени, а также

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

такой параметр, как количество квадратурных событий за полный оборот вала, можно вычислить скорость вращения.

Измерения на высоких скоростях (см. рисунок 13.9) могут производиться иначе. Таймер временных отсчетов формирует общую длительность измерения, счетчик позиции подсчитывает количество импульсов QCLK. Зная количество импульсов QCLK за один полный оборот, можно вычислить скорость вращения вала.

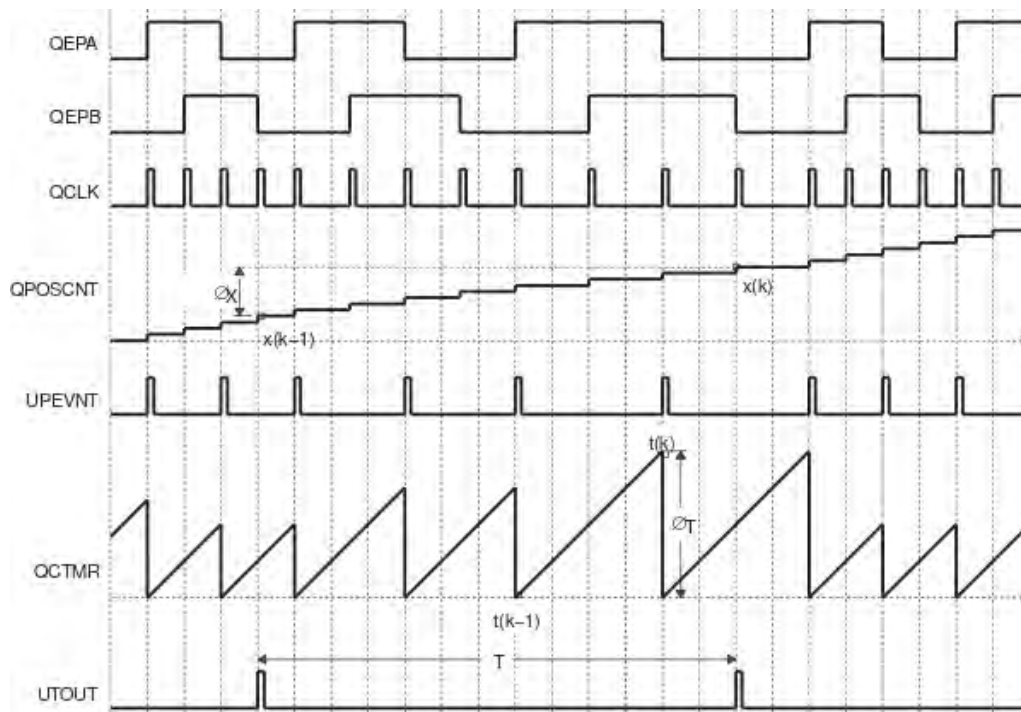


Рисунок 13.9 – Работа на высоких скоростях

Также, существует и смешанный способ измерения скорости – по заданному значению счетчика позиции, с помощью компаратора счетчика позиции, можно сформировать событие UPEVNT (необходимо установить бит SELEVNT в регистре QCAPCTL), которое, так же как и при измерениях на малых скоростях, позволит получить значение таймера QCTMR. Для использования этого способа измерения скорости необходимо разрешить прерывание по событию PCSOUT компаратора и устанавливать в этом прерывании каждый раз порог сравнения компаратора QPOSCMP на заданное количество меток вперед по сравнению с текущей позицией счетчика QPOSCNT (в зависимости от направления вращения). Тогда, устанавливая QPOSCMP дальше от QPOSCNT с увеличением скорости вращения, можно поддерживать оптимальное захватываемое время, обеспечивающее максимальную точность измерения времени для всех диапазонов вращения. Этот способ измерения наиболее сложен, но и наиболее универсален.

13.6 Сторожевой таймер

Блок Квадратурного декодера содержит 32-ти битный сторожевой таймер, который тактируется системным тактовым сигналом, деленным на 64, и сбрасывается любым квадратурным событием (перепад на выводе QEP_A/QEP_B). Если ни одного квадратурного события не было зафиксировано до события QWDTMR = QWDPRD, сторожевой таймер формирует флаг прерывания WTO в регистре QFLG. Регистр QWDPRD содержит значение срабатывания сторожевого таймера. Функциональная схема сторожевого таймера представлена на рисунке 13.10.

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата

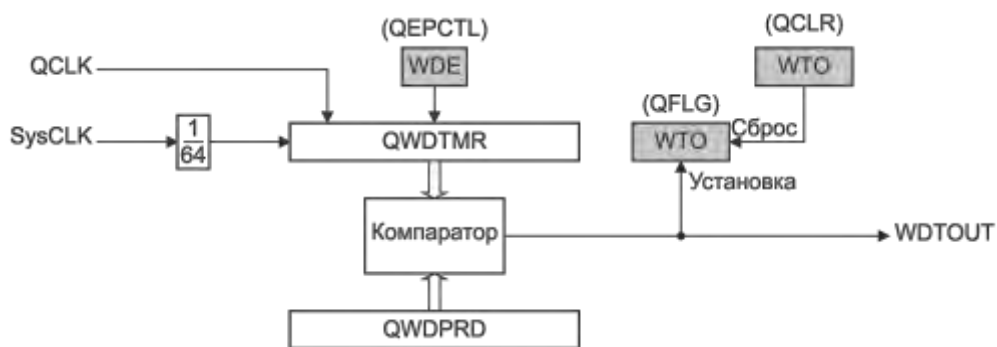


Рисунок 13.10 – Функциональная схема сторожевого таймера

13.7 Система прерываний

Блок квадратурного декодера содержит 11 источников прерываний (см. рисунок 13.11). Система прерываний состоит из регистра маски прерываний QEINT, регистра флагов прерываний QFLG, а также формирования внешнего прерывания INT по наличию активных флагов. Прерывание INT также может быть маскировано в контроллере прерывания NVIC. Сброс прерывания INT осуществляется через регистр QCLR. Сброс флага активности прерывания INT осуществляется записью в регистр QINTCLR. Также, прерывание можно сформировать программной записью в регистр QFRC, но для этого необходимо предварительно включить счетчик позиции, установив бит QPEN в регистре QEPCTL.

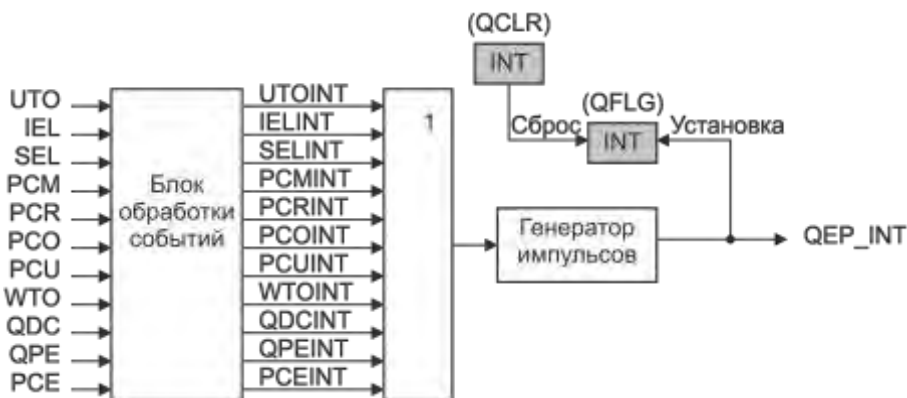


Рисунок 13.11 – Схема системы прерываний

На рисунке 13.12 показана схема формирования прерывания внутри блока обработки событий для события UTO (срабатывание таймера временных отсчетов). Схемы формирования прерываний для остальных событий идентичны.

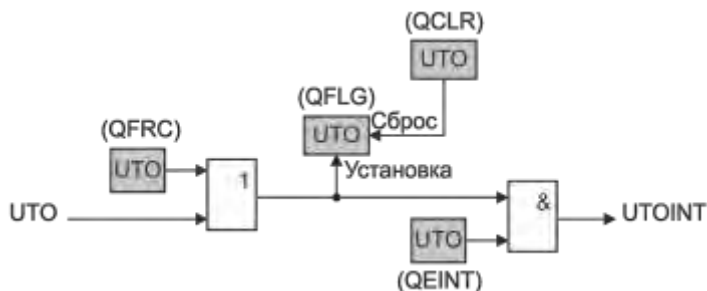


Рисунок 13.12 – Схема формирования прерывания UTOINT

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

14 Блоки ШИМ

Архитектура Блока ШИМ разработана по принципу минимальной нагрузки на процессор, что достигается автоматизацией формирования выходных импульсов с настраиваемыми пользователем параметрами. Так, после минимальных настроек этот блок способен работать самостоятельно как выделенный канал ШИМ с собственным таймером, формируя выходные сигналы PWM_A и PWM_B.

Микроконтроллер содержит девять блоков ШИМ (шесть из которых являются блоками ШИМ высокого разрешения) и шесть блоков захвата, объединенные общей схемой синхронизации.

Каждый блок ШИМ поддерживает следующую функциональность:

- 16-ти разрядный таймер;
- два вывода PWM_A и PWM_B, которые могут работать в режиме фронтальной и центрированной модуляции как полностью независимо, так и комплементарно с разделением генератором мертвого времени;
- выходы PWM_A и PWM_B могут управляться в зависимости от событий цифровых компараторов блока АЦП, а также от событий блока аналоговых компараторов, обеспечивая автоматический релейный режим поддержания заданной величины;
- программное управление выходами ШИМ,
- программное задание фазы счетчиков таймера для координации работы нескольких блоков ШИМ;
- аппаратный контроль за фазой при координации работы нескольких блоков ШИМ,
- предотвращение наложения фронтов за счет генератора мертвого времени с независимой схемой задержки переднего и заднего фронтов выходного сигнала;
- сигнал аварии может переводить выходы PWM_A и PWM_B в высокое, низкое или Z-состояние;
- однократная и циклическая обработка сигналов аварии;
- все события могут инициировать прерывания, а также запускать работу секвенсоров блока АЦП;
- программируемый предделитель событий позволяет снизить нагрузку на процессор при обработке прерываний;
- ШИМ-сигнал может модулироваться высокочастотным сигналом при использовании драйверов ключей с импульсным трансформатором.

Для начала работы с блоками ШИМ для разрешения тактирования необходимо установить бит PWMEN регистра APB_CLK, а также сбросить биты поля PWMRST регистра PER_RST2.

Описание сигналов и выводов блока ШИМ:

- PWMA и PWMB – выходы ШИМ;
- TZ0 – TZ5 – входы, соединенные с выводами микроконтроллера PWM_TZ0 – PWM_TZ5, с которых принимаются сигналы аварии (общие для всех блоков ШИМ, и каждый блок может использовать или не использовать эти сигналы);
- PWM_SYNCI – вход, соединенный с одноименным выводом микроконтроллера, служащий для приема внешнего синхросигнала.
- PWM_SYNCO – внутренний сигнал синхронизации на выходе блока 0 ШИМ, являющийся синхросигналом для остальных блоков ШИМ и блоков захвата;
- PWM_SOCA и PWM_SOCB – выходные сигналы для запуска секвенсоров блока АЦП (формируются триггером событий блока ШИМ). Кроме того эти сигналы передаются на выходы микроконтроллера PWMxA_n и PWMxB_n (n – номер блока ШИМ);
- TZINT, INT – внутренние сигналы прерываний.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Функциональная схема блока ШИМ показана на рисунке 14.1.

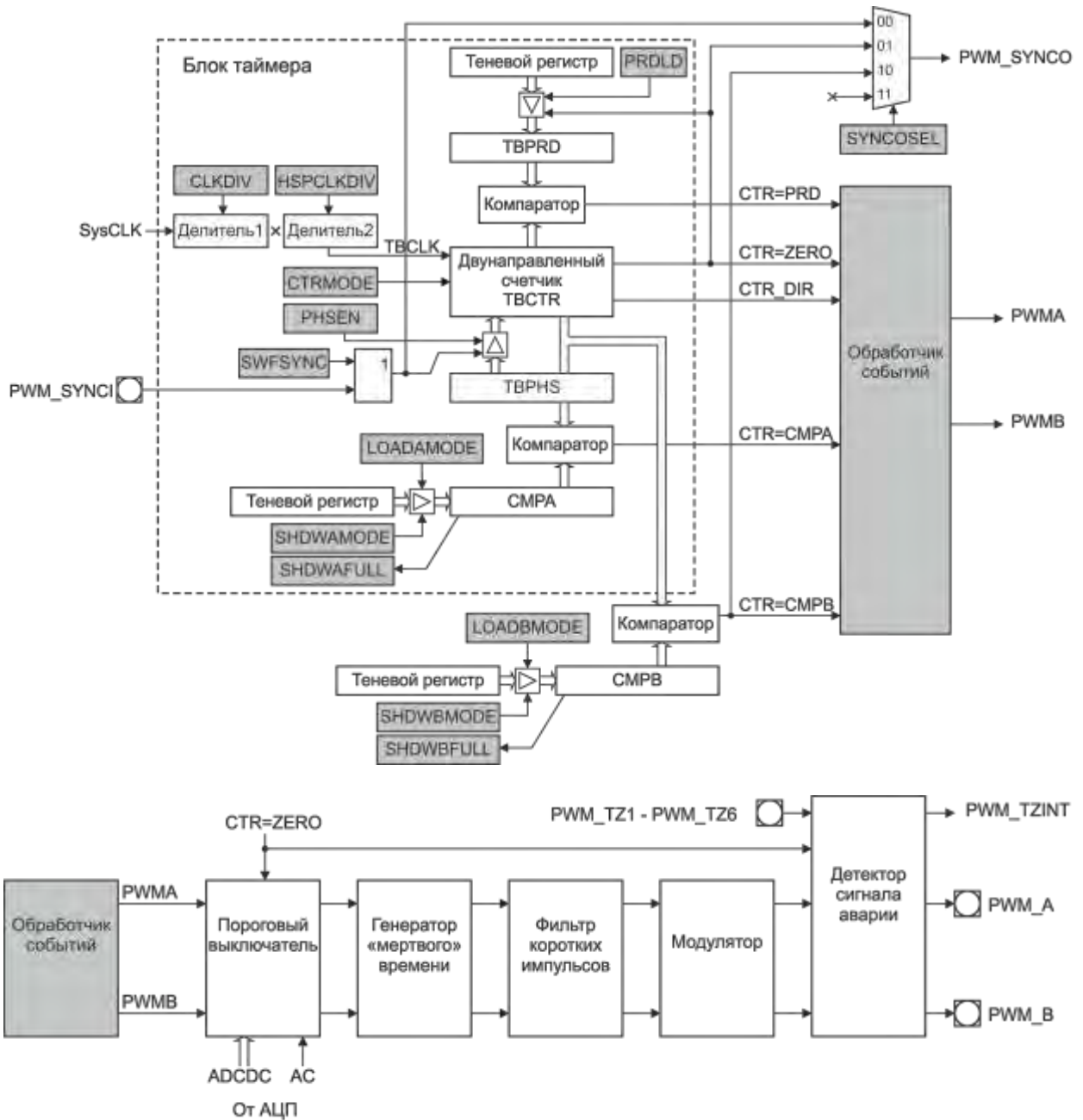


Рисунок 14.1 – Блок ШИМ

14.1 Таймер

Таймер представляет собой двунаправленный счетчик (TBCTR), тактируемый сигналом TBCLK, который формируется на основе синхросигнала SynCLK. Частота сигнала TBCLK задается произведением коэффициентов двух делителей. Коэффициенты задаются полями CLKDIV и HSPCLKDIV регистра TBCTL. Для работы других блоков ШИМ счетчик позволяет формировать события, такие как совпадение по периоду $CTR=PRD$ ($TBCTR = TBPRD$), совпадение с нулем $CTR = Zero$ ($TBCTR = 0000h$), совпадение с регистрами $CTR = CMPA$ и $CTR = CMPB$ ($TBCTR = CMPA$ и $TBCTR = CMPB$, соответственно). Событие $TBCTR = FFFFh$ влияет только на флаг CTRMAX регистра TBSTS.

Всеми настройками работы счетчика таймера управляет регистр TBCTL. Состояние счетчика отражают флаги регистра TBSTS.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата
Инв. № подл.	Подп. и дата

Входной сигнал тактирования TBCLK для первого блока ШИМ формируется на основе сигнала приходящего с вывода PWM_SYNCI микроконтроллера. Кроме того можно программно формировать синхроимпульсы PWM_SYNCI посредством записи единицы в бит SWFSYNC.

На выходе первого блока ШИМ формируется сигнал SYNCO, который является, синхросигналом для остальных блоков ШИМ (см. рисунок 14.2). Сигнал SYNCO имеет три источника – сигнал на выводе PWM_SYNCI микроконтроллера (в том числе и программно сгенерированный), событие CTR = Zero и CTR=CMPB. Выбор источника осуществляется посредством поля SYNCOSEL.

В блоке таймера находится регистры начальной фазы счета TBPHS и периода (максимального значения счетчика) TBPRD. Регистр периода имеет теневой регистр для синхронной загрузки значения, до которого счетчик осуществляет счет. Управление загрузкой осуществляется битом PRDL D.

Счетчик может работать в трех режимах счета (см. рисунок 14.2):

- вверх (от 0000h до значения TBPRD, затем сброс в 0000h и т.д.);
- вниз (от значения TBPRD до 0000h, затем загрузка значения TBPRD и т.д.);
- вверх-вниз (от 0000h до значения TBPRD, затем от значения TBPRD до 0000h и т.д.).

Параметры счета задаются полем CTRMODE.

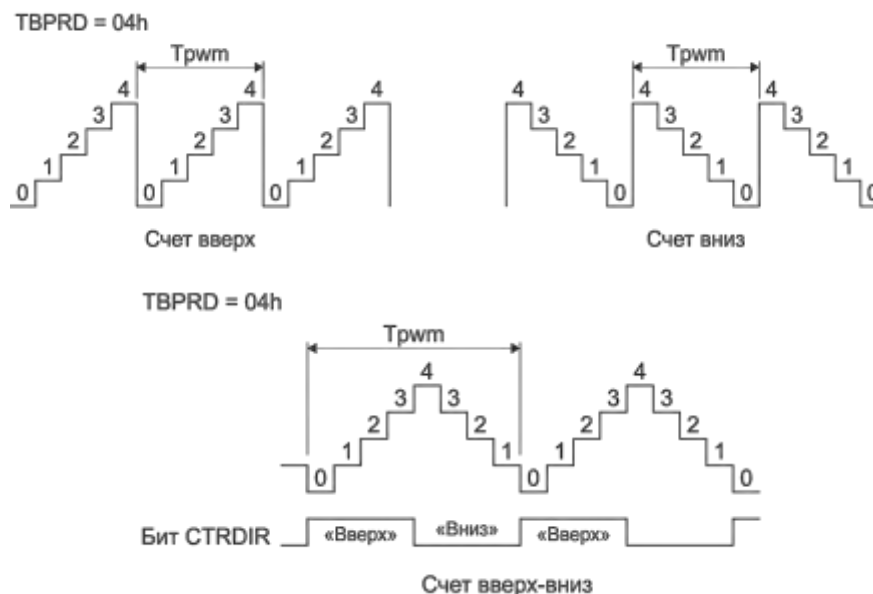


Рисунок 14.2 – Режимы работы счетчика (при значении периода 0004h, указано как T_pwm)

На рисунке для режима счета «вверх-вниз» дополнительно указано поведение флага CTRDIR.

Синхронизация таймеров блоков ШИМ

Схема синхронизации позволяет организовать три группы блоков ШИМ, каждая с синхронизацией сигналом SYNCO блока 0 ШИМ, либо цепь из девяти последовательно синхронизируемых блоков ШИМ (см. рисунок 14.3). Управление полем SYNSELECT

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

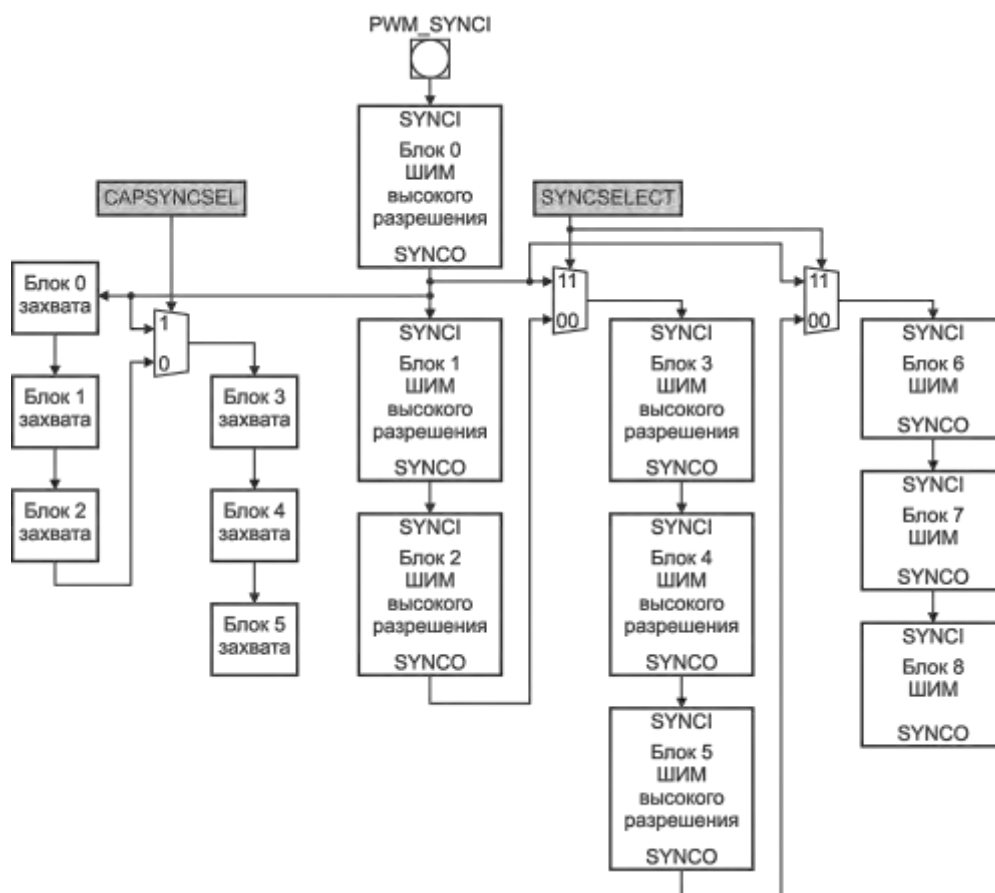


Рисунок 14.3 – Схема синхронизации модулей ШИМ

Система синхронизации таймеров включает в себя таймеры всех блоков ШИМ. Каждый Блок ШИМ имеет вход синхронизации PWM_SYNCI и выход синхронизации PWM_SYNCO.

Если бит PHSEN установлен то в счетчик таймера будет автоматически загружаться значение регистра TBPHS, при выполнении каждого из условий:

- изменение входного сигнала PWM_SYNCI (в этом случае, загрузка значения TBPHS в регистр TBCTR происходит на следующий такт TBCLK после поступления импульса на вход PWM_SYNCI с задержкой в 2 системных такта, если TBCLK=SysCLK или один такт, если TBCLK ≠ SysCLK);

- запись единицы в бит SWFSYNC (программная синхронизация), которая генерирует импульс синхронизации, аналогичный импульсу с входа PWM_SYNCI;

В режиме счета вверх-вниз необходимо запрограммировать бит PHSDIR, чтобы задать направление счета таймера после синхронизации.

Если бит PHSEN сброшен, блок ШИМ не будет реагировать на входной сигнал синхронизации, а только передавать напрямую этот сигнал на выход PWM_SYNCO, чтобы тактировать другие блоки ШИМ.

14.2 Компаратор

Компаратор – это блок, сравнивающий значение счетчика таймера с заданными значениями порогов срабатывания. Значения хранятся в регистрах CMPA и CMPB. Значения, записываемые по адресам регистров CMPA и CMPB предварительно размещаются в теневых регистрах. Это нужно для синхронной загрузки новых значений. Управление загрузкой регистров CMPA и CMPB осуществляется битам SHDWAMODE и SHDWBMODE, а также полями LOADAMODE и LOADBMODE регистра CMPCTL.

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата
Подл. и дата	Подл. и дата

Блок компаратора формирует на выходах два события $CTR = CMPA$ и $CTR = CMPB$, возникающие в случае совпадения значения счетчика с регистром $CMPA$ и/или регистром $CMPB$, соответственно.

Для каждого компаратора событие может возникать:

- один раз за период, если счетчик считает вверх или вниз;
- один раз за период, если счетчик считает вверх-вниз, но при этом значение в регистре $CMPA/CMPB$ равно $0000h$ или значению $TBPRD$;
- два раза за период, если счетчик считает вверх-вниз и при этом значение в регистре $CMPA/CMPB$ лежит в диапазоне $0001h - (TBPRD - 1)$.

На рисунках 14.4 – 14.7 приведены примеры формирования сигналов событий.

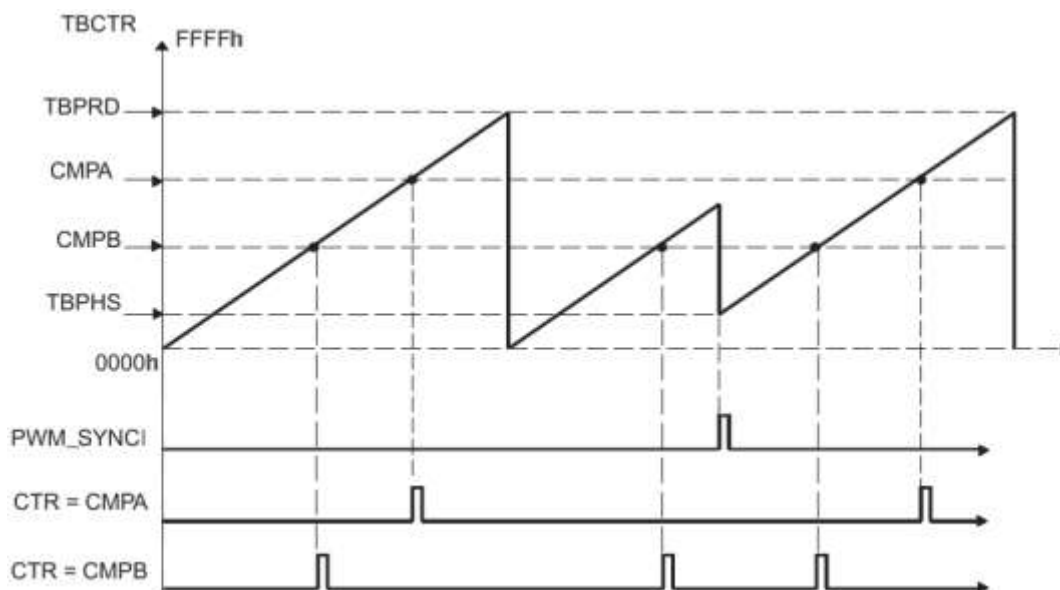


Рисунок 14.4 – Диаграмма работы при счете вверх

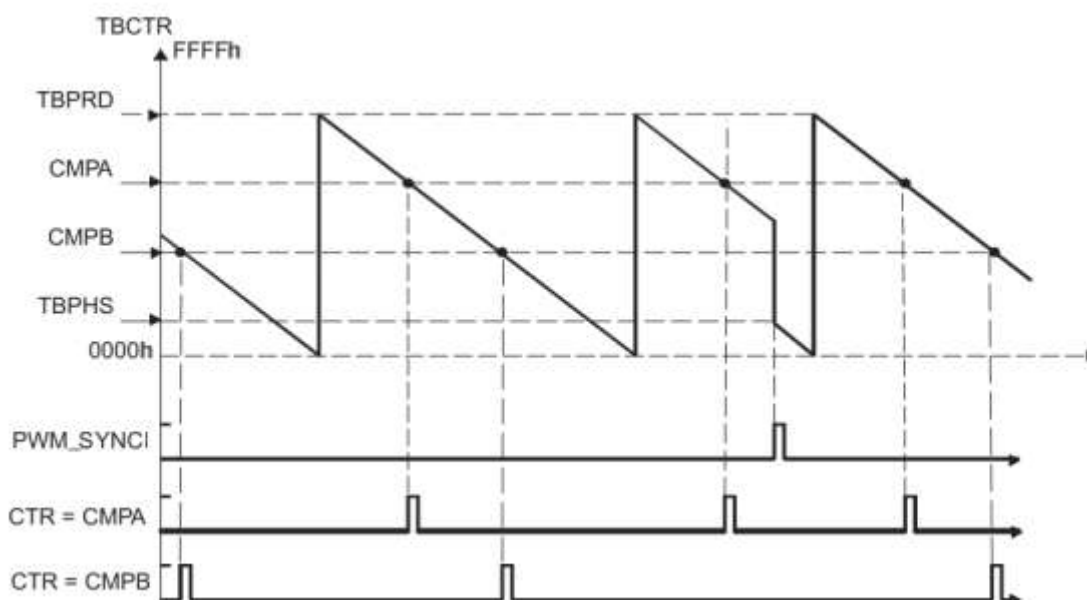


Рисунок 14.5 – Диаграмма работы при счете вниз

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

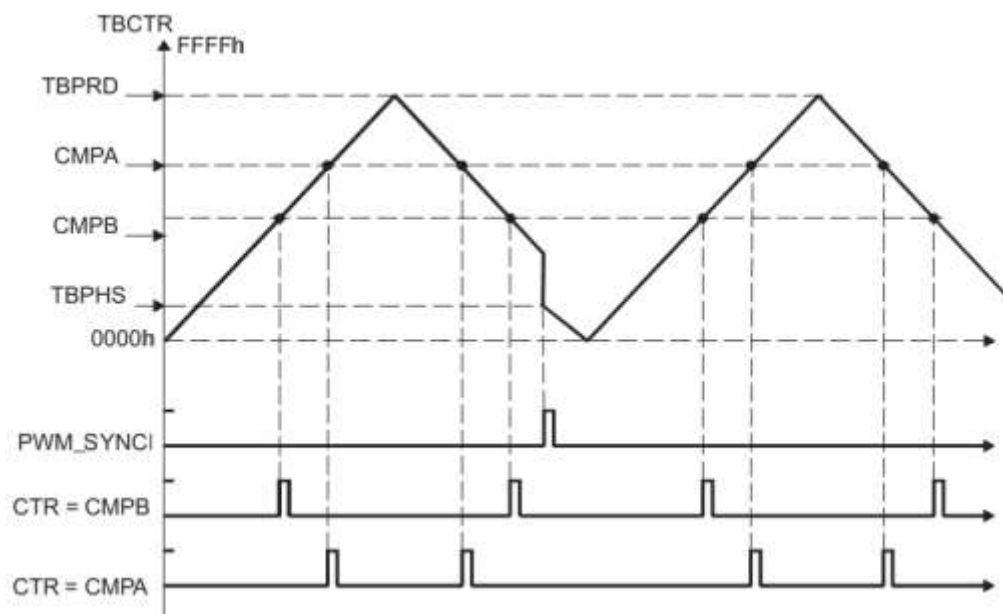


Рисунок 14.6 – Диаграмма работы при счете вверх-вниз. Синхронизация при счете вниз.

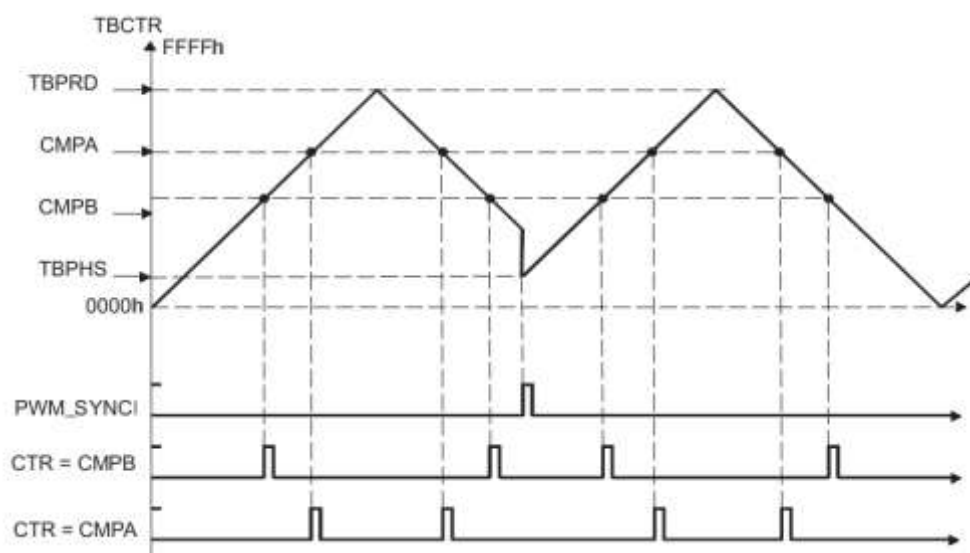


Рисунок 14.7 – Диаграмма работы при счете вверх-вниз. Синхронизация при счете вверх.

14.3 Обработчик событий

Блок, управляющий поведением сигналов на линиях PWMA и PWMB (см. рисунок 14.1) в зависимости от возникающих событий на входе блока и направления счета счетчика таймера. На поведение выходных сигналов влияют импульсы входных сигналов при возникновении событий: CTR=PRD, CTR=Zero, CTR=CMPA, CTR=CMPB.

Основные действия с сигналами PWMA и PWMB:

- переключение в единицу или ноль;
- инверсия (переключение в противоположное состояние);
- сохранение без изменений.

Поведение сигналов задается независимо друг от друга. Кроме этого обработчик событий позволяет программно задавать состояние сигналов PWMA и PWMB и величину «мертвого» времени ШИМ. Управление работой блока производится посредством регистров AQCTLA, AQCTLB, AQSFRC, AQCSFRC.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Существует вероятность того, что несколько событий могут произойти одновременно. Для таких ситуаций обработчик событий использует систему приоритетов событий.

Таблица 14.1 – Распределение приоритетов событий при счете вверх

Событие	Приоритет
Программное	1 (наивысший)
CTR = ТВPRD	2
CTR = СМРВ (счет вверх) при счете вверх	3
CTR = СМРА (счет вверх) при счете вверх	4 (низший)

Таблица 14.2 – Распределение приоритетов событий при счете вниз

Событие	Приоритет
Программное	1 (наивысший)
CTR = Zero	2
CTR = СМРВ (счет вниз) при счете вниз	3
CTR = СМРА (счет вниз) при счете вниз	4 (низший)

Таблица 14.3 – Распределение приоритетов событий при счете вверх-вниз

Событие	Приоритет
Программное	1 (наивысший)
CTR = СМРВ (счет вверх) при счете вверх или CTR = СМРВ (счет вниз) при счете вниз	2
CTR = СМРА (счет вверх) при счете вверх или CTR = СМРА (счет вниз) при счете вниз	3
CTR = Zero или CTR = PRD	4
CTR = СМРВ (счет вверх) при счете вниз или CTR = СМРВ (счет вниз) при счете вверх	5
CTR = СМРА (счет вверх) при счете вниз или CTR = СМРА (счет вниз) при счете вверх	6 (низший)

В режиме счета вверх:

- если компаратор запрограммирован так, что $СМРА/СМРВ \leq ТВPRD$ (счет вверх), то событие произойдет при $CTR = СМРА/СМРВ$;

- если компаратор запрограммирован так, что $СМРА/СМРВ > ТВPRD$ (счет вверх), то события не произойдет;

- если компаратор запрограммирован на срабатывание при счете вниз, то событие не произойдет.

В режиме счета вниз:

- если компаратор запрограммирован так, что $СМРА/СМРВ \leq ТВPRD$ (счет вниз), то событие произойдет при $CTR = СМРА/СМРВ$;

- если компаратор запрограммирован так, что $СМРА/СМРВ \geq ТВPRD$ (счет вниз), то событие произойдет при $CTR = ТВPRD$;

- если компаратор запрограммирован на срабатывание при счете вверх, то событие не произойдет.

В режиме счета вверх-вниз:

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата

- если счетчик считает вверх, а компаратор запрограммирован так, что $CMPA/CMPB < TBPRD$ (счет вверх), то событие произойдет при $CTR = CMPA/CMPB$;
- если $CMPA/CMPB \geq TBPRD$ (счет вверх), то событие произойдет при $CTR = TBPRD$;
- если счетчик считает вниз, а компаратор запрограммирован так, что $CMPA/CMPB < TBPRD$ (счет вниз), то событие произойдет при $CTR = CMPA/CMPB$;
- если $CMPA/CMPB \geq TBPRD$ (счет вверх), то событие произойдет при $CTR = TBPRD$.

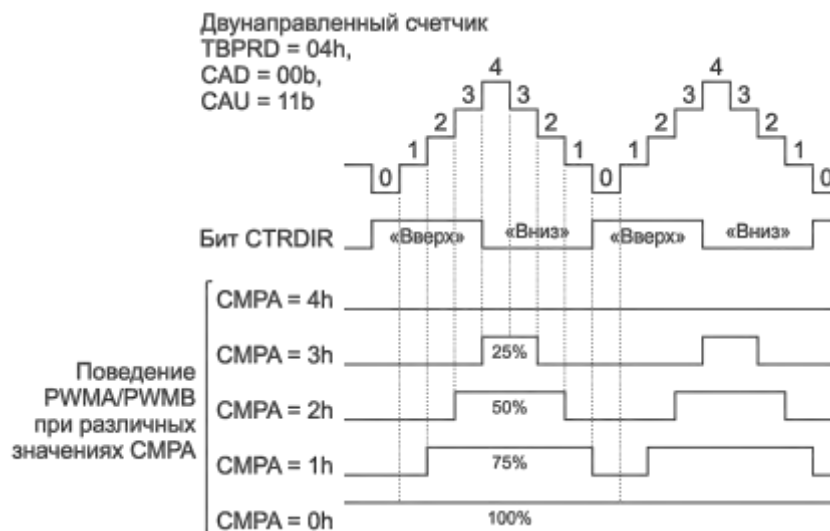


Рисунок 14.8 – Работа таймера при счете вверх-вниз с симметричным выходом (центрированная модуляция).

На рисунках 14.8 – 14.11 показано поведение линий PWMA и PWMB при различных видах модуляции. На рисунках приняты обозначения, пояснение к которым приведены в таблице 14.4.

Таблица 14.4

Обозначение			Пояснение	
P ×	CA ×	CB ×	События $CTR = PRD$, $CTR = CMPA$, $CTR = CTRB$, соответственно. Символ «×» указывает на то, что при возникновении этого события сигнал на линии PWMA/PWMB остается без изменений. Пунктирными линиями отмечены моменты возникновения события. Так, например (см. рисунок 14.9), при возникновении события $CTR = CTRB$, сигнал на линии PWMA остается без изменения, а сигнал на линии PWMB переключается в ноль.	
Z ↑	Z ↓	Событие $CTR = Zero$		
CA ↑	CA ↓	Событие $CTR = CMPA$		
CB ↑	CB ↓	Событие $CTR = CMPB$		
			Символ «↑»/«↓» указывает на то, что при возникновении этого события сигнал на линии PWMA/PWMB переключается в единицу/ноль	

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

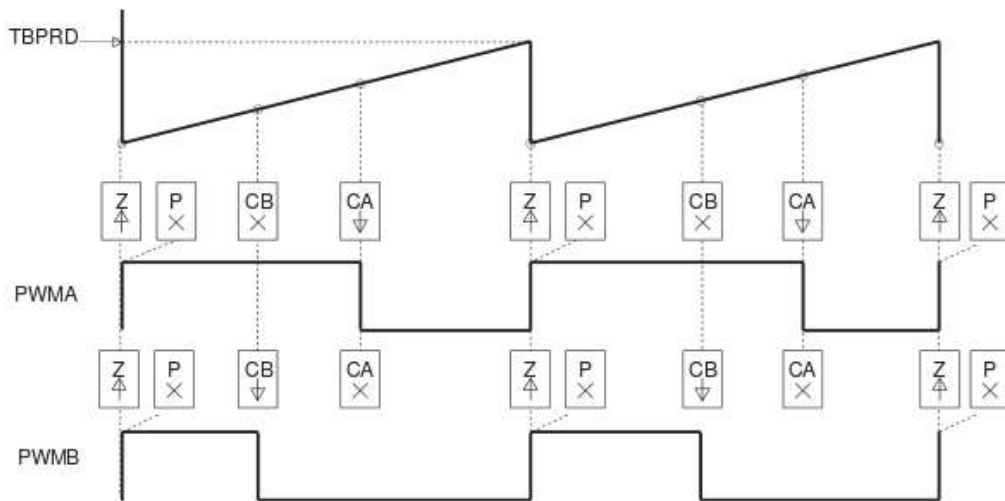


Рисунок 14.9 – Независимый режим работы выходов (фронтная модуляция)

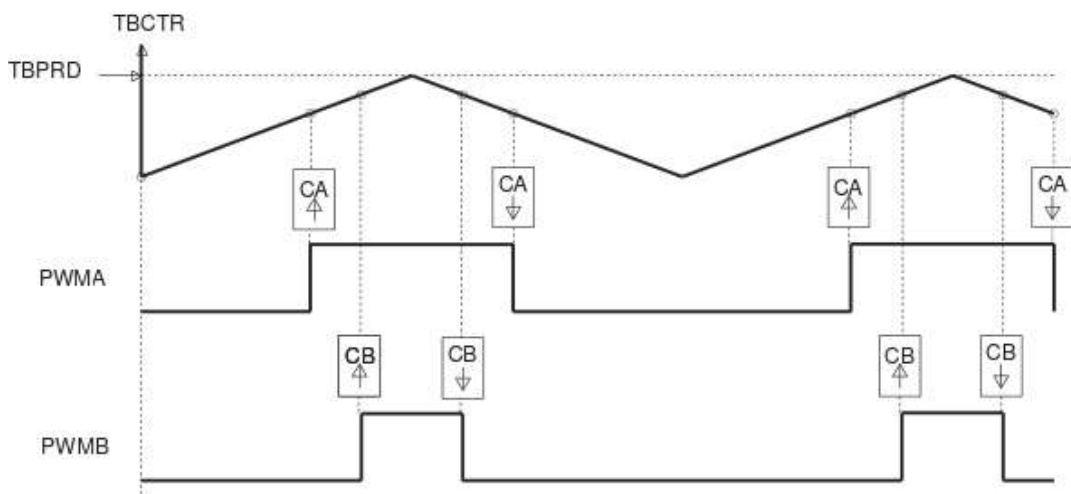


Рисунок 14.10 – Симметричный режим работы при счете вверх-вниз (центрированная модуляция)

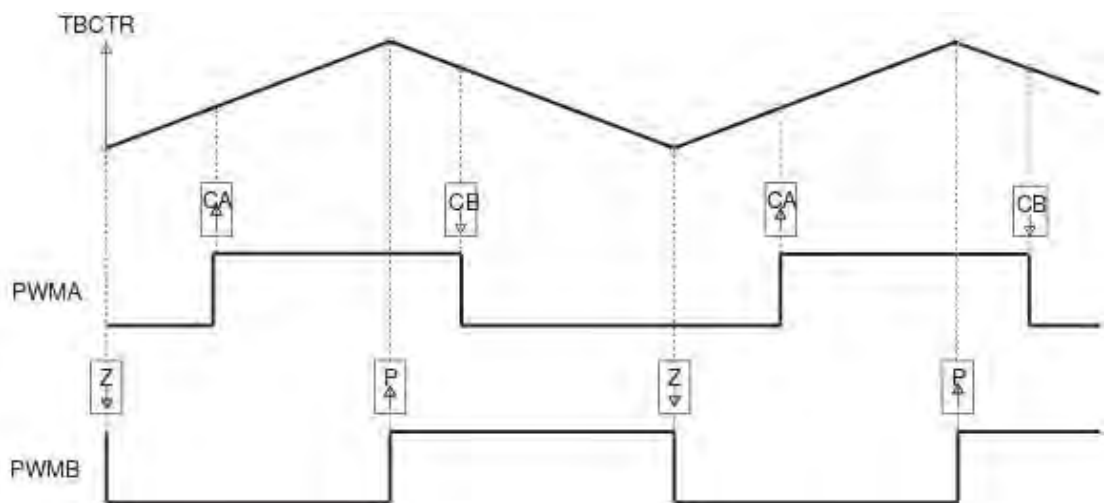


Рисунок 14.11 – Ассиметричный режим работы при счете вверх-вниз

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

14.4 Пороговый выключатель

Пороговый выключатель контролирует выходные сигналы PWMA и PWMB обработчика событий, и позволяет удерживать их в определенном заданном пользователем состоянии в случае прихода сигнала триггера от цифровых компараторов блока АЦП. Этот блок удобен для организации релейного поддержания заданного уровня какой-либо физической величины, например для организации контура тока. В этом случае цифровой компаратор, к каналу АЦП которого подключен сигнал датчика тока контура, формирует сигнал о превышении током задания, а соответствующий пороговый выключатель реагирует на это превышение и включает/отключает соответствующий силовой транзистор посредством влияния на выход ШИМ.

Функциональные возможности:

- входные события от компараторов блока АЦП могут использоваться всеми блоками ШИМ;
- при регистрации события от компаратора блока АЦП, выходные сигналы обработчика событий могут быть переведены в состояние логической единицы, нуля или оставлены без изменений;
- поддерживаются однократное и циклическое срабатывания для удержания выхода;
- входное событие от компаратора блока АЦП может анализироваться в однократном и циклическом режимах,
- событие срабатывания компаратора блока АЦП может быть сгенерировано программно;
- пороговый выключатель может быть отключен, если он не требуется;

Управление пороговым выключателем осуществляется посредством регистров HDSEL, HDCTL и HDFRC.

Функционирование

Когда выходные сигналы компараторов блока АЦП переходят в состояние высокого уровня, формируется событие. Каждый пороговый выключатель блока ШИМ может использовать, а может не использовать эти события в своей работе; выбор, по сигналу какого компаратора блока АЦП формировать событие удержания, задается с помощью регистра HDSEL. Длительность импульса на входном сигнале от компаратора блока АЦП не должна быть меньше периода системного синхросигнала. Каждый входной сигнал компаратора блока АЦП должен быть настроен на однократное или циклическое формирование события, выбор режима задается битами CBC и OSHT, а источник события полем DCMR.

При получении события от компаратора блока АЦП в режиме циклической обработки немедленно формируется реакция на основе содержимого регистра HDCTL, в результате чего меняется состояние сигналов на выходе порогового выключателя взамен полученных от обработчика событий PWMA и/или PWMB на заданное пользователем в регистре HDCTL. Дополнительно устанавливается флаг CBC в регистре HDIFLG, и генерируется прерывание PWM_HDINT. Удержание выходных сигналов PWMA и PWMB заканчивается по событию TVCTR = 0000h, при условии, что событие компаратора блока АЦП уже не активно. Таким образом, в режиме циклической обработки состояние удержания сбрасывается в каждом периоде ШИМ. При этом флаг CBC остается активным до его программного сброса. Если после сброса флага CBC вновь будет получено событие компаратора блока АЦП, то флаг установится вновь.

При получении события компаратора блока АЦП в режиме однократной обработки, также немедленно формируется реакция на основе содержимого регистра HDCTL, которая меняет состояние выходных сигналов PWMA и/или PWMB. В дополнение, устанавливается флаг OST, и генерируется прерывание PWM_HDINT. Удержание выходных сигналов будет производиться до программного сброса записью единицы в бит OST регистра HDCLR.

Инва. № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата

Способ удержания выходных сигналов при получении события компаратора блока АЦП программируется индивидуально для выходных сигналов PWMA и PWMB в регистр HDCTL.

14.5 Генератор задержки («мертвого» времени) ШИМ

Блок имеет на входе сигналы ШИМ А и В с выходов обработчика событий, а на выходах повторяет эти сигналы, но со вставкой задержки в момент переключения сигналов (если это необходимо).

Задержку можно учесть при программировании обработчика событий, но чтобы с высокой вероятностью избежать ошибок, желательно использовать генератор задержки ШИМ.

Основные функции генератора:

- генерация пары сигналов (PWMA и PWMB), с выдержкой интервалов (задержек) времени относительно сигнала PWMA;
- программирование задержки для активного высокого и активного низкого уровня сигналов каналов PWMA и PWMB;
- добавление программируемой задержки передних фронтов сигналов;
- добавление программируемой задержки для задних фронтов сигналов;
- возможность передачи сигналов с входов на выходы без изменений.

Генератор задержки ШИМ программируется посредством регистров DBCTL, DBRED и DBFED. Структурная схема генератора «мертвого» времени ШИМ представлена на рисунке 14.12.

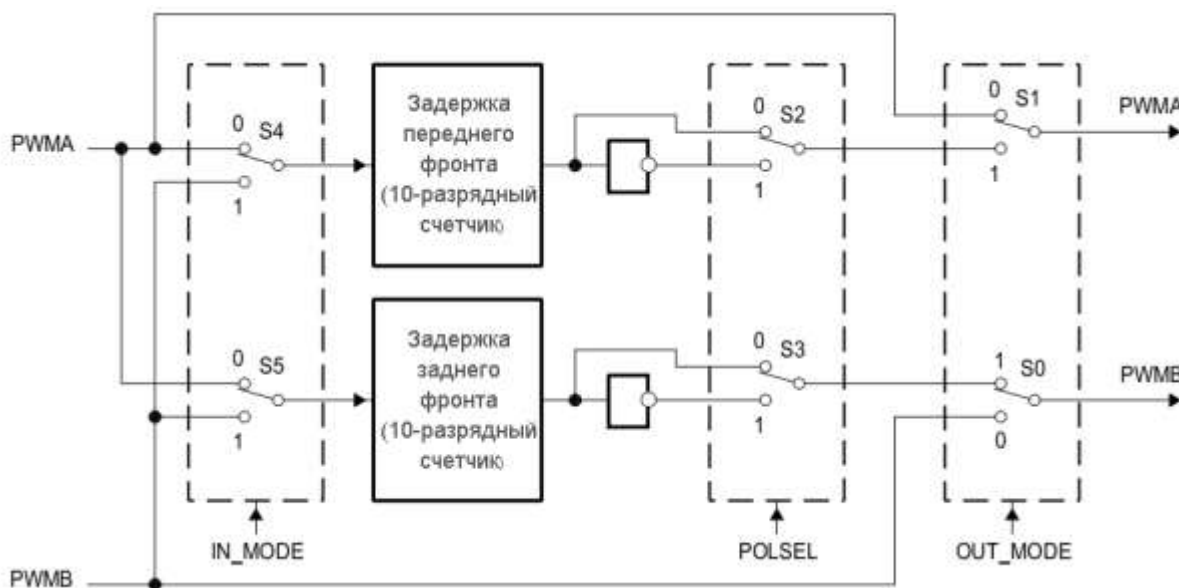


Рисунок 14.12 – Структурная схема генератора «мертвого» времени ШИМ

Функционирование

Генератор задержки ШИМ может работать с четырьмя источниками (фронты сигналов PWMA и PWMB). Выбор источника задается полем MODE регистра DBCTL.

Поле POLSEL позволяет задать инверсию (переключение значения на противоположное) сигнала после внесения задержки (см. рисунок 14.13).

Величины задержек по переднему и заднему фронту программируются отдельно посредством регистров DBRED и DBFED, соответственно.

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата



Рисунок 14.13 – Временные диаграммы работы генератора «мертвого» времени в типовой конфигурации

14.6 Фильтр коротких импульсов

Фильтр коротких импульсов предназначен для блокирования прохождения на выход импульсов с длительностью меньше заданной. Этот блок может применяться, если драйвер силового ключа инвертора не имеет такой функции, а для обеспечения правильного режима работы транзистора необходимо запретить открытие/закрытие транзистора на очень короткие времена.

Основные функции фильтра:

- программируемая ширина минимального пропускаемого импульса;
- фильтр может быть отключен, если он не требуется.

Ширина минимального импульса, допускаемого к прохождению на выход, задается в регистре FWDTH и может принимать значение от 00h (фильтр выключен) до 0Fh (25,6 мкс). Импульсы длительностью меньше заданной пропускаться не будут.

14.7 Модулятор

Блок позволяет модулировать выходной ШИМ сигнал с помощью высокочастотных импульсов программируемой скважности. Модулирование требуется для управления силовыми ключами через импульсный трансформатор.

Основные функции Модулятора:

- программируемая частота;
- программируемая ширина первого импульса;
- программируемая скважность второго и последующего импульсов;
- модулятор может быть отключен (бит SHPEN регистра PCCTL).

Модулятор программируется посредством регистра PCCTL. Структурная схема модулятора приведена на рисунке 14.14.

Инд. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инд. № дубл.	Подл. и дата
Подл. и дата	Подл. и дата

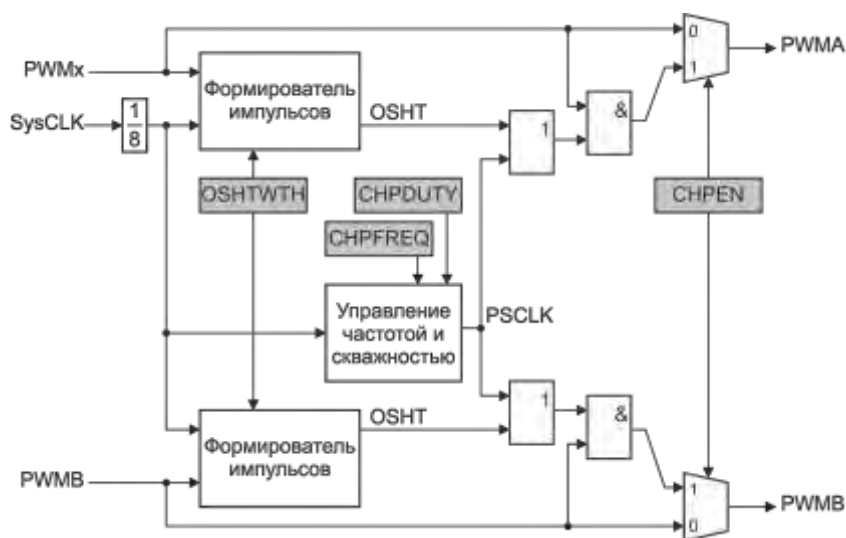


Рисунок 14.14 – Структурная схема модулятора

Функционирование

Ширина первого импульса программируется независимо полем OSHTWTH, это требуется для открывания ключа. Для остальных импульсов частота модуляция формируется на основе системной частоты при помощи делителя, программируемого полем SHPFREQ. Скважность импульсов программируется полем CHPDUTY.

Значения поля OSHTWTH лежат в диапазоне 0h – Fh.

Ширина L первого импульса определяется по формуле:

$$L = T \times 8 \times (OSHTWTH + 1),$$

где T – период синхросигнала SysCLK.

Значения поля CHPDUTY лежат в диапазоне 0h – 7h.

Скважность D (с шагом 12.5%) последующих импульсов определяется по формуле:

$$D = 12,5 \times (CHPDUTY + 1).$$

На рисунке 14.15 приведен пример временных диаграмм работы модулятора.

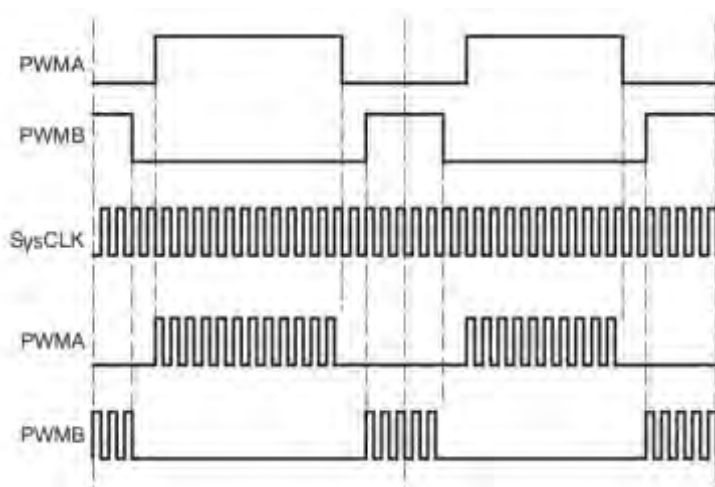


Рисунок 14.15 – Временные диаграммы работы модулятора

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

14.8 Детектор сигнала аварии

Блок контролирует выходы PWMA и PWMB и может переводить их в определенное (запрограммированное) состояние в случае, если поступит сигнал аварии.

Основные функции:

- входные сигналы аварии с выводов микроконтроллера PWM_TZ1-PWM_TZ6 могут использоваться любым блоком ШИМ;
- в случае, если поступит сигнал аварии, выходы ШИМ могут быть переведены в одно из состояний: логического нуля, логической единицы, высокоимпедансное или оставлены без изменения;
- поддерживается однократная блокировка выводов для ситуации короткого замыкания или перегрузки по току;
- поддерживается циклическая блокировка для режима ограничения тока;
- каждый входной источник сигнала аварии может быть обработан в однократном и циклическом режимах;
- поддерживается программная генерация сигнала аварии;
- детектор сигнала аварии может быть отключен, если он не требуется.

Детектор сигнала аварии программируется посредством регистров TZSEL, TZCTL, TZEINT, TZFLG, TZCLR и TZFRC.

Функционирование

Структурная схема детектора сигналов аварии показана на рисунке 14.16.

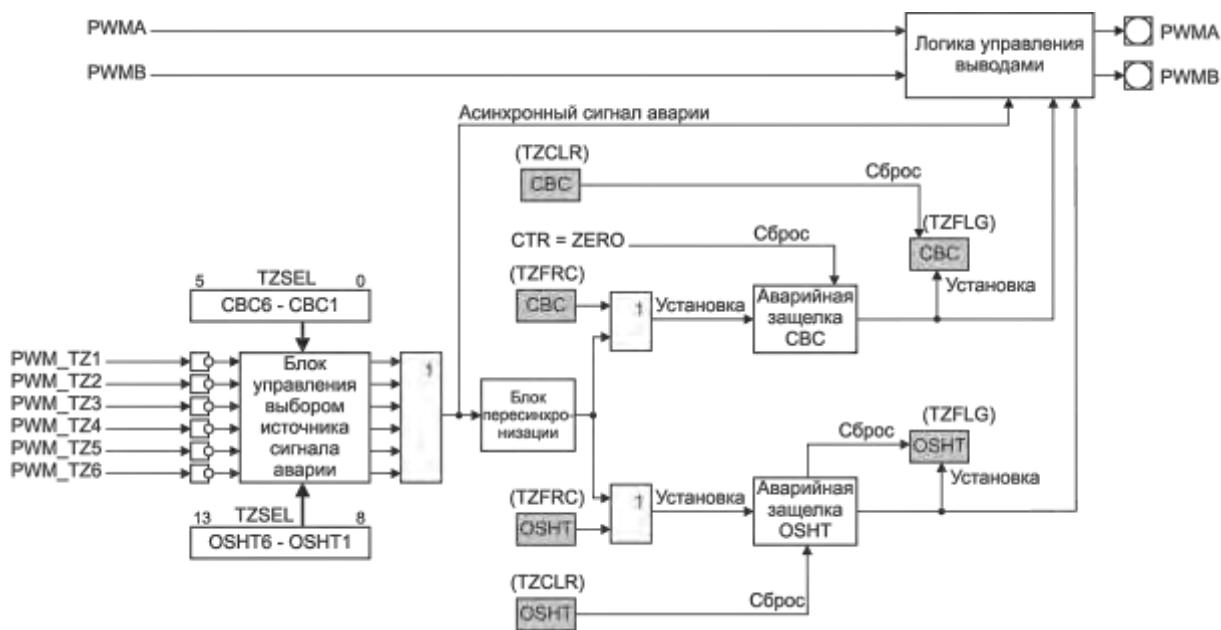


Рисунок 14.16 – Структурная схема детектора сигналов аварии

Переход входных сигналов аварии PWM_TZn из состояния логической единицы в состояние логического нуля формирует событие аварии. Каждый блок ШИМ может использовать или не использовать эти события в своей работе (программируется посредством регистра TZSEL). События могут формироваться синхронно (с цифровым фильтром помех), или асинхронно (программируется через регистры GPIO микроконтроллера). При синхронной обработке, длительность импульса на входном сигнале сбоя должна быть не меньше периода синхросигнала TVCLK. Если же обработка производится в асинхронном режиме, то событие формируется и обрабатывается даже в том случае, если по какой-либо причине отключилось тактирование микроконтроллера.

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Каждый входной сигнал аварии должен быть настроен на однократное или циклическое формирование события аварии (программируется посредством регистра TZSEL).

При получении события аварии в режиме циклической обработки немедленно выполняется действие заданное регистром TZCTL и устанавливается флаг CBC в регистре TZFLG, а также генерируется прерывание PWM_TZINT (если разрешено в регистре TZEINT и контроллером прерываний). Аварийное удержание выводов заканчивается по событию TVCTR = 0000h, при условии, что событие аварии уже неактивно. Таким образом, в режиме циклической обработки событие аварии сбрасывается в каждом периоде ШИМ, хотя флаг аварии CBC остается установленным до принудительного программного сброса. Если после сброса регистра флага CBC вновь будет получено событие аварии, то флаг установится вновь. На рисунке 14.17 показана схема формирования прерывания.

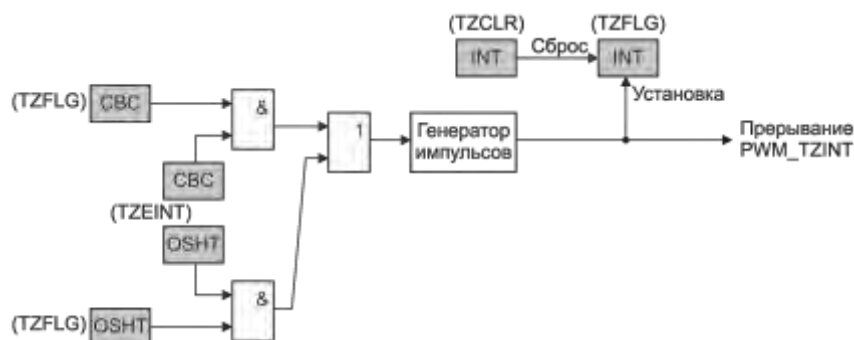


Рисунок 14.17 – Схема формирования прерывания

При получении события аварии в режиме однократной обработки, немедленно выполняется действие заданное регистром TZCTL и устанавливается флаг OST в регистре TZFLG, а также генерируется прерывание PWM_TZINT (если разрешено в регистре TZEINT и контроллером прерываний). Аварийное удержание выводов заканчивается после принудительного программного сброса, записью в бит OST регистра TZCLR.

Аварийное состояние выводов при получении события сбоя программируется индивидуально для выхода PWMA и PWMB полями TZA и TZB регистра TZCTL.

14.9 Триггер событий

Основные функции:

- получение событий сформированных таймером и компаратором;
- использование информации о направлении счета (вверх/вниз);
- использование делителя событий, для формирования сигнала прерывания и команды на запуск секвенсоров блока АЦП, со следующими состояниями:
 - делитель выключен (срабатывание на каждое событие);
 - срабатывание на каждое второе событие;
 - срабатывание на каждое третье событие.
- предоставление доступа процессору к содержимому регистра флагов событий и счетчикам событий;
- возможность программного выставления прерывания и сигнала запуска секвенсоров блока АЦП.

Функционирование

Триггер событий (не показан на рисунке 14.1) программируется посредством регистров ETSEL, ETPS, ETFLG, ETCLR и ETFRC. Функциональная схема триггера событий показана на рисунке 14.18.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Инв. № дубл.	Подп. и дата

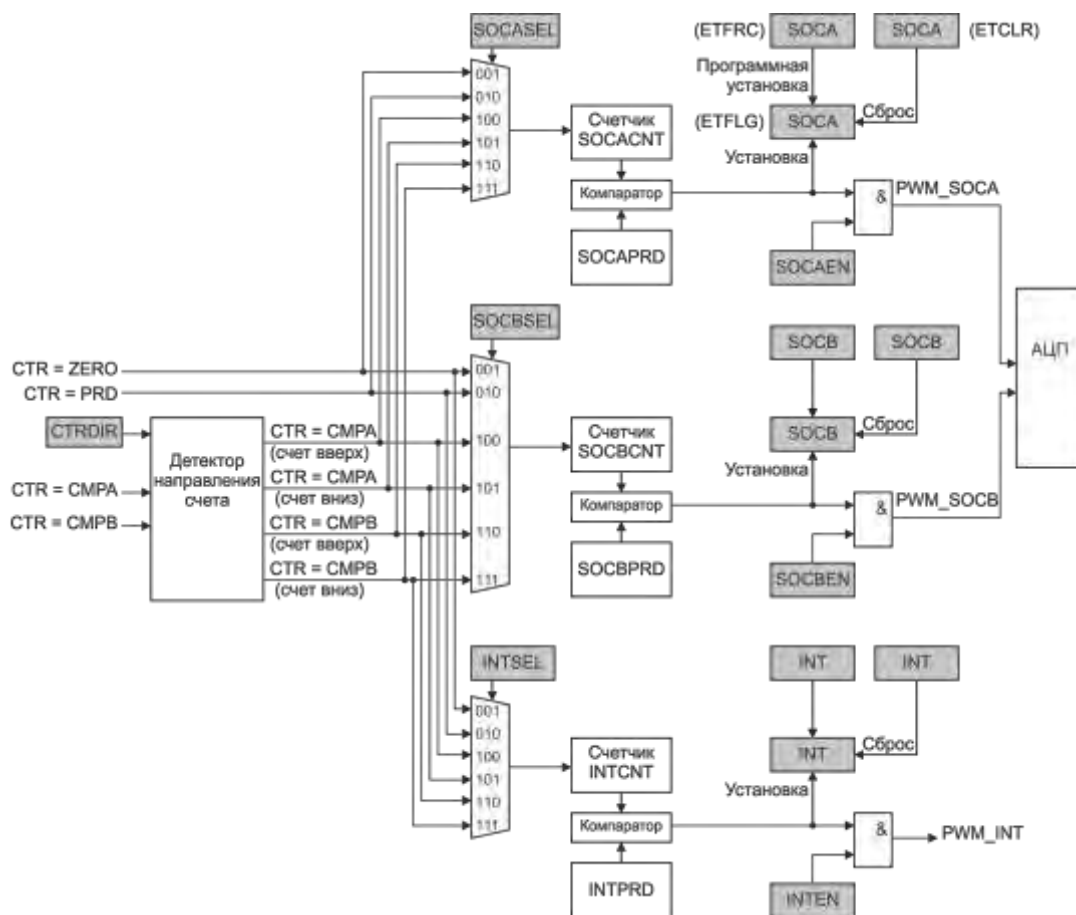


Рисунок 14.18 – Структурная схема триггера событий

Триггер может генерировать прерывания (если разрешено битом INTEN регистра ETSEL) по каждому первому, второму или третьему событию (поле INTPRD), которое задается полем INTSEL. Количество возникших событий отражается в поле INTCNT. Счетчик INTCNT считает от 00b до INTPRD и сбрасывается только вместе с отправкой активного прерывания.

Когда возникает совпадение INTCNT и INTPRD, то возможны варианты:

- если прерывание разрешено и сброшен флаг INT (регистр ETFLG), то генерируется прерывание и устанавливается флаг INT, а счетчик INTCNT сбрасывается в 00b и начинает считать заново;
- если прерывание запрещено или флаг INT установлен, то счетчик перестает считать события;
- если прерывание разрешено, но флаг от предыдущего прерывания еще не сброшен, то счетчик хранит свое максимально достигнутое значение (INTCNT = INTPRD) до сброса флага INT. Это позволяет обработать еще прерывание, пришедшее за то время, пока обрабатывалось предыдущее.

Каждая запись в INTPRD сбрасывает счетчик INTCNT. Запись единицы в бит INT регистра ETFRC увеличит значение счетчика на единицу. Если значение INTPRD = 00b, то счетчик отключен, а входные события игнорируются.

14.10 Блок ШИМ высокого разрешения (расширение блока ШИМ)

Принцип работы аналогичен описанному выше блоку ШИМ.

Функция высокого разрешения блока ШИМ является дополнительной и имеет особенности:

- улучшенный контроль скважности выходного сигнала ШИМ канала А (сигнал PWMA);

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

- улучшенная точность переключения фронтов, с использованием увеличенной разрядности регистров CMPA и TBPHS (подключаются поля CMPAHR и TBPHSR);
 - логика калибровки для программной коррекции линии задержки.
 Дополнительный регистр управления расширенными возможностями – HRCNFG.
 Функциональная схема блока ШИМ с функцией высокого разрешения показана на рисунке 14.19.

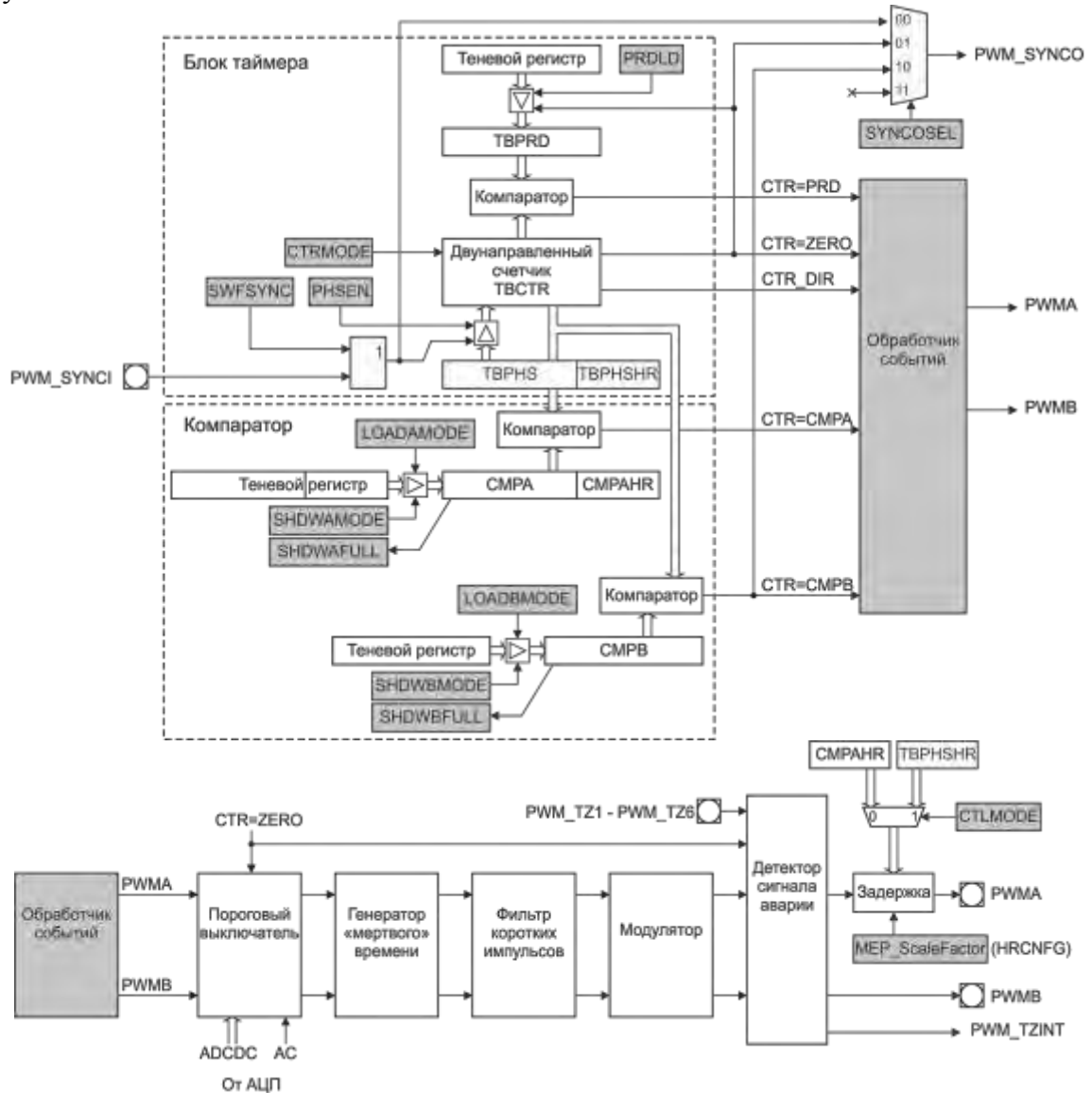


Рисунок 14.19 – Схема блока ШИМ высокого разрешения

Улучшение разрешающей способности

В блоке ШИМ высокого разрешения используется специальная линия задержки с шириной отсчета 150 пс, что увеличивает разрешающую способность. Формула вычисления разрешающей способности по ширине единичного отсчета, и периоду следования импульсов ШИМ представлена на рисунке 14.20.

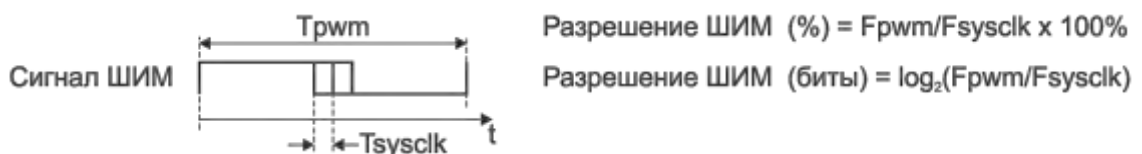


Рисунок 14.20 – Вычисление разрешающей способности блока ШИМ

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата
Инв. № подл.	Подл. и дата

Конфигурация

Кроме обычных функций блок ШИМ высокого разрешения реализует дополнительные два режима работы.

Режим фронтов. Для высокоточного контроля выставления переднего и заднего фронтов сигнала на выходе РWМА подключается линия задержки. Управление фронтами по отдельности используется в схемах, где требуется прецизионная точность скважности формируемых импульсов. Управление обоими фронтами одновременно используется в схемах, где требуется высокая точность в выставлении фазы формируемого сигнала (к примеру, в мостах).

Режим управления. Линия задержки управляется либо полем СМРАНР (управление скважностью), либо полем ТВРНСНР (управление фазой). Отдельно передний или задний фронты выставляются полем СМРА, а вместе – полем ТВРНСНР.

Примечание – Поле СМРАНР может использовать отложенную загрузку (теневой регистр), полностью аналогично тому, как это реализовано для регистра СМРА.

Функционирование

На рисунке 14.21 приведен пример работы блока ШИМ высокого разрешения

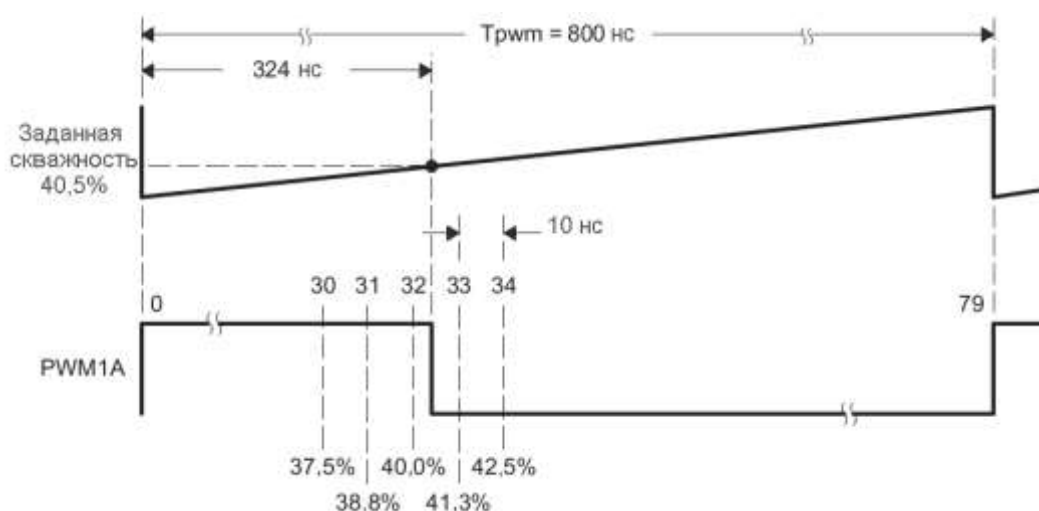


Рисунок 14.21 – Пример работы блока ШИМ высокого разрешения

За основу принято, что длительность отсчета (задержка одного элемента) равна 180 пс, а рабочая частота 100 МГц (период 10 нс). Формирование скважности 40,5% от периода $T_{rwm} = 800$ нс складывается из 32 отсчетов (регистр СМРА) счетчика, работающего на системной частоте, формируя задержку 320 нс, и линии задержки, запрограммированной на 22 отсчета (регистр СМРАНР), формируя дополнительную задержку 3,96 нс. Общая задержка получается 323,96 нс, что составляет почти нулевую погрешность от значения 324 нс (40,5%).

Ограничения диапазона скважности

Линия задержки не может работать в течение всего периода формируемого сигнала ШИМ, поэтому вводится ограничение на минимальную длительность импульса:

- 3 периода системного такта, если схема калибровки неактивна;
- 6 периодов системного такта, если схема калибровки активна.

В случае если в соответствии с требуемой скважностью длительность импульса выходного сигнала ШИМ оказалась короче минимальной, то фронты будут выставлены с точностью, как и в обычном блоке ШИМ.

При работе на низких частотах ограничение по управлению скважностью сигнала ШИМ практически незаметно.

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата
Подл. и дата	

Калибровка

Линия задержки состоит из 255 одинаковых, последовательно включенных элементов. Длительность отсчета (задержки одного элемента) составляет 150 пс и определяется технологическими нормами, в соответствии с которыми выполнен микроконтроллер. Длительность отсчета также может незначительно меняться, в зависимости от текущего значения питания микроконтроллера и текущей температуры. Чтобы учесть меняющиеся, в зависимости от текущих условий эксплуатации, факторы, используется специальная схема, которая в качестве эталона использует параметр периода системного такта. Схема измеряет количество отсчетов (используемых элементов линии задержки) для формирования общей задержки, равной длительности системного такта (к примеру, 10 нс на частоте 100 МГц), и записывает это значение в регистр. Программное обеспечение должно учитывать это значение для корректировки переключения фронтов ШИМ.

14.11 Сопряжение с блоками АЦП

Выходы девяти блоков ШИМ (PWM_SOCA и PWM_SOCB каждого блока) объединяются по ИЛИ как показано на рисунке 14.22. Сигналы с выходов элементов ИЛИ защелкиваются в шести триггерах и формируют импульсы запуска секвенсоров блока АЦП.

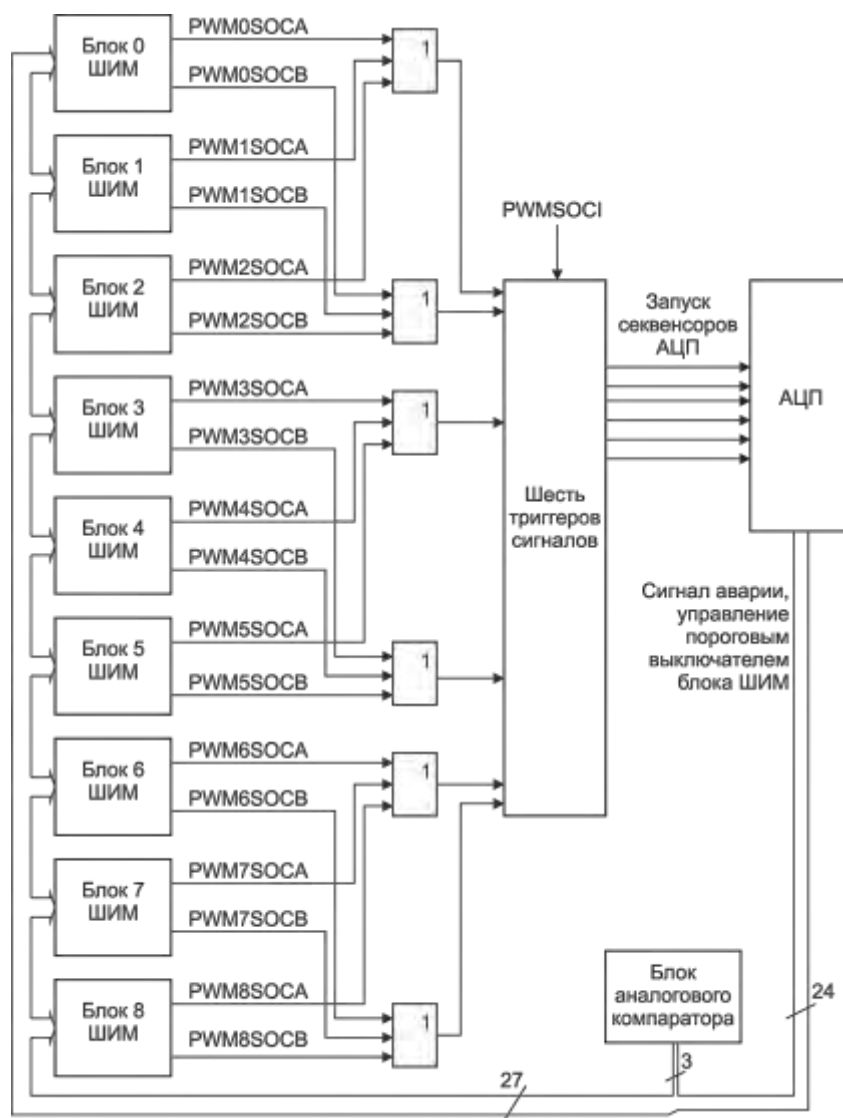


Рисунок 14.22 – Схема формирования сигналов запуска секвенсоров блока АЦП

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

15 Приемопередатчики UART

В состав микроконтроллера входят четыре идентичных универсальных асинхронных приемопередатчика UART0, UART1, UART2, UART3.

В состав приемопередатчика входят два буфера типа FIFO. Буфер приемника имеет разрядность 12, буфер передатчика – разрядность 8. Каждый буфер может хранить до 16 байт данных и каждый буфер может быть сконфигурирован (программно) как 16-байтный или как однобайтный.

Наличие идентификационного регистра позволяет операционной системе выполнять автоматическую конфигурацию блока UART.

Приемопередатчик обеспечивает:

- независимое маскирование прерываний от буфера передатчика, буфера приемника, по таймауту приемника, по изменению линий состояния модема, а также в случае обнаружения ошибки;
- возможность деления тактовой частоты в диапазоне от 1 до 65535 (допускается использование нецелых коэффициентов деления, что позволяет использовать любой опорный генератор с частотой более 3,6864 МГц);
- возможность организации аппаратного управления потоком данных;
- поддержку прямого доступа к памяти;
- поддержку функции управления модемом (линии CTS, DCD, DSR, RTS, DTR и RI).

Примечание – Частота внутреннего тактового генератора (номинальное значение – 1,8432 МГц) может быть задана в диапазоне от 1,42 до 2,12 МГц для обеспечения возможности формирования бит данных с укороченной длительностью в режиме пониженного энергопотребления.

Приемопередатчик реализует:

- передачу данных длиной от 5 до 8 бит со скоростью до 921600 бит/с;
- контроль четности (проверочный бит выставляется по четности, нечетности, имеет фиксированное значение, либо не передается);
- формирование одного или двух стоповых бит;
- обнаружение ложных стартовых битов;
- формирование и обнаружения сигнала разрыва линии.

Функциональные возможности

Режим работы приемопередатчика и скорость обмена данными контролируются регистром LCR_H и регистрами делителя IBRD и FBRD.

Устройство может формировать следующие сигналы:

- независимые маскируемые прерывания от приемника (в том числе по таймауту), передатчика, а также по изменению состояния модема и в случае обнаружения ошибки;
- общее прерывание, возникающее в случае, если возникло одно из независимых немаскированных прерываний;
- сигналы запроса на прямой доступ к памяти для совместной работы с контроллером DMA.

В случае возникновения ошибки в структуре сигнала, четности данных, а также разрыва линии соответствующий бит ошибки устанавливается и сохраняется в буфере приемника. В случае переполнения буфера приемника также устанавливается соответствующий бит, а буфер становится недоступным для записи.

Приемопередатчик поддерживает режим модема.

15.1 Функционирование блока UART

На рисунке 15.1 показана упрощенная функциональная схема приемопередатчика.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

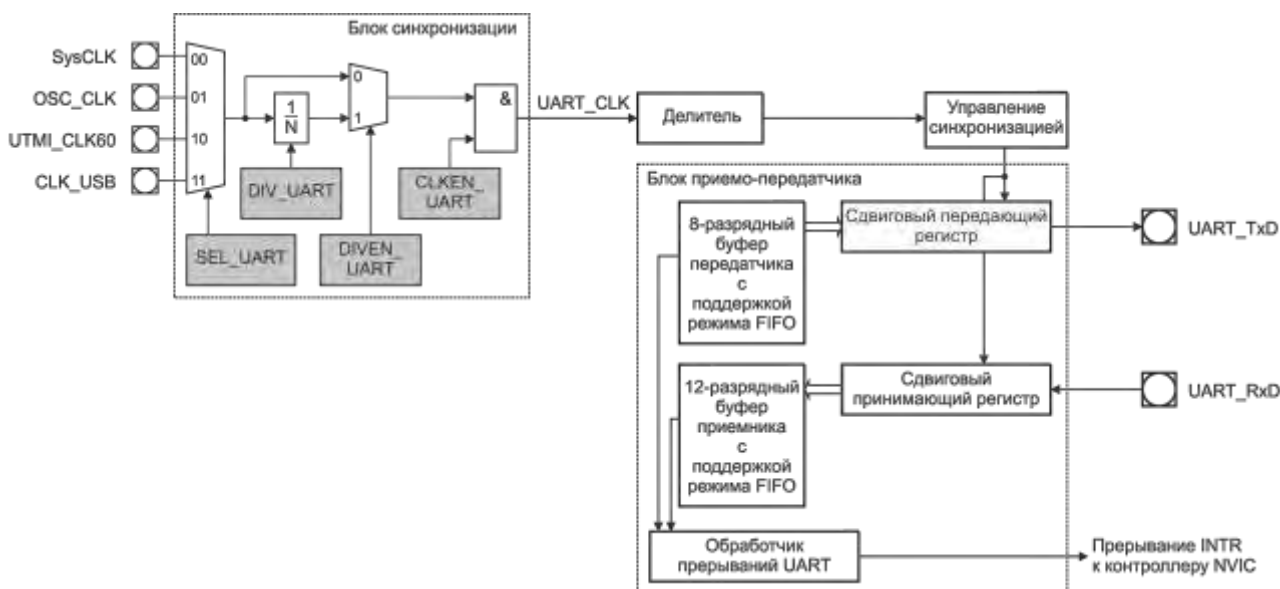


Рисунок 15.1 – Функциональная схема приемопередатчика

Генератор тактового сигнала приемопередатчика формирует синхросигнал последовательного обмена данными, который представляет собой последовательность импульсов с шириной, равной одному периоду сигнала UART_CLK и частотой в 16 раз превышающей частоту передачи данных.

Буфер передатчика предназначен для хранения данных (полученных от ЦП) до тех пор, пока они не будут переданы внешнему устройству.

Буфер приемника предназначен для хранения данных и кодов ошибки (принятых от внешнего устройства) до тех пор, пока они не будут прочитаны ЦП.

Обработчик прерываний генерирует независимые маскируемые прерывания с активным высоким уровнем. Кроме того, формируется комбинированное прерывание путем объединения независимых прерываний по схеме ИЛИ. Сигнал прерывания передается на контроллер NVIC.

Сброс модуля

Приемопередатчик может быть сброшен сигналом сброса процессора или соответствующим битом поля UARTRST регистра PER_RST1.

Синхронизация

Существует ограничение на соотношение между тактовыми частотами SysCLK и UART_CLK:

$$\text{UART_CLK} \leq 5/3 \times \text{SysCLK}$$

Например, для достижения максимальной скоростью передачи данных 921600 бод (при $\text{Fuart_clk} = 921600 \times 16 = 14,7456 \text{ МГц}$) частота SysCLK должна быть не менее 8,84736 МГц.

Для точной настройки частоты передачи данных используются два делителя (см. рисунок 15.1). Коэффициент деления первого задается полем DIV_UART регистра UART_CLK. Коэффициент деления второго делителя имеет целую и дробную части, которые задаются регистрами IBRD и FBRD. Возможность задания нецелых коэффициентов деления позволяет осуществлять обмен данными на стандартных скоростях, используя в качестве источника тактовый сигнал с произвольной частотой более 3,6864 МГц.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Подп. и дата	

Коэффициент деления К частоты сигнала UART_CLK рассчитывается по формуле:

$$K = \frac{Fuart_clk}{16 \times baud_rate},$$

где Fuart_clk – частота сигнала синхронизации блока UART в Гц,
 baud_rate – скорость передачи в бодах.

Получившееся дробное десятичное число следует разделить на две части – целую и дробную.

Целая часть после преобразования в двоичный формат записывается в регистр IBRD.

Дробная часть умножается на 64 и округляется до ближайшего целого числа. Полученное число преобразовывается в двоичный формат и записывается в регистр FBRD.

Для примера, пусть требуемая скорость передачи данных 230400 бит/с и частота тактового сигнала UART_CLK равна 4 МГц. Тогда:

$$K = (4 \times 10^6) / (16 \times 230400) = 1,085.$$

Получившееся число разбивается на две части – 1 и 0,085.

В регистр IBRD записывается значение 0001h.

Значение $(0,085 \times 64)$ округляется и преобразовывается в 05h для записи в регистр FBRD.

Таким образом, реальное значение коэффициента деления частоты и скорости передачи будут следующими:

$$K = 1 + 5/64 = 1,078.$$

$$baud_rate = (4 \times 10^6) / (16 \times 1,078) = 231911 \text{ бит/с.}$$

Ошибка установки скорости:

$$\Delta = ((231911 - 230400) / 230400) \times 100\% = 0,656\%.$$

Максимальная ошибка установки скорости передачи данных:

$$\Delta = (1/64) \times 100\% = 1,56\%.$$

Такая ошибка возникает в случае $K = 1$, при этом разница накапливается в течение 64 тактовых интервалов.

Содержимое регистров LCR_H, IBRD и FBRD обновляется при записи в регистр LCR_H. Таким образом, для того, чтобы новые параметры коэффициента деления вступили в силу, после их записи в регистры IBRD и FBRD необходимо осуществить запись в регистр LCR_H и только в такой последовательности.

Примечание – Изменение содержимого регистров IBRD, FBRD и LCR_H допускается только во время, когда приемопередатчик запрещен и не осуществляется передача/прием байта.

Инв. № подл.	Подп. и дата
Взам. инв. №	
Инв. № дубл.	Подп. и дата

Передача и прием данных

Данные для передачи заносятся в буфер передатчика посредством записи в регистр DR. После записи хотя бы одного байта в буфер передатчика устанавливается флаг BUSY в регистре FR. Это состояние флага сохраняется пока буфер передатчика не пуст (даже если работа приемопередатчика запрещена). Далее если работа приемопередатчика разрешена (установлены биты UARTEN и TXE регистра CR), начинается передача информационного кадра с параметрами, указанными в регистре управления линией LCR_H. Передача данных продолжается до опустошения буфера передатчика (до окончания передачи всех байт). По окончании передачи сбрасывается флаг BUSY.

При приеме байта данных (установлены биты UARTEN и RXE регистра CR) для каждого бита производится три выборки уровня, и решение о значении бита принимается по мажоритарному принципу.

В случае если приемник находился в неактивном состоянии (постоянный высокий уровень сигнала на линии UART_RxD) и произошла смена уровня входного сигнала с высокого на низкий (стартовый бит), включается счетчик, тактируемый внутренним сигналом, после чего отсчеты сигнала на входе приемника регистрируются каждые восемь тактов.

Стартовый бит считается достоверным в случае, если сигнал на линии UART_RxD сохраняет низкий логический уровень в течение восьми периодов внутреннего синхросигнала с момента включения счетчика. В противном случае переход в ноль рассматривается как ложный старт и игнорируется.

После обнаружения достоверного стартового бита очередной бит данных фиксируются каждые 16 отсчетов тактового сигнала. Производится регистрация всех бит данных (согласно запрограммированным параметрам) и бита четности (если включен режим контроля четности).

По окончании приема байта производится проверка присутствия корректного стопового бита (высокий логический уровень сигнала UART_RXD). После чего байт заносится в буфер приемника вместе с тремя битами признаков ошибки (см. рисунок 15.2) и битом переполнения буфера.

В 12-разрядной ячейке буфера байт данных располагается в области младших восьми бит, три бита признаков ошибки – в битах с 8 по 10.

Флаг переполнения буфера приемника выставляется в том случае, если к моменту когда очередной кадр данных полностью принят буфер уже заполнен. В этом случае принятый кадр остается в сдвиговом принимающем регистре и, в случае приема следующего кадра данных, будет потерян.

Как только в буфере приемника освобождается место для записи, кадр данных находящийся в сдвиговом регистре переписывается в буфер, а флаг переполнения сбрасывается.

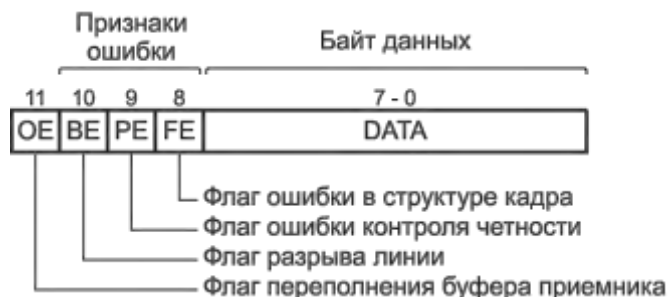


Рисунок 15.2 – 12-разрядная ячейка принимающего буфера

Данные из буфера приемника можно прочитать посредством регистра DR. Состояние признаков ошибки и флага переполнения определяется чтением регистра

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

RSR_ECR и относится к последнему байту, считанному из регистра DR, в связи с этим регистр DR всегда должен считываться первым.

Все флаги сбрасываются одновременно записью любого значения в регистр RSR_ECR или после сброса устройства.

Примечания:

1 Необходимо запрещать работу приемопередатчика перед перепрограммированием его регистров управления. Если приемопередатчик переводится в отключенное состояние во время передачи или приема, то перед остановкой он завершает выполняемую операцию.

2 Целостность данных в буферах передатчика и приемника не гарантируется если установился флаг BRK (разрыв линии), или если программное обеспечение произвело остановку приемопередатчика после его повторного перевода в разрешенное состояние.

Режим модема

Приемопередатчик может использоваться как оконечное устройство или как оборудование передачи данных. Сигналы модема в режиме оконечного устройства и их назначение представлено в таблице 15.1.

Таблица 15.1 – Назначение сигналов в режиме модема

Сигнал	Назначение в зависимости от режима работы		Режим работы вывода
	Оконечное устройство	Оборудование передачи данных	
UART_RTS	Готов к передаче данных	Запрос передачи данных	Выход
UART_CTS	Запрос передачи данных	Готов к передаче данных	Вход
UART_DTR	Приемник данных готов	Источник данных готов	Выход
UART_DSR	Источник данных готов	Приемник данных готов	Вход
UART_DCD	Обнаружен информационный сигнал	–	Вход
UART_OUT1	–	Обнаружен информационный сигнал	Выход
UART_RI	Индикатор вызова	–	Вход
UART_OUT2	–	Индикатор вызова	Выход

Аппаратное управление потоком данных

Программно активируемый режим аппаратного управления потоком данных позволяет контролировать (приостанавливать и возобновлять) информационный обмен с помощью сигналов UART_RTS и UART_CTS. Иллюстрация взаимодействия двух устройств последовательной связи с аппаратным управлением потоком данных представлена рисунке 15.3.

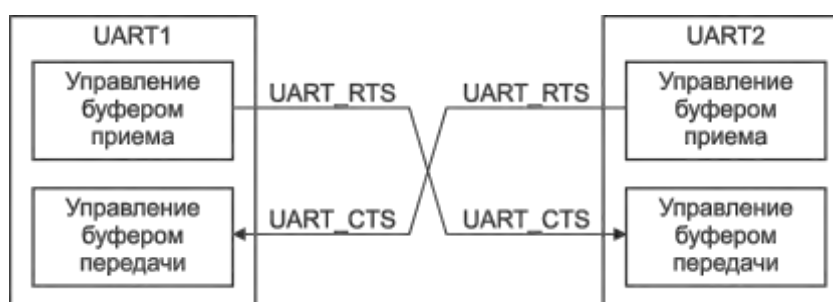


Рисунок 15.3 – Взаимодействие двух устройств последовательной связи с аппаратным управлением потоком данных

Если разрешено управление потоком данных по сигналу RTS, линия UART_RTS переводится в активное состояние только после того, как в буфере приемника появляется заданное количество свободных ячеек.

Если разрешено управление потоком данных по сигналу CTS, передача данных осуществляется только после перевода линии UART_CTS в активное состояние.

Режим аппаратного управления потоком данных задается путем задания битов RTSEN и CTSEN в регистре управления CR.

Примечание – В случае если выбран режим управления потоком данных по RTS, программное обеспечение не может использовать бит RTSEN для проверки состояния линии RTS.

Логика управления потоком данных по RTS использует данные о превышении уровня заполнения буфера приемника. Сигнал на линии UART_RTS переводится в активное состояние только после того, как в буфере приемника появляется заданное количество свободных ячеек. После достижения порогового уровня заполнения буфера приемника сигнал UART_RTS снимается (переводится в пассивное состояние), указывая, таким образом, на отсутствие свободного места для сохранения принятых данных. При этом дальнейшая передача данных должна быть прекращена по завершении передачи текущего кадра.

Обратно в активное состояние сигнал UART_RTS переводится после считывания данных из буфера приемника в количестве, достаточном для того, чтобы заполнение буфера оказалось ниже порогового уровня.

В случае если управление потоком данных по RTS запрещено, но при этом работа приемопередатчика разрешена, прием будет осуществляться до полного заполнения буфера приемника, либо до завершения передачи данных.

В случае выбора одного из режимов с управлением потоком данных по CTS передатчик осуществляет проверку состояния линии UART_CTS перед началом передачи очередного байта данных. Передача осуществляется только в случае, если данная линия активна, и продолжается до тех пор, пока активное состояние линии сохраняется и буфер передатчика не пуст.

При переходе линии UART_CTS в неактивное состояние модуль завершает выдачу текущего передаваемого кадра, после чего передача данных прекращается.

Если управление потоком данных по CTS запрещено, и при этом работа приемопередатчика UART разрешена, данные будут выдаваться до опустошения буфера передатчика.

15.2 Интерфейс прямого доступа к памяти

Приемопередатчик оснащен интерфейсом подключения к контроллеру прямого доступа к памяти. Работа в данном режиме контролируется регистром управления DMA CR. Интерфейс DMA включает в себя шесть сигналов.

UARTRXDMSREQ (для приема) – запрос передачи отдельного символа, инициируемый приемопередатчиком. Размер символа в режиме приема данных – до 12 бит. Сигнал переводится в активное состояние в случае, если буфер приемника содержит, по меньшей мере, один символ;

UARTRXDMSABREQ (для приема) – запрос блочного обмена данными, инициируемый приемопередатчиком. Сигнал переходит в активное состояние в случае, если заполнение буфера приемника превысило заданный порог. Порог программируется индивидуально для каждого буфера посредством полей регистра IFLS.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

UARTRXDMACLR (для приема) – сброс запроса на DMA, инициируемый приемопередатчиком. В случае если был запрошен блочный обмен данными, сигнал сброса формируется в ходе передачи последнего символа данных в блоке.

UARTTXDMASREQ (для передачи) – запрос передачи отдельного символа, инициируемый приемопередатчиком. Размер символа в режиме передачи данных – до восьми бит. Сигнал переводится в активное состояние в случае, если буфер передатчика содержит, по меньшей мере, одну свободную ячейку.

UARTTXDMABREQ (для передачи) – запрос блочного обмена данными, инициируемый приемопередатчиком. Сигнал переводится в активное состояние в случае, если заполнение буфера передатчика ниже заданного порога. Порог программируется индивидуально для каждого буфера посредством полей регистра IFLS.

UARTTXDMACLR (для передачи) – сброс запроса на DMA, инициируемый контроллером DMA с целью сброса принятого запроса. В случае если был запрошен блочный обмен данными, сигнал сброса формируется в ходе передачи последнего символа данных в блоке.

Сигналы блочного и одноэлементного обмена данными не являются взаимно исключаящими, они могут быть инициированы одновременно. Например, в случае, если заполнение данными буфера приемника превышает пороговое значение, формируется как сигнал запроса одноэлементного обмена, так и сигнал запроса блочного обмена данными. В случае если количество данных в буфере приема меньше порогового значения формируется только запрос одноэлементного обмена. Это бывает полезно в ситуациях, при которых объем данных меньше размера блока.

Пусть, например, нужно принять 19 символов, а порог заполнения буфера установлен равным четырем. Тогда контроллер DMA осуществит четыре передачи блоков по четыре символа, а оставшиеся три символа передаст в ходе трех одноэлементных обменов, поскольку для них блок UART не может инициировать процедуру блочного обмена.

Каждый инициированный приемопередатчиком сигнал запроса DMA остается активным до момента его сброса соответствующим сигналом DMACLR.

После снятия сигнала сброса модуль приемопередатчика вновь получает возможность сформировать запрос на DMA в случае выполнения описанных выше условий. Все запросы DMA снимаются после запрета работы приемопередатчика, а также в случае установки в ноль бита управления DMATXDMAE или RXDMAE в регистре управления DMACR

В случае запрета буферов устройство способно передавать и принимать только одиночные символы и, как следствие, контроллер может инициировать DMA только в одноэлементном режиме. При этом модуль в состоянии формировать только сигналы управления DMAUARTRXDMAREQ и UARTTXDMASREQ.

Когда буферы включены, обмен данными может производиться в ходе как одноэлементных, так и блочных передач данных, в зависимости от установленной величины порога заполнения буферов и их фактического заполнения.

В таблице 15.2 указаны значения параметров срабатывания запросов блочного обмена UARTRXDMAREQ и UARTTXDMABREQ в зависимости от порога заполнения буфера.

Таблица 15.2 – Параметры срабатывания запросов блочного обмена данными в режиме DMA

Пороговый уровень	Количество незаполненных ячеек буфера передатчика	Количество заполненных ячеек буфер приемника
1/8	14	2
1/4	12	4
1/2	8	8
3/4	4	12

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

7/8	2	14
-----	---	----

В регистре управления DMACR предусмотрен бит DMAONERR, который позволяет запретить DMA от приемника в случае активного состояния линии прерывания по обнаружению ошибки **UARTEINTR**. При этом соответствующие линии запроса DMA – UARTRXDMASREQ и UARTRXDMABREQ переводятся в неактивное состояние (маскируются) до сброса UARTEINTR. На линии запроса DMA, обслуживающие передатчик, состояние UARTEINTR не влияет.

15.3 Прерывания

В модуле предусмотрено 11 маскируемых источников прерываний. В результате формируется один общий сигнал, представляющий собой комбинацию независимых сигналов, объединенных по схеме ИЛИ.

Сигналы запросов на прерывания:

UART_RX – от приемника;

UART_TX – от передатчика;

UART_RT – по таймауту приемника;

UART_MS – по состоянию модема;

UART_E – по ошибке;

UART_INT – логическое ИЛИ сигналов запросов на прерывания.

Каждый из сигналов может быть маскирован путем установки соответствующего бита в регистре маски IMSC.

Источник прерывания также можно определить считав состояние регистра RIS или регистра MIS (маскированные прерывания).

UART_RX

Прерывание возникает в случае обнаружения одного из событий:

- буфер приемника в режиме FIFO и его заполнение достигло заданного порогового значения;

- буфер приемника имеет одну ячейку (режим FIFO запрещен) и принят один кадр данных.

Линия прерывания переходит в высокое состояние и удерживается в нем до тех пор, пока из буфера не будет прочитан как минимум один байт или выполнен программный сброс прерывания (регистр ICR).

UART_TX

Прерывание возникает в случае обнаружения одного из событий:

- буфер передатчика в режиме FIFO и его опустошение достигло заданного порогового значения;

- буфер передатчика имеет одну ячейку (режим FIFO запрещен) и пуст.

Линия прерывания переходит в высокое состояние и удерживается в нем до тех пор, пока в буфер не будет записан как минимум один байт или выполнен программный сброс прерывания.

Запись данных в буфер передатчика допускается как перед разрешением работы приемопередатчика и прерываний, так и после разрешения.

Примечание – Прерывание передатчика работает по фронту, а не по уровню сигнала. В случае если работа приемопередатчика и прерывания от него разрешена до осуществления записи данных в буфер передатчика, прерывание не формируется. Прерывание возникает только при опустошении буфера.

UART_RT

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Прерывание возникает в случае, если буфер приемника не пуст, и на вход приемника не поступало новых данных в течение периода времени, необходимого для передачи 32 бит. Прерывание сбрасывается после считывания данных из буфера приемника до его опустошения или программно.

UART_MS

Прерывание возникает в случае изменения любой из линий состояний модема (UART_CTS, UART_DCD, UART_DSR, UART_RI). Прерывание сбрасывается программно.

UART_E

Прерывание возникает в случае ошибки при приеме данных. Оно может быть вызвано:

- ошибкой в структуре кадра;
- ошибкой контроля четности;
- разрывом линии;
- переполнением буфера приемника.

Причину возникновения прерывания можно определить, прочитав содержимое регистра RIS, либо регистра MIS.

Сброс прерывания осуществляется программно.

15.4 Программирование

Для программирования рекомендуется следующая последовательность действий:

- запретить работу приемопередатчика;
- дождаться окончания приема и/или передачи текущего байта данных;
- сбросить буфер передатчика посредством сброса бита FEN регистра LCR_H;
- изменить настройки регистра CR;
- разрешить работу приемопередатчика.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

16 Контроллеры интерфейса SPI

Контроллер интерфейса SPI реализует интерфейс последовательной синхронной связи в режиме ведущего (мастера) и ведомого устройства и обеспечивает обмен данными с подключенным ведомым или ведущим периферийным устройством в соответствии с одним из трех протоколов фирм Motorola, National Semiconductor, Texas Instruments.

Последовательный синхронный интерфейс SPI фирмы Motorola обеспечивает полнодуплексный обмен данными по четырехпроводной линии и программное задание фазы и полярности тактового сигнала.

Интерфейс Microwire фирмы National Semiconductor обеспечивает полудуплексный обмен данными с использованием 8-битных управляющих последовательностей.

Интерфейс SSI фирмы Texas Instruments обеспечивает полнодуплексный обмен данными по четырехпроводной линии и возможность перевода линии передачи данных в третье (высокоимпедансное) состояние.

Выбор интерфейса осуществляется посредством поля FRF регистра CR0.

В состав микроконтроллера входят четыре идентичных контроллера SPI0, SPI1, SPI2, SPI3.

В режиме мастера и в режиме ведомого устройства контроллер SPI обеспечивает:

- передачу данных, размещенных в буфере передатчика (восемь 16-разрядных ячеек);

- прием данных и размещение их в буфере приемника (восемь 16-разрядных ячеек).

Контроллер формирует сигналы прерываний по следующим событиям:

- необходимость обслуживания буферов приемника и/или передатчика;

- переполнение буфера приемника;

- наличие данных в буфере приемника по истечении времени таймаута.

Основные характеристики:

- программное управление скоростью обмена;

- программируемая длительность информационного кадра от 4 до 16 бит;

- независимое маскирование прерываний от буферов передатчика и приемника;

- поддержка прямого доступа к памяти (DMA).

16.1 Структура контроллера SPI

Упрощенная функциональная схема контроллера SPI с блоком синхронизации показана на рисунке 16.1.

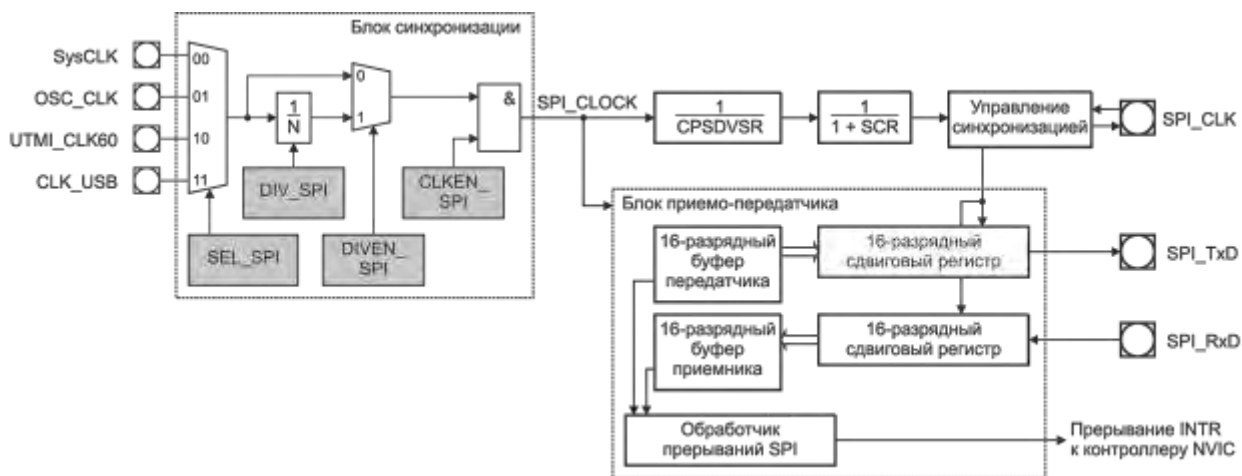


Рисунок 16.1 – Упрощенная функциональная схема контроллера SPI

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Синхронизация

Тактирование контроллера SPI осуществляется тактовым сигналом SPI_CLOCK, который формируется на основе одного из четырех базовых синхросигналов (см. раздел 4 Система тактирования микроконтроллера).

Существует ограничение на соотношение между тактовыми частотами SysCLK и SPI_CLOCK:

$$\text{SPI_CLOCK} \leq \text{SysCLK}.$$

В режиме мастера на основе сигнала SPI_CLOCK посредством двух последовательно стоящих делителей формируется сигнал тактирования передачи и приема данных с частотой Fspi_clk, которую можно вычислить по формуле:

$$F_{\text{spi_clk}} = \frac{F_{\text{spi_clock}}}{\text{CPSDVSR} \times (1 + \text{SCR})},$$

где:

- Fspi_clock – частота входного синхросигнала SPI_CLOCK;
- CPSDVSR – коэффициент первого делителя частоты (задается в регистре SPCR);
- SCR – коэффициент второго делителя частоты (задается в регистре SR0).

Сформированный синхросигнал подается на вывод SPI_CLK (skonфигурированный как выход) микроконтроллера и далее к подключенным внешним ведомым устройствам.

В режиме ведомого значения коэффициентов делителей не важны. Внешний синхросигнал подается на вывод SPI_CLK (skonфигурированный как вход) и тактирует прием и передачу данных.

Для корректной работы всегда должны соблюдаться условия:

- в режиме мастера для формируемого синхросигнала

$$F_{\text{spi_clk}} \leq \text{SysCLK}/2,$$

- в режиме ведомого для входящего внешнего синхросигнала

$$F_{\text{spi_clk}} \leq \text{SysCLK}/12.$$

Буферы приема и передачи

Для хранения передаваемых и принятых данных в контроллере SPI имеются два 16-разрядных буфера, организованных по типу FIFO. Каждый буфер может хранить до 8 слов данных. Буфер для передаваемых данных доступен только для записи, а буфер принятых данных – только для чтения.

Данные для передачи записываются в буфер через регистр SPI_DR. Допускается заранее заполнить буфер или записывать в него данные в течение работы контроллера. Состояние буфера можно контролировать с помощью битов TNF и TFE регистра SR. Если контроллер выключен (сброшен бит SSE регистра CR1), то запись в регистр SPI_DR приведет к тому, что данные будут размещены в буфере и будут переданы после включения контроллера. Если контроллер включен и выбран режим мастера, то в случае отсутствия данных в буфере запись в регистр SPI_DR приведет к немедленному началу передачи. Если запись данных в регистр SPI_DR происходит во время текущей передачи, то данные размещаются в буфере.

Полученные данные автоматически сохраняются в буфере принятых данных. Извлечь данные из буфера возможно чтением регистра SPI_DR. Состояние буфера можно контролировать с помощью битов RFFF и RNE регистра SR.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Размер передаваемого кадра данных может быть от 4 до 16 бит, что задается полем DSS регистра CR0. Если выбран размер кадра менее 16 бит, данные выравниваются по правой границе; неиспользуемые биты игнорируются.

Оба буфера могут генерировать четыре независимых маскируемых прерывания TXINTR (запрос на обслуживание буфера передатчика), RXINTR (запрос на обслуживание буфера приемника), RTINTR (таймаут ожидания чтения данных из буфера приемника), RORINTR (переполнение буфера приемника). Четыре линии прерываний объединены по ИЛИ. Появление любого из прерываний генерирует прерывание контроллера SPI, которое передается в контроллер прерываний NVIC.

Управление прерываниями и контроль их состояния осуществляется посредством регистров SPI_IMSC, SPI_RIS, SPI_MIS, SPI_ICR.

Интерфейс прямого доступа к памяти

Контроллер SPI имеет интерфейс подключения к контроллеру прямого доступа к памяти. Работа в данном режиме контролируется регистром SPI_DMACR.

Интерфейс DMA включает в себя следующие сигналы:

Для приема:

- SSPRXDMASREQ – запрос передачи отдельного слова, инициируется приемопередатчиком. Сигнал переводится в активное состояние в случае, если буфер приемника содержит по меньшей мере одно слово;

- SSPRXDMABREQ – запрос блочного обмена данными, инициируется приемопередатчиком. Сигнал переходит в активное состояние в случае, если буфер приемника содержит четыре или более слов;

- SSPRXDMACLR – сброс запроса на DMA, инициируется контроллером DMA с целью сброса принятого запроса. В случае, если был запрошен пакетный обмен данными, сигнал сброса формируется в ходе передачи последнего слова данных в пакете.

Для передачи:

- SSPTXDMASREQ – запрос передачи отдельного слова, инициируется приемопередатчиком. Сигнал переводится в активное состояние в случае, если буфер передатчика содержит по меньшей мере одну свободную ячейку;

- SSPTXDMABREQ – запрос блочного обмена данными, инициируется приемопередатчиком. Сигнал переводится в активное состояние в случае, если буфер передатчика содержит четыре или менее слов;

- SSPTXDMACLR – сброс запроса на DMA, инициируется контроллером DMA с целью сброса принятого запроса. В случае если был запрошен пакетный обмен данными, сигнал сброса формируется в ходе передачи последнего слова данных в пакете.

Сигналы пакетного и одиночного обмена данными не являются взаимоисключающими, они могут быть инициированы одновременно. Например, в случае, если в буфере приемника более четырех слов данных, формируются как сигнал запроса одиночного обмена, так и сигнал запроса пакетного обмена данными. В случае если количество слов данных в буфере приема меньше четырех, формируется только запрос одиночного обмена. Это бывает полезно в ситуациях, при которых объем данных меньше размера пакета.

Например, нужно принять 19 слов. Тогда контроллер DMA осуществит четыре пакетные передачи блоков по четыре слова, а оставшиеся три слова – в ходе трех одиночных обменов, поскольку для них контроллер SPI не инициирует процедуру пакетного обмена.

Каждый инициированный приемопередатчиком сигнал запроса DMA остается активным до момента его сброса соответствующим сигналом от контроллера DMA.

После снятия сигнала сброса приемопередатчик вновь получает возможность сформировать запрос на DMA в случае выполнения описанных выше условий. Все

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

запросы DMA снимаются после запрета работы приемопередатчика, а также в случае снятия сигнала разрешения DMA.

Для срабатывания запросов пакетного обмена DMABREQ необходимо, чтобы буферы приемника и передатчика были заполнены наполовину.

16.2 Функционирование

После сброса микроконтроллера работа приемопередатчика запрещена. Прежде чем разрешить работу битом SSE регистра CR1 следует сконфигурировать контроллер посредством регистров CR0 и CR1, а также, если это необходимо, запрограммировать маски прерываний.

Динамическое изменение конфигурации устройства не допускается.

Для протокола SPI дополнительно задаются полярность и фаза сигнала (биты SPH и SPO регистра CR0).

После разрешения работы приемопередатчик готов к обмену данными с внешними устройствами по линиям SPI_TxD (передача данных к внешнему устройству) и SPI_RxD (прием данных от внешнего устройства).

В зависимости от режима работы сигнал на линии SPI_FSS используется либо для кадровой синхронизации (интерфейс SSI, активное состояние – высокий уровень), либо для выбора устройства в режиме ведомого (интерфейсы SPI и Microwire, активное состояние – низкий уровень).

Во всех трех режимах SPI, Microwire и SSI синхросигнал SPI_CLK формируется только тогда, когда приемопередатчик готов к обмену данными. Перевод сигнала SPI_CLK в неактивное состояние используется как признак таймаута приемника, то есть наличия в буфере приемника необработанных данных по истечении заданного интервала времени.

Установка бита MS регистра CR1 включает режим ведомого устройства. В этом режиме разрешение или запрещение передачи данных через выход SPI_TxD контролируется битом SOD. На прием синхросигнала и данных состояние этого бита влияния не оказывает.

Интерфейс SPI

Реализует полнодуплексный режим передачи данных.

Включает одну линию синхронизации SPI_CLK, две линии приема и передачи данных SPI_RxD и SPI_TxD, а также линию выбора устройства (для режима ведомого) SPI_FSS.

Если устройство функционирует в режиме ведомого, то на его вход SPI_FSS должен подаваться низкий уровень сигнала в течение всей передачи кадра (последовательность передаваемых бит данных длиной от 4 до 16 бит).

Передача данных может быть одиночной (один кадр) или непрерывной (более одного кадра подряд). Данные передаются старшим битом вперед.

Особенностью интерфейса SPI является то, что в нем реализована возможность задания полярности и фазы тактового сигнала. Бит SPO регистра CR0 задает полярность тактового сигнала, т.е. определяет, какой уровень сигнала будет удерживаться на линии SPI_CLK в то время, когда линия не активна.

Бит SPH задает фазу тактового сигнала. Фактически, он задает порядок считывания и выставления данных. По умолчанию, бит SPH сброшен, и выставление данных на линиях SPI_TxD и SPI_RxD происходит по переднему фронту сигнала синхронизации, а выборка – по заднему.

Передним всегда считается тот фронт сигнала, который является началом передачи первого бита (см. рисунок 16.3).

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

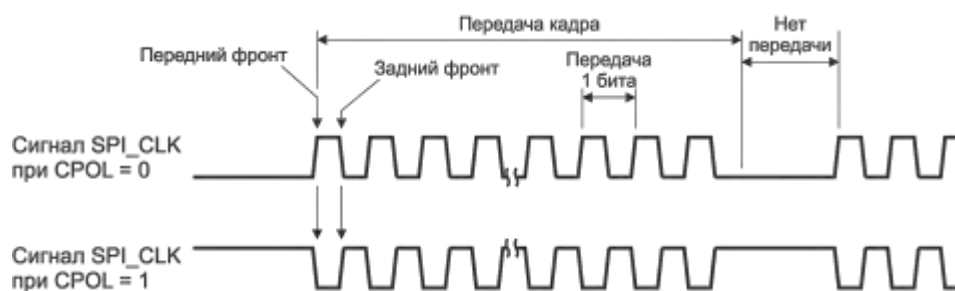


Рисунок 16.3 – Сигнал синхронизации SCK при разных состояниях бита CPOL

Комбинации битов SPO и SPH задают четыре режима обмена данными (см. рисунок 16.4).

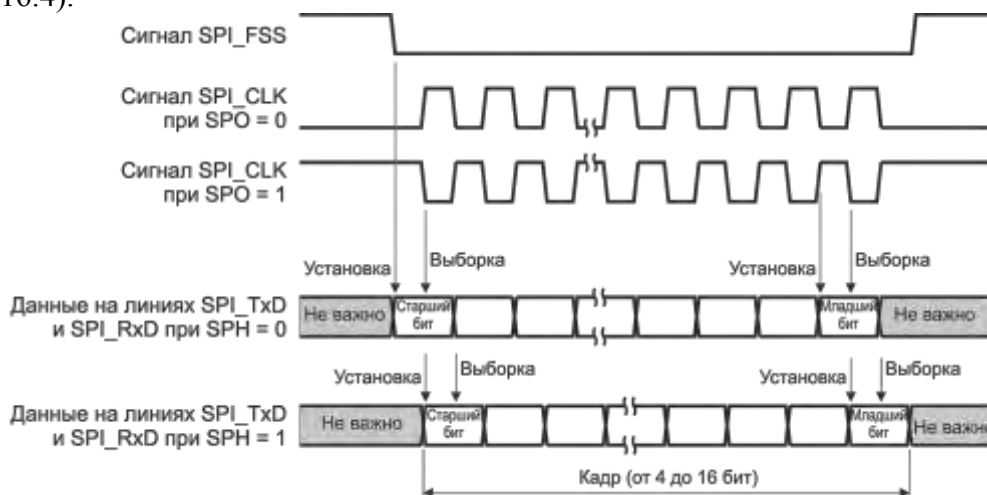


Рисунок 16.4 – Передача кадра данных в интерфейсе SPI

На рисунке 16.5 показано поведение сигналов при непрерывной передаче кадров данных.

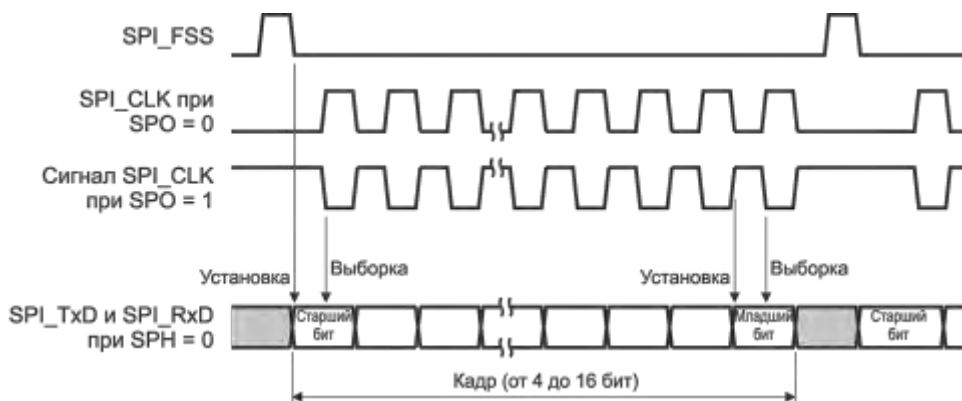


Рисунок 16.5 – Непрерывная передача кадров данных

В режиме непрерывной передачи данных при условии $SPH = 0$ на линии SPI_FSS должны формироваться импульсы между передачами кадров данных. Это связано с тем, что в этом режиме низкий уровень сигнала на линии SPI_FSS ведомого устройства блокирует запись в сдвиговый регистр. Поэтому мастер должен переводить линию SPI_FSS в высокий уровень по окончании передачи каждого кадра, разрешая, таким образом, запись новых данных. По окончании приема последнего бита кадра линия SSP_FSS переводится в состояние логической единицы по истечении одного такта сигнала SPI_CLK.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

В режиме непрерывной передачи данных при условии $SPH = 1$ низкий уровень сигнала на линии SPI_FSS не блокирует запись в сдвиговый регистр. Поэтому линия SPI_FSS может оставаться в состоянии нуля в течение передачи всех кадров и переведена в состояние логической единицы только по окончании передачи.

Интерфейс Microwire

Реализует полудуплексный режим передачи данных.

Включает линию синхронизации SPI_CLK, две линии приема и передачи данных SPI_RxD и SPI_TxD, а также линию выбора устройства (для режима ведомого) SPI_FSS.

Если устройство функционирует в режиме ведомого, то на его вход SPI_FSS должен подаваться низкий уровень сигнала в течение всей передачи кадра (последовательность передаваемых бит данных длиной от 4 до 16 бит).

Передача данных может быть одиночной (один кадр) или непрерывной (более одного кадра подряд). Данные передаются старшим битом вперед.

Перед началом передачи линия SPI_FSS переводится в низкое состояние.

Каждая передача начинается с передачи от мастера к ведомым 8-битной управляющей последовательности. В течение передачи этой последовательности приемник мастера не обрабатывает входящие данные. После того как управляющая последовательность передана и декодирована одним из ведомых устройств, этот ведомый выдерживает паузу в один такт синхросигнала и начинает передавать мастеру кадр данных (см. рисунок 16.6).

Выставление данных происходит по заднему фронту сигнала SPI_CLK, а считывание – по переднему.

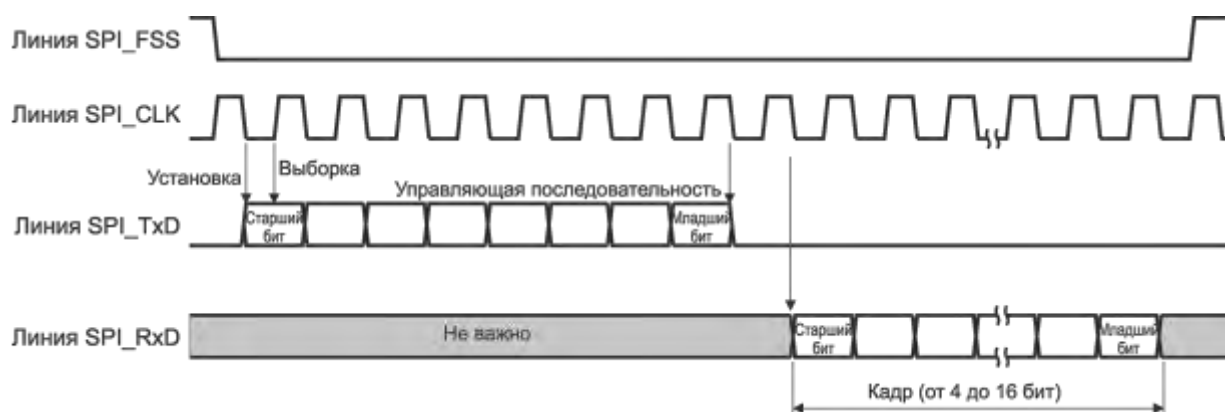


Рисунок 16.6 – Передача кадра данных в интерфейсе Microwire

По окончании приема данных линия SPI_FSS переводится в высокое состояние.

Примечание – в течение времени, когда передается управляющая последовательность и между передачами линия SPI_RxD может находиться в третьем состоянии.

В режиме непрерывной передачи начало и завершение передачи нескольких кадров данных аналогично передаче одного кадра. Линия SPI_FSS удерживается в нуле в течение всего сеанса передачи. По окончании передачи одного кадра данных начинается передача управляющей последовательности без паузы (см. рисунок 16.7).

Примечание – Буферы FIFO приема и передачи данных не очищаются автоматически, даже в случае запрещения работы сбросом бита SSE.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

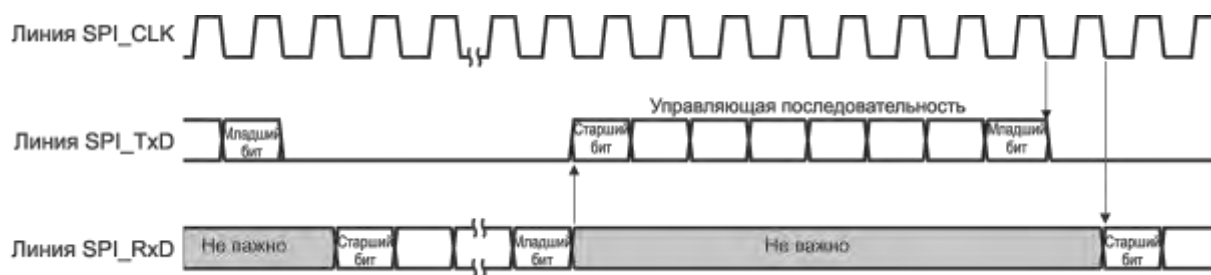


Рисунок 16.6 – Передача кадров данных в интерфейсе Microwire

Интерфейс SSI

Реализует полнодуплексный режим передачи данных.

Включает одну линию синхронизации SPI_CLK, две линии приема и передачи данных SPI_RxD и SPI_TxD, а также линию выбора устройства SPI_FSS.

Перед началом передачи каждого кадра на линии SPI_FSS формируется импульс длительностью в один период сигнала SPI_CLK. Далее мастер и ведомый передают данные. Установка данных производится по переднему фронту синхросигнала, а выборка – по заднему (см. рисунок 16.7). Весь цикл передачи начинается сразу же после появления хотя бы одного элемента в буфере FIFO передатчика.

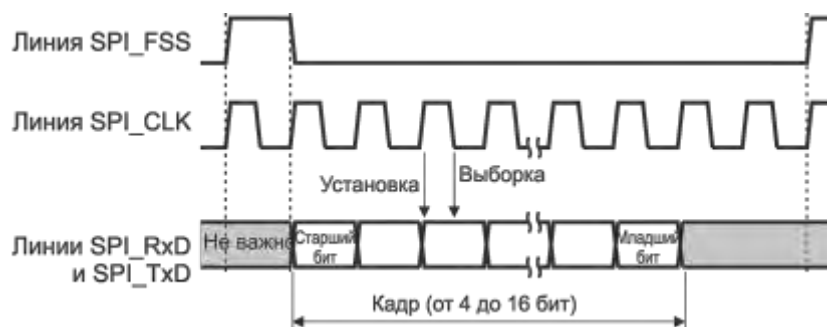


Рисунок 16.7 – Передача кадра данных в интерфейсе SSI

Режим непрерывной передачи кадров данных показан на рисунке 16.8.

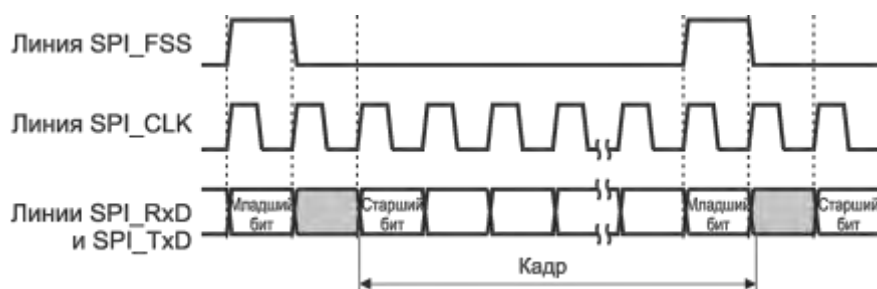


Рисунок 16.8 – Передача кадров данных в интерфейсе SSI

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Инв. №	Подп. и дата

16.3 Прерывания

Четыре маскируемых источника прерываний объединены по ИЛИ, и в результате формируется один общий сигнал прерывания SPI, поступающий на контроллер INVC.

Сигналы источников запросов на прерывания:

TX – от приемника при заполнении его наполовину;

RX – от передатчика при опустошении его наполовину;

RT – по таймауту приемника (буфер приемника не пуст и не было попыток обращения к нему в течение времени равного передаче 32 бит);

ROR – по переполнению буфера приемника.

Каждый из сигналов может быть маскирован путем сброса соответствующего бита в регистре маски SPI_IMSC.

Для определения источника прерывания следует прочитать регистр SPI_RIS или регистр SPI_MIS (маскированные прерывания).

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

17 Контроллер интерфейса I2C

Модуль контроллера I2C обеспечивает полную поддержку двухпроводного последовательного синхронного интерфейса I2C/SMBus. Результат такой совместимости – легкое соединение со многими запоминающими устройствами и устройствами ввода-вывода, включая EEPROM, SRAM, счетчики, АЦП, ЦАП, периферийные устройства.

Функциональные возможности модуля:

- совместимость с протоколами SMBus 1.1 и SMBus 2.0, ACCESS.Bus, I2C 2.1;
- поддержка скоростного/стандартного (FS) и высокоскоростного (HS) режимов;
- программирование действий мастера/ведомого;
- возможность подключения к шине нескольких ведущих устройств, т.е. поддержка режима мультимастера (MM);

- один программно задаваемый адрес;
- 7- или 10-битная адресация ведомого;
- поддержка адреса общего вызова.

Особые возможности SMBus:

- отслеживание времени простоя линии SCL;
- наличие функции отслеживания ошибок в пакетах данных (PEC) с использованием метода расчета контрольной суммы (CRC);
- поддержка адреса отклика мастера;
- поддержка полинга и контроля прерываний.

17.1 Протокол шины

Протокол I2C использует двухпроводной интерфейс для двусторонней связи между устройствами, подключенными к шине. Двухнаправленная шина состоит из двух линий: данных SDA и тактового сигнала SCL. Эти линии подключены к источнику питания через подтягивающие резисторы. Шинные формираторы любых устройств, подключаемых к шине, выполняются по схеме с открытым коллектором или открытым стоком. Устройства могут выставить только низкий уровень на соответствующей линии. Следовательно, обе линии SDA и SCL реализуют функцию «монтажное И».

Протокол поддерживает режим мультимастера, в котором шина может контролироваться одним или несколькими устройствами из подключенных к шине. Каждое устройство, подключенное к шине, имеет свой адрес и может быть как приемником, так и передатчиком (некоторые только приемниками).

Операции с данными

Устройство, которое начинает передачу данных, становится мастером. Мастер генерирует тактовый сигнал SCL, а также инициирует и завершает передачу данных по шине. За один такт сигнала SCL передается один бит данных по линии SDA (рисунок 17.1).



Рисунок 17.1– Передача бита данных

Данные валидны (верны), пока уровень сигнала на линии SCL высокий. Когда на линии SCL низкий уровень сигнала, данные могут меняться.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Старт и стоп

Состояние старта формируется тогда, когда на линии SCL держится высокий уровень сигнала, а на линии SDA возникает перепад уровня сигнала из высокого в низкий (см. рисунок 17.2).

Состояние стопа (останова) формируется тогда, когда на линии SCL держится высокий уровень сигнала, а на линии SDA возникает перепад уровня сигнала из низкого в высокий (см. рисунок 17.2).

Состояния старта и стопа формирует только мастер.

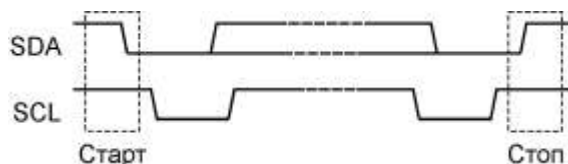


Рисунок 17.2– Состояния старта и стопа

После того, как сформировано состояние старта, шина считается занятой и другие устройства не должны пытаться управлять ей. Шина считается занятой до тех пор, пока не будет сформировано состояние стопа. В середине передачи может быть сформировано состояние повторного старта, если мастеру нужно обратиться к другому ведомому или если требуется изменение направления передачи данных без потери контроля над шиной (см. рисунок 17.3).

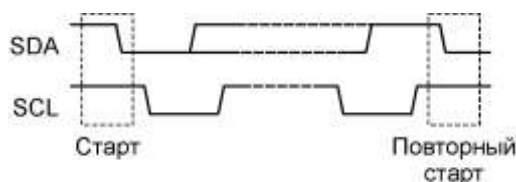


Рисунок 17.3 – Состояние повторного старта

Арбитраж

Арбитраж выполняется в момент времени, когда на линии SCL находится «1». Два устройства могут сгенерировать стартовое состояние в одно и то же время. Далее арбитраж будет продолжаться до тех пор, пока одно из устройств сформирует «0», а другое – «1» на линии SDA. Устройство, которое установило «1» на линии SDA, проигрывает арбитраж. На рисунке 17.4 приведен пример арбитража.

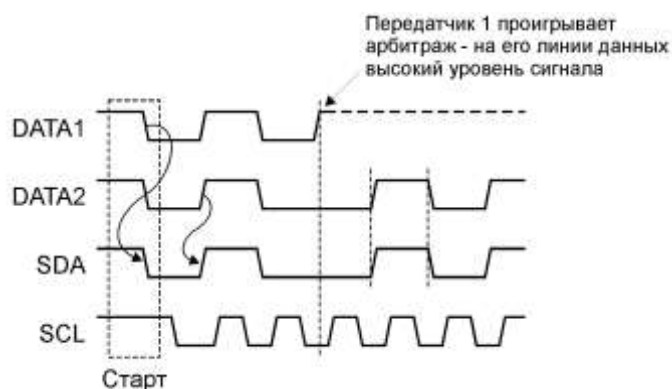


Рисунок 17.4 – Арбитраж на линии SDA

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Два устройства передают свои данные DATA1 и DATA2 на линию SDA. В момент времени, когда очередной бит данных DATA1 равен «1», а бит данных DATA2 равен «0», второе устройство выигрывает арбитраж и продолжает передачу своих данных, а первое устройство прекращает передачу.

Если устройство проигрывает арбитраж во время передачи первого байта после старта (во время передачи адреса ведомого), оно становится ведомым приемником и мониторит передаваемый адрес на случай совпадения. Арбитраж также может быть проигран в режиме мастера приемника во время квитирования или в режиме ведомого передатчика во время ответа на адрес отклика на сигнал предупреждения.

В случае проигрывания арбитража в битовом поле MODE регистра SMBST устанавливается соответствующий код и генерируется прерывание.

Синхронизация

Синхронизация тактовых сигналов разных устройств, подключенных к шине I2C, реализуется в случаях, когда несколько устройств являются мастерами, и выполняется с использованием той особенности, что линия SCL реализована как монтажное «И» линий тактовых сигналов этих устройств. Для примера рассмотрим синхронизацию двух мастеров с линиями тактовых сигналов CLK1 и CLK2 (см. рисунок 17.5).



Рисунок 17.5 – Синхронизация

Линия SCL переводится в состояние «0» сразу, как только один из мастеров выставляет на своей линии тактового сигнала низкий уровень сигнала (CLK1 на рисунке 17.5). При этом его внутренний счетчик длительности низкого уровня сигнала сбрасывается и начинает отсчет. Второй мастер выставляет низкий уровень позже, и его счетчик также сбрасывается (CLK2).

Как только внутренний счетчик первого мастера переполнится, мастер выставит на линии CLK1 высокий уровень сигнала. Тем не менее, линия SCL будет по-прежнему оставаться в состоянии «0», удерживаемая вторым мастером. В связи с этим, первый мастер перейдет в состояние ожидания (см. рисунок 17.5). Когда переполнится счетчик второго мастера, он выставит на линии CLK2 высокий уровень сигнала, и в этот момент линия SCL перейдет в состояние «1». С этого момента внутренние счетчики длительности высокого уровня сигнала обоих мастеров начнут синхронный отсчет.

Каждая передача данных состоит из начального состояния «старт», состояний передач битов и состояния «стоп». Данные передаются старшим битом (MSB) вперед. Передача каждого байта завершается квитированием, т.е. приемник подтверждает окончание приема сигналом подтверждения (ACK). Ведомое устройство может увеличивать паузу между тактовыми импульсами, удерживая на линии SCL сигнал низкого уровня, пока происходит обработка принятых данных или подготовка данных для следующей передачи. Этот процесс может происходить после передачи любого бита/байта (см. рисунок 17.6).

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

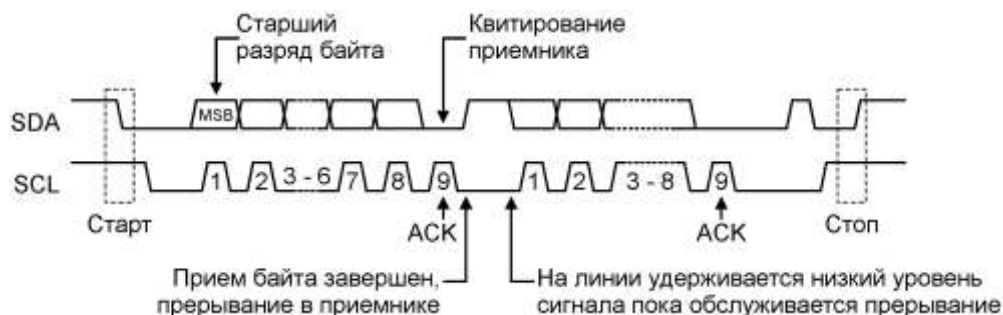


Рисунок 17.6 – Передача данных

Квитирование

Каждый байт посылки должен быть завершен квитированием, т.е. ответом на прием сигнала запроса подтверждения приема (ACK). На рисунках 17.6 и 17.7 показано положение момента квитирования в пределах посылки.

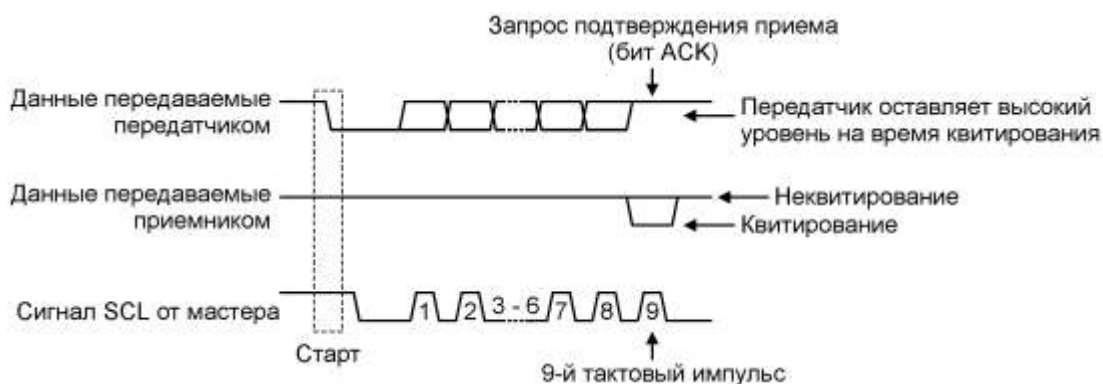


Рисунок 17.7 – Квитирование и неквитирование бита подтверждения ACK

Бит запроса подтверждения приема генерируется мастером. Передатчик (мастер или ведомый) в момент девятого такта синхросигнала оставляет линию SDA в состоянии «1» (бит ACK). В свою очередь, приемник должен сбросить линию SDA в «0» в течение времени, пока на линии SCL удерживается высокий уровень девятого импульса тактового сигнала, т.е. квитировать прием (см. рисунок 17.7). Если приемник не отвечает на запрос подтверждения и не подтверждает прием байта, то он оставляет линию SDA без изменений в состоянии «1», т.е. не квитирует прием.

Примечание – Все устройства, подсоединенные к шине I2C, в обязательном порядке должны квитировать бит ACK при получении байта с их собственным адресом. Этот механизм используется для отслеживания наличия отключившихся (самостоятельно или по каким-то причинам) от шины устройств.

Ведомое устройство имеет право не квитировать бит ACK в следующих случаях:

- если ведомый не может принять данные или он занят. Мастер, обнаружив неквитирование байта, должен сгенерировать состояние стопа и прервать передачу. Как альтернатива, ведомый может затянуть период низкого уровня сигнала тактирования на линии SCL для завершения своих операций и продолжить передачу;

- если ведомый обнаружил некорректную команду или некорректные данные. В этом случае, ведомый должен неквитировать принятый байт. Мастер, обнаружив неквитирование байта, должен сгенерировать состояние стопа и повторить передачу;

- если мастер функционирует как приемник, то, приняв байт, он должен сообщить ведомому об окончании данных неквитированием бита ACK, посланного ведомым. После этого ведомый передатчик должен освободить линию SDA для того, чтобы мастер смог сгенерировать состояние завершения передачи (состояние стопа).

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Формат передачи данных с 7-битной адресацией

На рисунке 17.8 показана передача адреса и двух байт данных. Каждому устройству, подключенному к шине, присваивается уникальный 7-битный адрес. Первые семь бит, передаваемые после старта, представляют собой адрес ведомого, восьмой бит (R/W#) определяет направление передачи – от ведомого (чтение, если R/W# = «1») или к ведомому (запись, если R/W# = «0»).



Рисунок 17.8 – Передача данных с 7-битной адресацией

Каждый ведомый, получивший байт адреса, сравнивает его со своим собственным адресом. Если адрес распознается как «свой», ведомый квитирует прием и далее, в зависимости от состояния бита R/W#, становится передатчиком или приемником.

Протокол SMBus/I2C позволяет генерировать адрес общего вызова для одновременного обращения ко всем устройствам, подключенным к шине. Первым передается адрес общего вызова (00h), затем следует байт назначения общего вызова. Ведомые, которые ожидают данные, квитируют этот байт и становятся приемниками, остальные игнорируют общий вызов.

Протокол SMBus/I2C поддерживает уникальную функцию – распознавание адреса отклика на сигнал предупреждения (Alert Response Address – ARA). В системах с несколькими ведомыми каждое устройство может послать мастеру сигнал предупреждения. Для этого используется дополнительная третья линия ALERT#, физически идентичная линиям SDA и SCL, реализованная по принципу монтажное «И». К этой линии также подключаются все устройства. Когда какому-то ведомому (или нескольким ведомым) необходимо обратиться к мастеру, он (или они) выставляет на линии ALERT# низкий уровень сигнала – это сигнал предупреждения (см. рисунок 17.9).



Рисунок 17.9 – Передача адреса отклика на сигнал предупреждения

Мастер, обнаружив «0» на линии ALERT#, обращается ко всем ведомым, посылая адрес отклика на сигнал предупреждения (ARA). Адрес состоит из семи битов (0001_100b) и бита R/W# = «1» (чтение). Ведомый, который отправил сигнал предупреждения, получив ARA, квитирует его и затем отправляет свой 7-битный адрес (восьмой бит может быть как «0», так и «1»), сообщая таким образом ведомому, какое именно устройство послало сигнал предупреждения. Кроме этого, ведомый, который выставлял «0» на линии ALERT#, должен перестать удерживать линию, чтобы на ней установился высокий уровень сигнала. В том случае, если несколько устройств посылали сигнал предупреждения, то после получения ARA, свой адрес передает то устройство, которое захватывает шину по стандартным правилам арбитража. Если после обслуживания ведомого мастер все еще обнаруживает на линии ALERT# низкий уровень

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

сигнала, он понимает это как то, что сигнал предупреждения посылался несколькими ведомыми. Мастер снова отправляет ARA и затем общается со следующим ведомым. Появление на линии ALERT# высокого уровня сигнала означает, что все ведомые, которые требовали обращения, обслужены.

Примечание – Описываемый в настоящем ТО модуль I2C не имеет выделенной линии ALERT#. При необходимости, пользователь может задействовать свободный вывод микроконтроллера и программно реализовать возможность передачи сигнала предупреждения от ведомого к мастеру. В свою очередь, функция распознавания адреса отклика (ARA) и последующей отправки собственного адреса реализована полностью. Включить функцию можно установкой бита SMBARE в регистре SMBCTRL1.

Формат передачи данных с 10-битной адресацией

10-битная адресация позволяет адресовать до 1024 ведомых устройств, с использованием резервной комбинации 1111_0xxb, которая передается по линии SDA сразу после старта. 10-битный формат полностью совместим с 7-битным форматом и может использоваться одновременно с ним, что позволяет соединять по шине I2C устройства с разной адресацией.

Основной идеей формата является передача 10-битного адреса в двух первых байтах, следующих сразу после старта. В первом байте передается значение 1111_0xxb, где «xx» – это два старших бита адреса и бит R/W# (на рисунке 17.10 обозначен символом «W» – запись), который должен быть равен «0», чтобы ведомый понял, что в следующем байте будут переданы остальные 8 бит адреса. Во втором байте передаются 8 бит адреса (см. рисунок 17.10).



Рисунок 17.10 – Передача данных ведомому с 10-битным адресом (для расшифровки обозначений, применяемых на рисунке, следует обратиться к таблице 17.1)

Чтобы осуществить чтение ведомого, которого адресует мастер, после второго байта адреса следует отправить бит повторного старта и затем комбинацию 1111_0xxb и бит R/W# (обозначен символом «R» – чтение), который на этот раз равен «1» (см. рисунок 17.11).




Рисунок 17.11 – Получение данных от ведомого с 10-битным адресом

На рисунках 17.10 и 17.11 биты посылки условно обозначены буквами S, W и др., или состояния битов указаны непосредственно «0» или «1». В дальнейшем на подобных рисунках, поясняющих содержимое посылки при передаче или приеме данных, будут применяться такие же и другие обозначения. Все обозначения, которые будут использоваться, указаны в таблице 17.1 с подробными пояснениями.

Инв. № подл.	
Подп. и дата	
Взам. инв. №	
Инв. № дубл.	
Подп. и дата	

Таблица 17.1 – Условные обозначения, принятые на рисунках, показывающих содержимое посылок данных или адресов на линии SDA

Обозначение	Расшифровка обозначения
S	Состояние старта. Символом «S» обозначается стартовый бит посылки
SR	Состояние повторного старта
R/W	Бит указания направления передачи. В тексте настоящего описания он упоминается как R/W#. Наличие этого обозначения в бите посылки указывает на то, что этот бит может быть равен как «0», так и «1»
R	Частный случай обозначения бита направления передачи R/W#. Если в обозначении бита стоит символ «R», то это указывает на то, что в данной посылке бит R/W# должен быть равен «1», т.е. направление передачи данных происходит от ведомого к мастеру (чтение)
W	Частный случай обозначения бита направления передачи R/W#. Если в обозначении бита стоит символ «W», то это указывает на то, что в данной посылке бит R/W# должен быть равен «0», т.е. направление передачи данных происходит от мастера к ведомому (запись)
A/A#	Бит квитированного/неквитированного приема, посылаемый приемником в ответ на запрос передатчика подтвердить прием. Наличие этого обозначения в бите посылки указывает на то, что этот бит может быть равен как «0», так и «1»
A	Частный случай обозначения бита A/A#. Если в обозначении бита стоит символ «A», то это указывает на то, что в данной посылке в ответ на запрос подтверждения приема байта произошло квитирование, т.е. приемник установил линию SDA в «0». В тексте настоящего описания квитированный бит запроса подтверждения приема обозначается как ACK
A#	Частный случай обозначения бита A/A#. Если в обозначении бита стоит символ «A#», то это указывает на то, что в данной посылке в ответ на запрос подтверждения приема байта произошло неквитирование, т.е. приемник не изменил линию SDA и оставил ее в состоянии «1». В тексте настоящего описания, неквитированный бит запроса подтверждения приема обозначается как NACK
P	Состояние окончания передачи. Символом «P» обозначается стоповый бит посылки
Код мастера	8-битный код мастера. Значение 0000_1xxx _b , где «xxx» – уникальный код каждого мастера в системе нескольких устройств
Адрес	7-битный адрес ведомого, передаваемый мастером
Адрес ведомого	Адрес ведомого, передаваемый во втором байте посылки. В режиме HS это 7-битный адрес, на что указывает идущий следом бит R/W#, в остальных случаях это восемь младших бит 10-битного адреса
Данные	Байт или несколько байт данных
GC	Байт адреса общего вызова (0000_0000 _b)
AR	Адрес отклика (0001_100 _b)
	Изображение числа в овале с линией, прикрепляющей его к изображению передачи битов, обозначает код операции и указывает момент, в который этот код записывается в поле MODE регистра SMBST
Цветное поле	Серым цветом обозначены биты, передаваемые от мастера к ведомому
Белое поле	Белым цветом обозначены биты, передаваемые от ведомого к мастеру

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

17.2 Функциональное описание

Структурная схема модуля I2C представлена на рисунке 17.12. Далее приводится краткое описание назначения блоков модуля.

Входные и выходные каскады линий SDA и SCL

Для обеих линий используются входные шумовые фильтры. В режиме FS эти фильтры подавляют любые импульсы входного сигнала, длительность которых не превышает один такт системного синхросигнала. Выходные каскады включают в себя понижающие (до уровня «0») устройства с открытым стоком. Функционирование входных и выходных каскадов зависит от состояния модуля I2C, т.е. включен или выключен.

Управление режимом работы и опрос состояния

Управление модулем осуществляют блоки управления режимом работы и скоростью передачи, регистров управления и состояния. В состав этих блоков входят следующие регистры:

- SMBST. Содержит биты, отражающие текущую конфигурацию модуля I2C (мастер или ведомый, передатчик или приемник) и бит флага прерывания;
- SMBCST. Является одновременно регистром управления шиной и регистром состояния шины;
- SMBCTRL1. Управляет генерированием состояний старта, повторного старта и останова, а также квитированием;
- SMBCTRL2 и SMBCTRL3. Устанавливают параметры тактового сигнала в режиме мастера и контролируют режим 10-битной адресации.

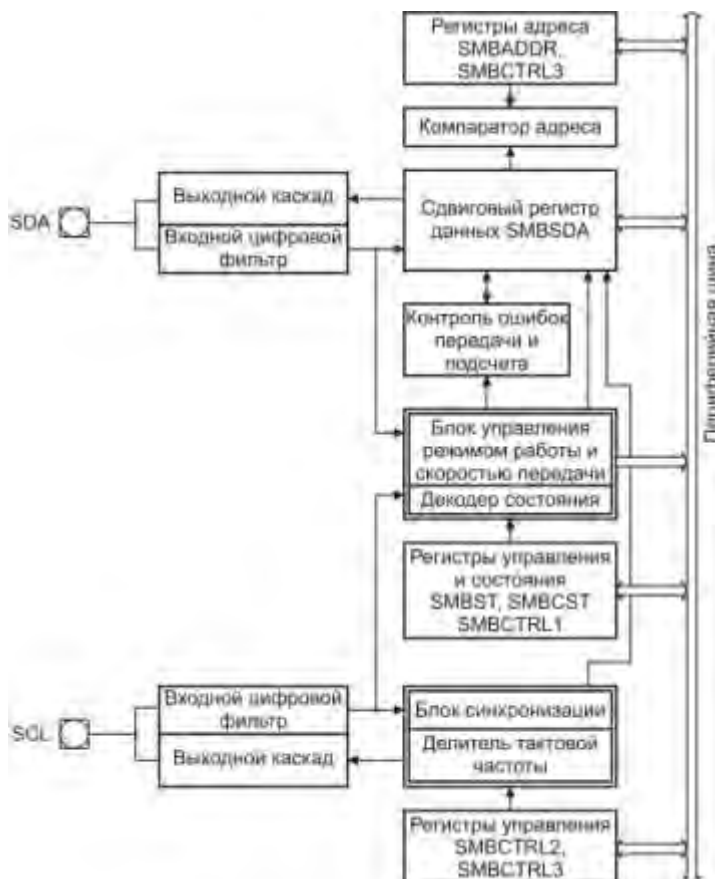


Рисунок 17.12 – Структурная схема модуля I2C

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Регистры адреса и компаратор адреса

В регистр адреса SMBADDR может быть записан 7-битный адрес, который является адресом устройства при работе его в режиме ведомого. Распознавание адреса включается установкой бита SAEN.

Компаратор адреса сравнивает принятый 7-битный адрес со значением, хранящимся в поле ADDR. Если разрешено распознавание адреса общего вызова (установлен бит GCMEN регистра SMBCTRL1), то компаратор сравнивает принятый адрес со значением 0000_000b. Если разрешено распознавание адреса отклика на сигнал предупреждения (установлен бит SMBARE регистра SMBCTRL1), то компаратор сравнивает принятый адрес со значением 0001_100b.

Если включен режим 10-битной адресации (одновременно установлены биты SAEN и S10EN регистров SMBADDR и SMBCTRL3, соответственно), компаратор сравнивает старшие пять битов первого полученного байта со значением 1111_0b, а следующие два бита со значением второго и первого битов поля S10ADR регистра SMBCTRL3. Старший бит второго полученного байта сравнивается со значением нулевого бита поля S10ADR, а оставшиеся семь битов – со значением битового поля ADDR регистра SMBADDR (см. рисунок 17.13).

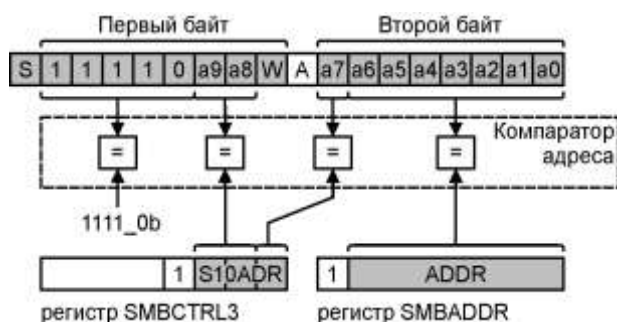


Рисунок 17.13 – Компаратор адреса в режиме 10-битной адресации

Сдвиговый регистр данных

Регистр SMBSDA представляет собой сдвиговый регистр, используемый для приема и передачи данных. Старший бит регистра передается/принимается первым, младший бит – последним. Запись в регистр SMBSDA возможна только, если установлен бит INT регистра SMBST. Регистр может быть прочитан в любой момент времени, но прочитанные данные будут гарантированно достоверными только при установленном бите INT. Регистр SMBSDA не очищается при сбросе и хранит случайные данные до тех пор, пока не будет перезаписан программно или аппаратно после приема байта.

Генерация тактового сигнала и синхронизация

Последовательный тактовый сигнал (выходной сигнал модуля I2C в режиме мастера) формируется генератором на базе системного тактового сигнала (с частотой f_{osc}).

Модуль I2C может функционировать в двух глобальных режимах – стандартном/скоростном (FS) и высокоскоростном (HS).

В режиме FS используется 7-битный предделитель. Значение старших 6 бит определяется значением битового поля SCLFRQ регистра SMBCTRL2, а младший бит всегда равен нулю (деление производится только на четное число). Минимальный и максимальный коэффициенты деления – 8 и 128 соответственно. Блок синхронизации тактового сигнала производит синхронизацию генератора тактового сигнала и выходного сигнала SCL с тактовым сигналом других устройств, подключенных к шине.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Подп. и дата	

В режиме HS используется 4-битный предделитель. Значение старших бит определяется значением битового поля HSDIV регистра SMBCTRL3, младший бит всегда равен нулю.

Определяемое спецификацией протокола SMBus наименьшее время ожидания на линии SCL составляет 25 мс. Если пауза между двумя тактовыми импульсами превысила 25 мс, то устройство должно прервать текущую передачу. Мастер должен сформировать состояние старта в процессе передачи или после ее окончания. Водомый должен освободить шину. Устройства, обнаружившие данное состояние, должны восстановить свои соединения и ожидать формирования состояния старта в пределах 10 мс.

Для отслеживания периодов ожиданий на шине в модуле I2C имеется счетчик времени ожидания. Функциональная схема счетчика показана на рисунке 17.14.

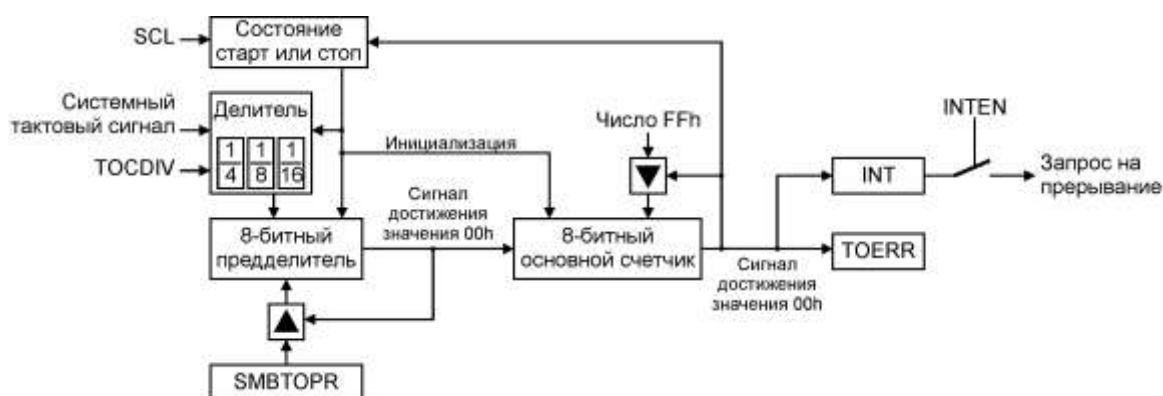


Рисунок 17.14 – Функциональная схема счетчика времени ожидания

Счетчик времени ожидания состоит из делителя, 8-битного программируемого предделителя и 8-битного основного счетчика. Все элементы счетчика времени ожидания начинают работу по отрицательному фронту сигнала на линии SCL (если работа счетчика разрешена). Положительный фронт сигнала на линии SCL сбрасывает значения делителя, предделителя и основного счетчика. Предделитель считает вниз, начиная со значения, записанного в регистр SMBTOPR. После достижения нуля счетчиком предделителя, он загружается значением из регистра SMBTOPR. Основной счетчик считает вниз от значения FFh. Каждое достижение нуля предделителем декрементирует значение основного счетчика. Обнуление основного счетчика и загрузка его значением FFh вызывает остановку основного счетчика, предделителя и делителя и установку флага TOERR в регистре SMBCST. Дополнительно устанавливается флаг INT и если разрешено, генерируется прерывание.

Период времени ожидания определяется следующим выражением:

$$T_{\text{ожид}} = T_{\text{osc}} \times \text{TOCDIV} \times (\text{SMBTOPR} + 1) \times 256, \quad (17.1)$$

где T_{osc} – период системного тактового сигнала с частотой f_{osc} .

Арбитраж и обнаружение ошибок на шине

Арбитраж в режиме мастера передатчика может быть потерян в случае, когда два мастера одновременно формируют состояние старта и начинают передачу данных. Потеря арбитража может происходить как во время передачи адреса, так и во время передачи данных.

В случае потери приоритета при передаче байта адреса, мастер переходит в режим ведомого приемника и начинает принимать адрес. Если принятый адрес оказался «своим», модуль I2C далее функционирует в режиме ведомого. Если принятый адрес не оказался «своим», то модуль I2C переходит в режим безадресного ведомого.

В случае потери приоритета при передаче байта данных модуль I2C сразу переходит в режим безадресного ведомого.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Обнаружение и исправление ошибок на шине

Состояние ошибки на шине возникает в том случае, если во время передачи адреса/данных или во время квитирования на шине обнаруживаются состояния старта или стопа. При обнаружении ошибки на шине выполняются действия:

- в поле MODE регистра SMBST записывается код ошибки 1Fh;
- генерируется прерывание (если разрешено);
- модуль I2C переходит в режим безадресного ведомого;
- линии SDA и SCL освобождаются.

Обнаружение ошибки на шине может вызвать у простой шины некорректное формирование состояния старта и отключение модуля I2C. Поэтому для возврата к нормальной работе следует выполнить действия:

- выключить и снова включить модуль I2C (бит ENABLE в регистре SMBCTRL2);
- в течение времени простоя проверить, не подключен ли другой активный мастер к шине (бит BB регистра SMBCST должен быть обнулен);
- в режиме мастера шины сформировать состояние старта, передать адрес и затем сформировать состояние останова, таким образом, проведя синхронизацию всех ведомых устройств (в том числе и тех, которые не обнаружили ошибку на шине).

Режим IDLE

Переход в режим IDLE происходит при отключении внешнего сигнала тактирования модуля I2C записью нуля в бит I2CCLKEN регистра CLKREG. Переход в режим IDLE подобен программному выключению модуля I2C (очистка бита ENABLE в регистре SMBCTRL2). Регистры SMBCTRL1, SMBST и SMBCST очищаются, чтобы гарантировать нормальный старт после возобновления функционирования модуля.

Выход из режима IDLE осуществляется записью единицы в бит I2CCLKEN и включением модуля битом ENABLE.

17.3 Инициализация и функционирование

В целом модуль I2C поддерживает два базовых режима – режим FS и режим HS.

Стандартный/скоростной режим или режим FS – стандартный режим работы, в котором модуль функционирует по умолчанию. Диапазон частот сигнала на линии SCL – от 23,6 кГц до 750,3 кГц (при XTAL1 = 24 МГц).

Высокоскоростной режим или режим HS – режим работы, который включается программно. Режим HS значительно превосходит режим FS по скорости – диапазон частот сигнала на линии SCL от 0,25 МГц до 2 МГц (при XTAL1 = 24 МГц).

Все операции режима HS начинаются в режиме FS в следующем порядке:

- стартовое состояние;
- 8-битный код мастера (значение 0000_1xxx_b, где «xxx» – уникальный код каждого мастера в системе нескольких устройств);
- неквитирование.

Арбитраж на шине происходит в момент передачи несколькими мастерами своих уникальных кодов. Выигравший арбитраж мастер захватывает шину. В связи с такой организацией режима HS дальнейший арбитраж и синхронизация на шине не реализуются.

После выполнения вышеуказанных шагов устройства, поддерживающих режим HS, переключаются в этот режим. Мастер генерирует состояние повторного старта (SR), а затем передает адрес ведомого и бит направления передачи R/W# (см. рисунок 17.15. Расшифровка обозначений, принятых на рисунке, приведена в таблице 17.1).

Все передачи в режиме HS по формату идентичны передачам режима FS, что делает эти два режима полностью совместимыми.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

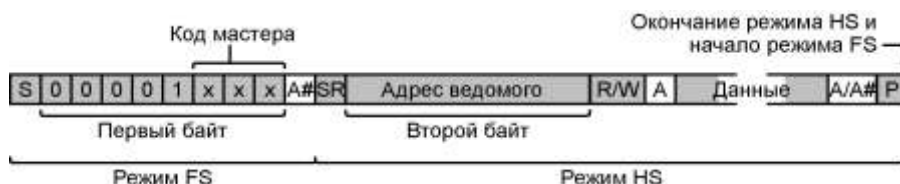


Рисунок 17.15 – Переход в режим HS и обратно в режим FS

Выход из режима HS происходит генерированием состояния окончания передачи (P), после которого все устройства переключаются обратно в режим FS. В каждом из двух базовых режимов – FS и HS – модуль I2C может функционировать как мастер или ведомый, получать или передавать информацию.

Далее все режимы работы модуля I2C будут рассмотрены подробно.

Инициализация

Для начала работы следует произвести инициализацию:

- 1 Включить модуль I2C установкой бита ENABLE в регистре SMBCTRL2.
- 2 Если активен режим мастера, записать нужный коэффициент деления в битовое поле SCLFRQ в регистре SMBCTRL2 для выбора периода тактового сигнала SCL (для режима HS записать коэффициент деления в поле HSDIV регистра SMBCTRL3).

3 Если активен режим ведомого, необходимо:

- записать «собственный» адрес ведомого в битовое поле ADDR и установить бит SAEN регистра SMBADDR;
- для реализации 10-битной адресации записать старшие биты адреса в битовое поле S10AD и установить бит S10EN регистра SMBCTRL3;
- для включения функции распознавания адреса общего вызова установить бит GC MEN в регистре SMBCTRL1;
- для включения функции распознавания адреса отклика установить бит SMBARE в регистре SMBCTRL1.

4 При необходимости отслеживания периодов ожидания на шине записать желаемые значения в регистр SMBTOPR и в битовое поле TOCDIV (регистр SMBCST) для отсчета времени ожидания на линии SCL. Для автоматического отслеживания времени ожидания записать ненулевое значение в битовое поле TOCDIV регистра SMBCST.

5 Для разрешения формирования запроса на прерывание установить бит INTEN в регистре SMBCTRL1.

Функционирование

Модуль I2C может работать в режиме мастера или ведомого. Также он может функционировать как передатчик или приемник. Итого, модуль I2C поддерживает девять режимов:

- безадресный ведомый;
- мастер передатчик в режиме FS;
- мастер передатчик в режиме HS;
- мастер приемник в режиме FS;
- мастер приемник в режиме HS;
- ведомый передатчик в режиме FS;
- ведомый передатчик в режиме HS;
- ведомый приемник в режиме FS;
- ведомый приемник в режиме HS.

Передача информации по шине состоит из последовательности различных действий (начало передачи, прием данных и др.). Каждое действие называется состоянием (состояние старта, состояние останова и др.). После того, как то или иное состояние

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

сформировано, его код аппаратно записывается в регистр SMBST в битовое поле MODE и может быть прочитано программно. В таблицах 17.2 и 17.3 приводятся все возможные состояния, их мнемонические обозначения и коды. На квитирование или неквитирование приема указывает запись «ACK» или «NACK», соответственно. Так, например, если мастер отправил байт адреса ведомому, который после получения квитировал прием, то на это будет указывать «ACK», а в поле MODE регистра SMBST будет записан код 04h, соответствующий состоянию с мнемоническим обозначением «MTADPA». Более подробно каждый режим работы модуля I2C будет рассмотрен далее. На рисунках 17.16 – 17.23, поясняющих работу модуля в том или ином режиме, приняты обозначения, расшифровка которых приводится в таблице 17.1. Для получения дополнительной информации и понимания работы модуля I2C можно воспользоваться приложением В.

Таблица 17.2 – Коды функционирования модуля I2C в режиме FS

Режим	Код	Мнемоника	Описание состояния на момент записи кода в поле MODE регистра SMBST	ACK/ NACK	
1	2	3	4	5	
Общий	00h	IDLE	IDLE, нет доступной валидной информации о статусе	–	
Мастер в режиме FS	–	01h	STDONE	Сформировано состояние старта	–
		02h	RSDONE	Сформировано состояние повторного старта	–
		03h	IDLARL	Потеря арбитража, переход в режим безадресного ведомого	–
	Передача	04h	MTADPA	Отправлен адрес ведомого	ACK
		05h	MTADNA	Отправлен адрес ведомого	NACK
		06h	MTDAPA	Отправлен байт данных	ACK
		07h	MTDANA	Отправлен байт данных	NACK
	Прием	08h	MRADPA	Отправлен адрес ведомого	ACK
		09h	MRADNA	Отправлен адрес ведомого	NACK
		0Ah	MRDAPA	Принят байт данных	ACK
		0Bh	MRDANA	Принят байт данных	NACK
	–	0Ch	MTMCER	Отправлен код мастера, обнаружена ошибка	ACK
	–	0Dh – 0Fh		Зарезервировано. Не использовать!	–
Ведомый в режиме FS	Прием	10h	SRADPA	Принят адрес	ACK
		11h	SRAAPA	Принят адрес после потери арбитража	ACK
		12h	SRDAPA	Принят байт данных	ACK
		13h	SRDANA	Принят байт данных	NACK
	Передача	14h	STADPA	Принят адрес	ACK
		15h	STAAPA	Принят адрес после потери арбитража	ACK
		16h	STDAPA	Отправлен байт данных	ACK
	Передача адреса отклика	17h	STDANA	Отправлен байт данных	NACK
		18h	SATADP	Принят адрес отклика на предупреждение	ACK
		19h	SATAAP	Принят адрес отклика на предупреждение после потери арбитража	ACK
		1Ah	SATDAP	Отправлены данные в ответ на получение адреса отклика	ACK
		1Bh	SATDAN	Отправлены данные в ответ на получение адреса отклика	NACK

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Окончание таблицы 17.2

1		2	3	4	5
Ведомый в режиме FS	–	1Ch	SSTOP	Обнаружено состояние останова ведомого	–
		1Dh	SGADPA	Принят адрес общего вызова	ACK
		1Eh	SDAAPA	Принят адрес общего вызова после потери арбитража	ACK
Общий		1Fh	BERROR	Обнаружена ошибка на шине (некорректное состояние старта или останова)	–
Примечание – Диапазон значений кодов 0Dh–0Fh зарезервирован и не доступен для использования. Дополнительная информация находится в приложении В.					

Таблица 17.3 – Коды функционирования модуля I2C в режиме HS

Режим		Код	Мнемоника	Описание состояния на момент записи кода в поле MODE регистра SMBST	ACK/ NACK
Мастер в режиме HS	–	21h	HMTMCOK	Код мастера передан успешно, переход в режим HS	–
		22h	HRSDONE	Сформировано состояние повторного старта	–
		23h	HIDLARL	Потеря арбитража, переход в режим HS безадресного ведомого	–
	Передача	24h	HMTADPA	Отправлен адрес ведомого	ACK
		25h	HMTADNA	Отправлен адрес ведомого	NACK
		26h	HMTDAPA	Отправлен байт данных	ACK
		27h	HMTDANA	Отправлен байт данных	NACK
	Прием	28h	HMRADPA	Отправлен адрес ведомого	ACK
		29h	HMRADNA	Отправлен адрес ведомого	NACK
		2Ah	HMRDAPA	Принят байт данных	ACK
		2Bh	HMRDANA	Принят байт данных	NACK
		30h	HSRADPA	Принят адрес	ACK
Ведомый в режиме HS	Прием	32h	HSRDAPA	Принят байт данных	ACK
		33h	HSRDANA	Принят байт данных	NACK
		34h	HSTADPA	Принят адрес	ACK
	Передача	36h	HSTDAPA	Отправлен байт данных	ACK
		37h	HSTDANA	Отправлен байт данных	NACK

Примечание – Диапазоны значений кодов 2Ch–2Fh и 38h–3Fh, а также коды 20h, 31h и 35h зарезервированы и не доступны для использования. Дополнительная информация находится в приложении В.

Режим безадресного ведомого

Режим работы по умолчанию (MODE = 00h). После включения модуль I2C начинает функционировать в режиме безадресного ведомого и непрерывно мониторит шину. При обнаружении состояния старта или повторного старта переходит в режим ведомого приемника. Для перехода в режим мастера передатчика нужно сформировать корректное состояние старта.

Переключение в режим безадресного ведомого происходит в случаях:

- стартовое состояние не было успешно сформировано, так как другое устройство удерживало на линии SCL низкий уровень сигнала;
- произошла потеря арбитража во время передачи байта данных в режиме мастера передатчика или во время передачи бита R/W# в режиме мастера приемника;

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

- произошла потеря арбитража во время ответа на полученный адрес отклика;
- неквитирование принятого адреса в режиме ведомого приемника (адрес не совпал со «своим» или запрещен);
- неквитирование в конце переданного байта в режиме ведомого передатчика;
- обнаружено состояние останова;
- обнаружена ошибка на шине;
- модуль I2C был сброшен;
- модуль I2C был выключен.

Режим FS мастера передатчика

Включение режима:

1 Переход в режим мастера передатчика происходит после успешного формирования состояния старта. Первый байт, передаваемый мастером сразу после старта, состоит из адреса ведомого и бита направления.

2 В зависимости от состояния бита направления (R/W#), модуль I2C далее функционирует как мастер передатчик (если R/W# = «0») или как мастер приемник (если R/W# = «1»). Для перехода в режим HS мастер может передать код мастера (0000_1xxxh) вместо первого байта адреса.

3 Переход в режим мастера произойдет после установки бита START в регистре SMBCTRL1. Если бит BB в регистре SMBCST сброшен, т.е. шина свободна, будет сгенерировано состояние старта. Если бит BB = 1b, то бит START останется установленным, а состояние старта будет сгенерировано по истечении времени, равного одному такту сигнала тактирования на линии SCL, после освобождения шины.

4 Как только стартовое состояние будет сгенерировано успешно, бит START сбросится, модуль I2C перейдет в состояние STDONE (в поле MODE запишется значение 01h), установится флаг INT, и линия SCL будет удерживаться в «0» до тех пор, пока флаг INT не будет сброшен. Если разрешено битом INTEN (регистр SMBCTRL1), сгенерируется прерывание.

Передача адреса и данных:

1 Пока удерживается флаг INT, программа записывает адрес ведомого и бит направления передачи в регистр данных SMBSDA (адрес записывается в биты с седьмого по первый).

2 После записи в регистр SMBSDA флаг INT сбрасывается программно установкой бита CLRST в регистре SMBCTRL1.

3 После сброса флага INT и по истечении времени, требуемого для установки данных, на линии SCL появляется тактовый сигнал и данные, хранящиеся в регистре SMBSDA, начинают передаваться по линии SDA.

4 После завершения передачи байта и получения ответа на запрос подтверждения передачи (ACK), т.е. после девятого такта сигнала тактирования на линии SCL, аппаратная часть анализирует квитирование/неквитирование передачи и устанавливает соответствующий код в поле MODE.

5 Во время передачи линии SCL и SDA постоянно мониторятся с целью выявления возможных конфликтов с другими устройствами, подключенными к шине. В случае обнаружения конфликта передача прерывается, и в поле MODE записывается код 11b (состояние SRAAPA – переход в режим ведомого приемника после потери арбитража) или код 03h (состояние IDLARL – переход в режим безадресного ведомого после потери арбитража).

6 Если бит направления равен единице и не обнаружено ошибок на шине, модуль I2C переходит в режим мастера приемника.

7 Если бит направления равен нулю и передача адреса ведомого завершена успешно (значение кода в поле MODE не равно 05h/1Fh), устанавливается флаг INT, указывая на то, что ожидается запись первого байта данных в регистр SMBSDA для дальнейшей

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

передачи, и, если разрешено, генерируется прерывание. Пока флаг INT будет оставаться установленным, линия SCL будет удерживаться в «0».

8 Байт данных записывается программно в регистр SMBSDA и передача продолжается.

9 Если ведомый приемник не квитирует отправленный ему байт данных, в поле MODE записывается код 0Bh (состояние MRDANA). На линии SCL будет установлен низкий уровень сигнала и, если разрешено, сгенерировано прерывание.

Для отслеживания ошибок в пакетах данных применяется механизм вычисления контрольной суммы (CRC) для нескольких байт данных. В режиме мастера передатчика установка бита PECNEXT в регистре SMBCST вызовет перенос содержимого регистра ошибок (не доступен программно) в регистр SMBSDA и инициирует передачу байта CRC (байт контрольной суммы) ведомому. Передача байта CRC должна выполняться после передачи последнего байта данных и перед формированием состояния останова или повторного старта.

Мастер передатчик контролирует шину и может адресовать любое ведомое устройство и изменять направление передачи без потери контроля над шиной, используя возможность формирования состояния повторного старта. Для формирования состояния следует:

1 Установить бит START.

2 В режиме мастера приемника прочитать последний полученный байт из регистра SMBSDA.

3 Сбросить флаг прерывания INT.

После этих действий будет освобождена линия SCL, сгенерировано состояние повторного старта и сгенерировано прерывание. В поле MODE будет записан код 02h (состояние RSDONE).

Модуль I2C может быть выведен из режима мастера передатчика генерированием состояния останова. Для этого необходимо:

1 Установить бит STOP в регистре SMBCTRL1.

2 В режиме мастера приемника прочитать последний полученный байт из регистра SMBSDA.

3 Сбросить флаг INT.

Вышеуказанные действия приведут к незамедлительному формированию состояния останова и очистке бита STOP.

Состояние останова может быть сформировано только, если модуль I2C функционирует как мастер и контролирует шину (в поле MODE находится любое значение кода из диапазона 01h – 0Bh).

Дополнительно можно обратиться к приложению В.

На рисунке 17.16 представлено графическое пояснение к описанию режима.

Режим HS мастера передатчика

Переход в режим HS мастера передатчика происходит в том случае, если после состояния старта мастер передает код мастера (0000_1xxxh) вместо адреса ведомого. По окончании передачи кода мастера устанавливается флаг INT и, если разрешено, генерируется прерывание. Вслед за успешной передачей кода мастера в поле MODE записывается код 21h (состояние HMTMCOK), и мастер переходит в режим HS.

Далее необходимо сформировать состояние повторного старта, записав единицу в бит START и сбросить флаг INT, записью единиц в бит CLRST.

После сгенерированного состояния повторного старта устанавливается флаг INT и в поле MODE записывается код 22h (состояние HRSDONE). Дальнейший порядок действий по передаче адреса и данных аналогичен описанному режиму FS мастера передатчика.

Дополнительно можно обратиться к приложению В.

На рисунке 17.17 представлено графическое пояснение к описанию режима.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

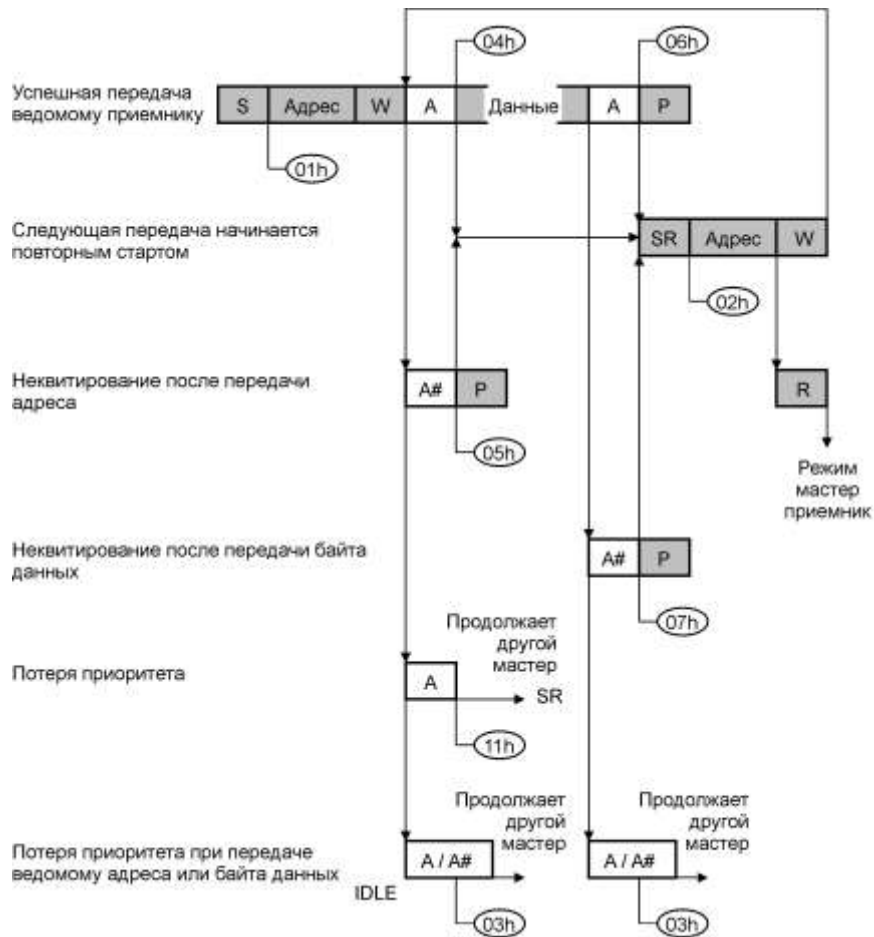


Рисунок 17.16 – Режим FS мастера передатчика

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

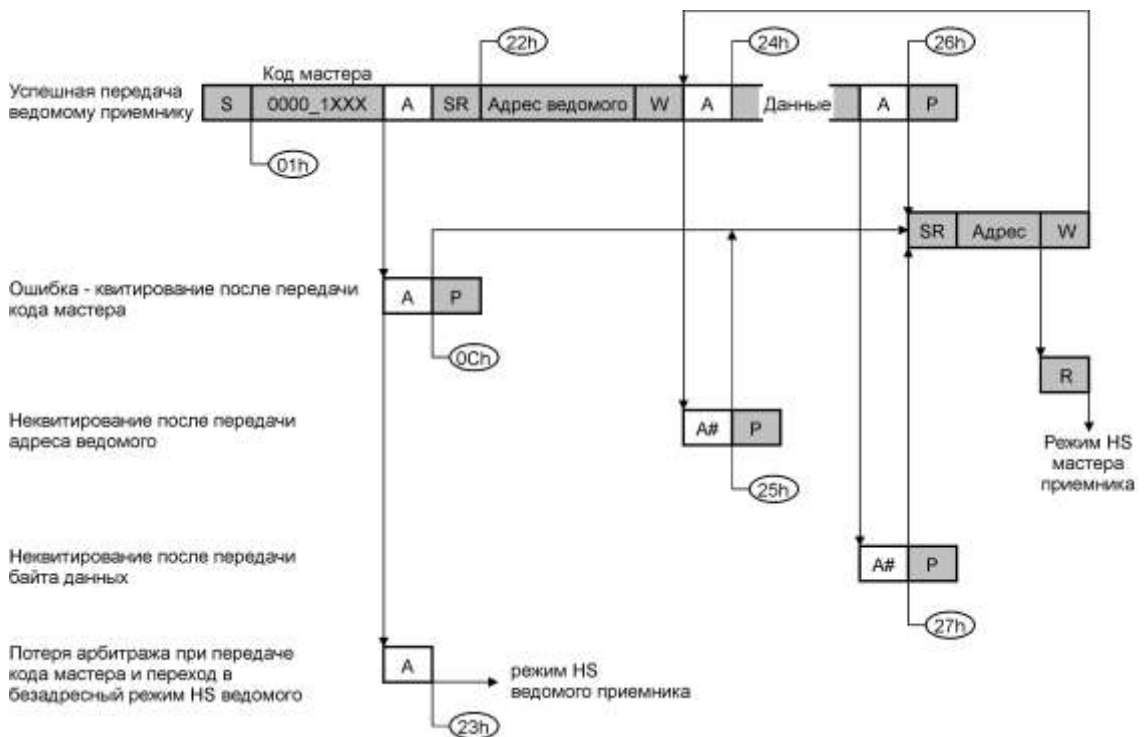


Рисунок 17.17 – Режим HS мастера передатчика

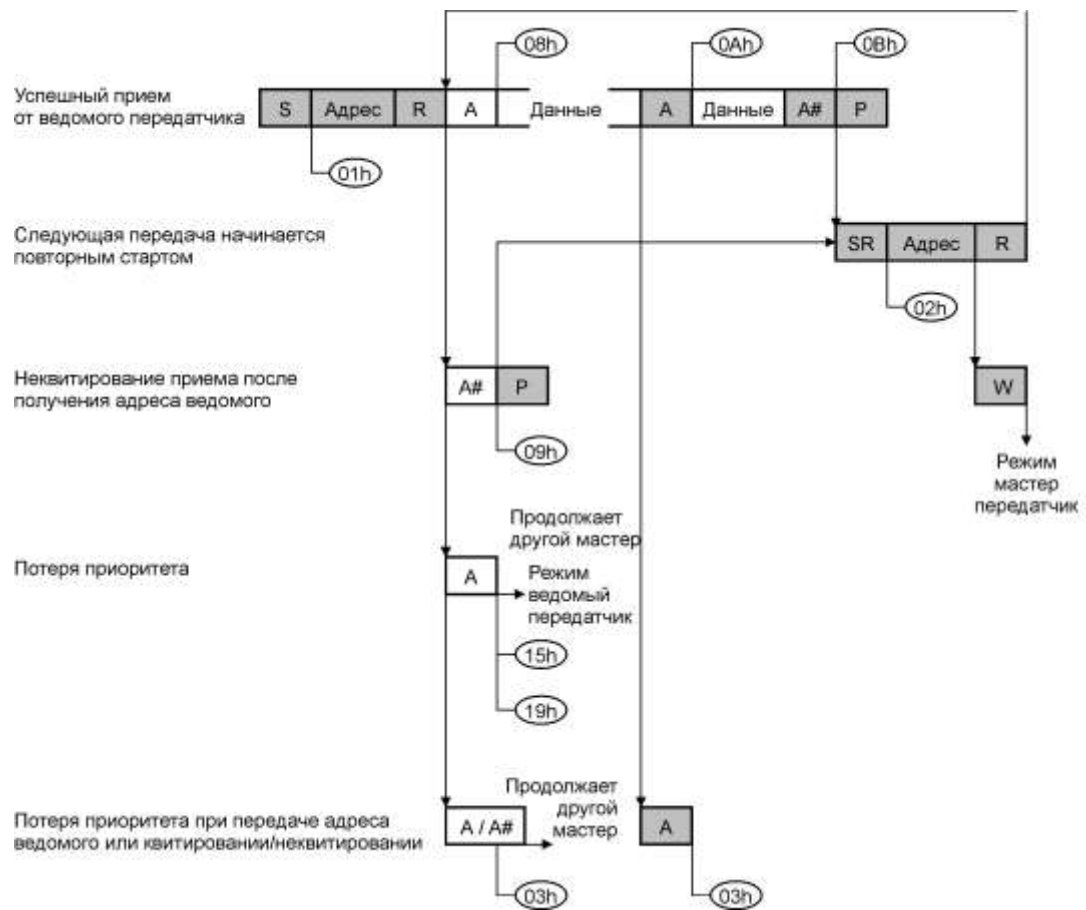


Рисунок 17.18 – Режим FS мастера приемника

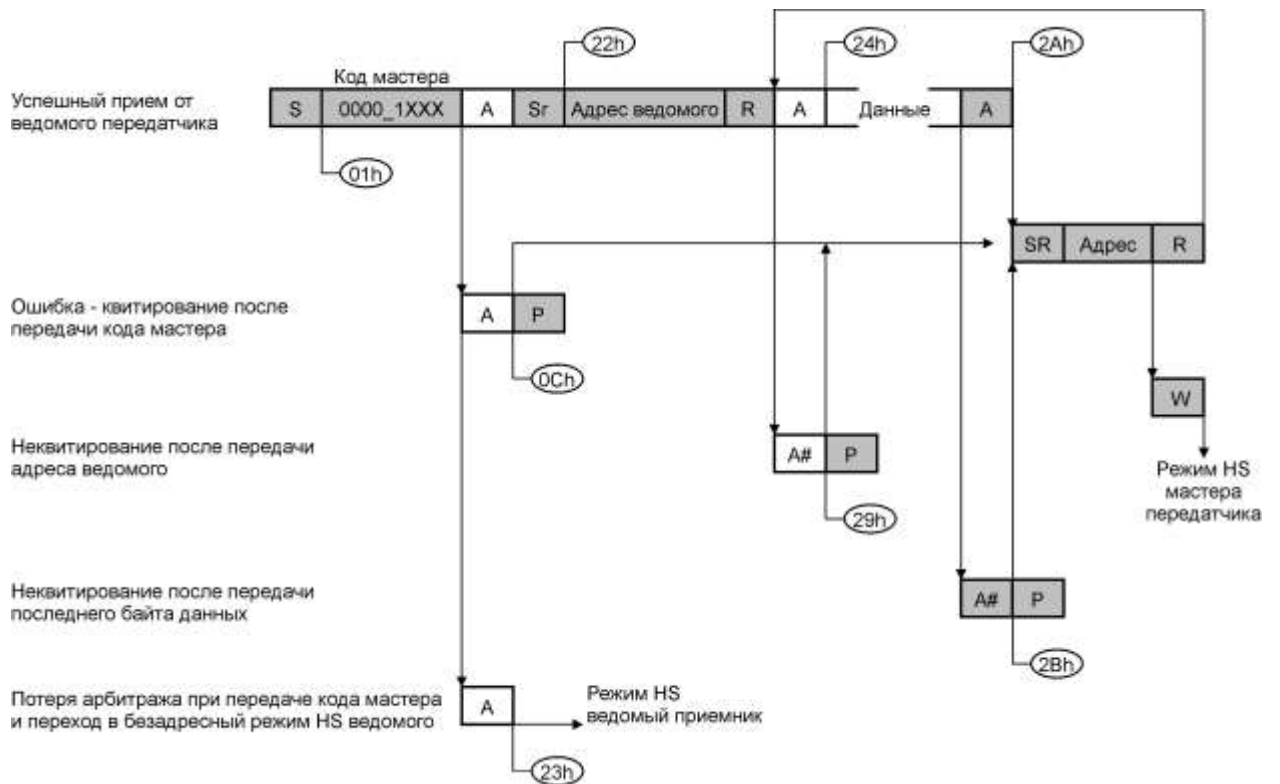


Рисунок 17.19 – Режим HS мастера приемника

Инв. № подл.	Подл. и дата
Взам. инв. №	Инв. № дубл.
Подл. и дата	Подл. и дата

Режим FS мастера приемника

Переход в режим мастера приемника происходит после успешной передачи адреса ведомого с единичным битом направления (R/W# = «1»). В режиме мастера приемника модуль I2C получает данные от ведомого устройства, поэтому теряет контроль над шиной SDA. В тоже время мастер продолжает тактировать передачу и должен отвечать на бит АСК каждого принятого байта.

После каждого принятого байта устанавливается флаг INT, и пользовательская программа читает полученные данные из регистра SMBSDA. Линия SCL удерживается в «0», пока установлен флаг INT. После сброса флага INT может стартовать прием следующего байта. После этого (согласно протоколу SMBus) состояния повторного старта или стопа не должны генерироваться мастером, поскольку мастер теперь не является единственным контролером линии SDA. В конце приема каждого байта мастер не квитирует прием, сообщая таким образом ведомому об успешном приеме.

После приема предпоследнего байта перед сбросом флага INT следует записать ноль в бит АСК регистра SMBCTRL1. В тоже время, если требуется отправка байта CRC, следует установить бит PECNEXT в регистре SMBCST. После сброса флага INT будет принят последний байт данных и не квитирован. По окончании приема мастер возвращается в режим передатчика и теперь может сгенерировать состояние повторного старта или останова.

Если механизм отслеживания ошибок включен, то последний переданный от ведомого байт будет байтом CRC. В случае, если результат вычисления контрольной суммы не нулевой, то установится флаг ошибки PECFAULT в регистре SMBCST.

Дополнительно можно обратиться к приложению В.

На рисунке 17.18 представлено графическое пояснение к описанию режима.

Режим HS мастера приемника

Переход в режим HS мастера приемника происходит, если после переданного кода мастера и последовавшего за ним состоянием повторного старта, производится передача адреса ведомого с битом направления R/W# = «1». Модуль I2C переходит в режим HS мастера приемника, устанавливается флаг INT, а в поле MODE записывается соответствующий код из диапазона 28h – 2Bh.

Дополнительно можно обратиться к приложению В.

На рисунке 17.19 представлено графическое пояснение к описанию режима.

Режим FS ведомого приемника

В этом режиме данные принимаются от мастера передатчика. Ведомый квитирует или не квитирует прием каждого байта.

После включения модуль I2C мониторит шину. При обнаружении состояния старта, модуль I2C переключается в режим ведомого приемника и начинает принимать семь бит адреса и бит направления передачи от мастера. Мастер-передатчик может переключиться в режим ведомого приемника вследствие потери арбитража при передаче адреса.

После получения байта адреса ведомый сравнивает полученный адрес с:

- полем ADDR регистра SMBADDR, если установлен бит SAEN;
- со значением 0000_000b (адрес общего вызова), если установлен бит GCMEN;
- со значением 0001_100b (адрес отклика), если установлен бит SMBARE.

Квитирование приема производится, если принятый адрес совпал с «собственным» (запрограммированным пользователем), адресом общего вызова или адресом отклика. После обнаружения совпадения адреса и квитирования в поле MODE записывается соответствующий код и устанавливается флаг INT. Также, если разрешено битом INTEN, генерируется прерывание. Принятый байт (адрес и бит направления) переписывается в регистр SMBSDA.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

В зависимости от состояния бита направления, модуль I2C переходит в режим ведомого передатчика (если R/W# = «1») или остается в режиме ведомого приемника (R/W# = «0»).

После каждого принятого байта устанавливается флаг INT, указывающий на то, что необходимо прочитать данные из регистра SMBSDA, а линия SCL удерживается в «0». После программного чтения регистра SMBSDA флаг INT сбрасывается (записью единицы в бит CLRST), и линия SCL освобождается.

Установка битов SAEN и S10EN включает режим 10-битной адресации ведомого приемника. После обнаружения состояния старта ведомый последовательно принимает два байта, в которых содержится адрес.

Последовательность передачи бит в посылке при 10-битной адресации была рассмотрена ранее в подразделе 17.1 настоящего ТО.

Механизм распознавания адреса изложен в подразделе 17.2 настоящего ТО и показан на рисунке 17.13.

После корректного приема ведомым двух байтов и совпадении принятого адреса с собственным байты сохраняются в регистре SMBSDA и сдвиговом регистре, прием квитируется, устанавливается флаг INT, а в поле MODE записывается соответствующий код состояния – 10h или 17h.

Если включен механизм обнаружения ошибок, последний байт, принятый от мастера передатчика, будет байтом CRC. Если результат вычисления контрольной суммы не нулевой, устанавливается флаг ошибки PECFAULT и передача не квитируется. Программа пользователя должна «знать» о количестве передаваемых мастером байт и устанавливать бит PECNEXT перед чтением предпоследнего байта из регистра SMBSDA и уже потом сбрасывать флаг INT. В результате будет аппаратно рассчитана контрольная сумма, и результат отправлен мастеру в момент передачи бита ACK. Если ошибок нет, будет выполнено квитирование (отправлен «0» в ответ на запрос ACK), если ошибки есть – неквитирование (отправлен «1» в ответ на запрос ACK).

Если ведомому приемнику нужно сообщить мастеру, что он не может более принимать данные, следует сначала установить бит ACK, а затем – бит CLRST (для сброса флага INT). Далее будет принят последний байт данных, который не будет квитирован (бит ACK = 1b) и установится флаг INT. После этого программа может прочитать последний полученный байт из регистра SMBSDA и сбросить флаг INT, после чего модуль I2C освободит шину.

Дополнительно можно обратиться к приложению В.

На рисунке 17.20 представлено графическое пояснение к описанию режима.

Режим HS ведомого приемника

Включение режима происходит после получения валидного кода мастера (0000_1xxxh). После передачи кода мастера формируется состояние повторного старта, а затем передается адрес ведомого с нулевым битом направления (R/W# = «0»). После получения байта адреса ведомый проверяет его на совпадение (см. ранее «Режим FS ведомого приемника»).

Дополнительно можно обратиться к приложению В.

На рисунке 17.21 представлено графическое пояснение к описанию режима.

Режим FS ведомого передатчика

В этом режиме данные передаются от ведомого передатчика к мастеру приемнику. Ведомый проверяет ответ мастера на бит ACK.

Переход в режим передатчика происходит из режима ведомого приемника. После получения собственного адреса и бита направления, равного единице (R/W# = «1»), ведомый становится передатчиком. Флаг INT устанавливается, указывая на то, что в регистр SMBSDA следует записать данные.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

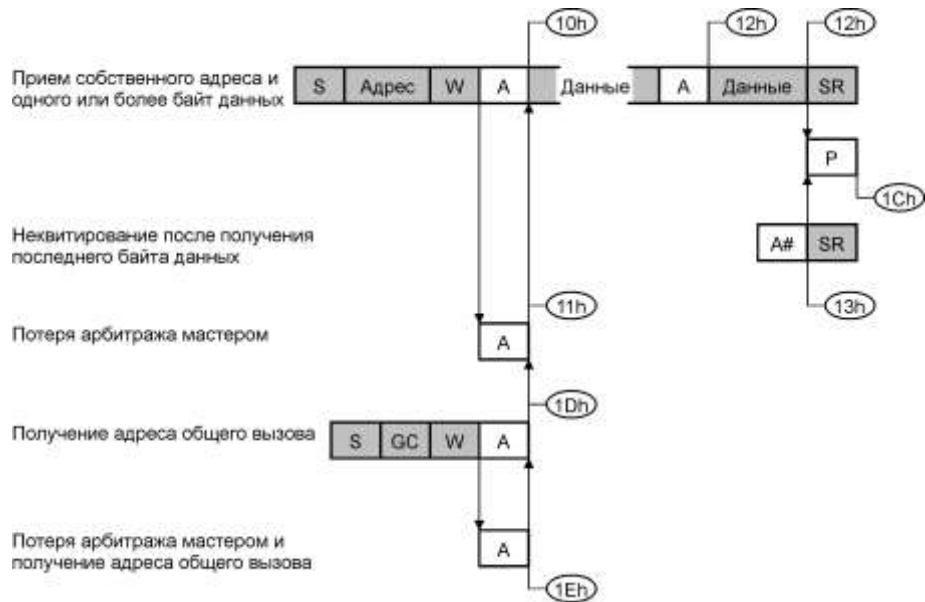


Рисунок 17.20 – Режим FS ведомого приемника



Рисунок 17.21 – Режим HS ведомого приемника

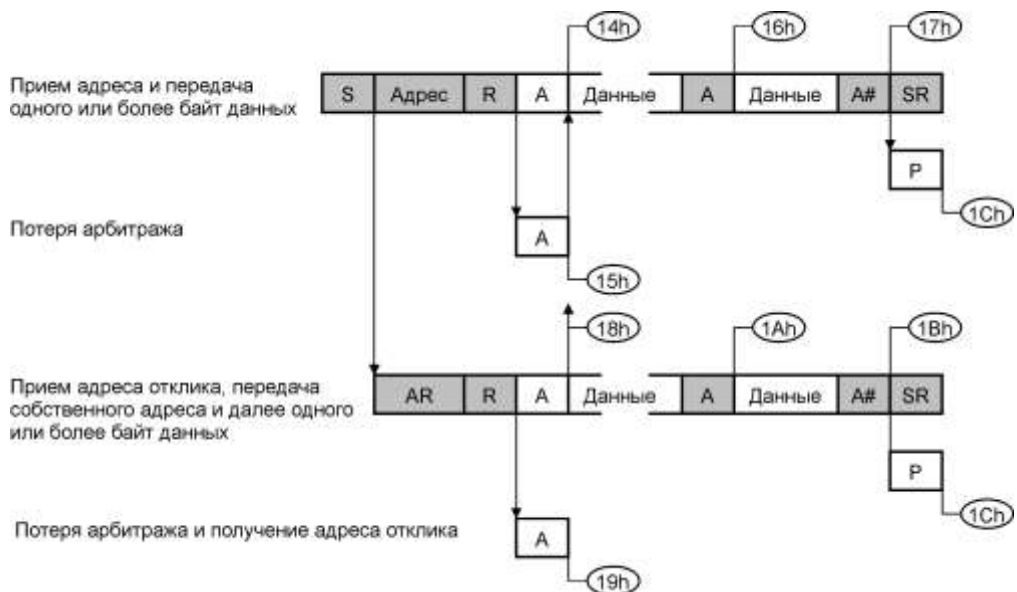


Рисунок 17.22 – Режим FS ведомого передатчика

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Пока установлен флаг INT, линия SCL удерживается в «0». После записи данных в регистр SMBSDA следует сбросить флаг INT. После этого, по истечении времени, необходимого для установки данных на линии SDA, линия SCL освобождается, и данные начинают передаваться.

Передача данных аналогична передаче в режиме мастера передатчика. После каждого успешного приема байта устанавливается флаг INT, а в поле MODE записывается соответствующий код. Линия SCL удерживается в состоянии «0» до тех пор, пока флаг INT остается установленным. Флаг INT должен сбрасываться только после записи данных в регистр SMBSDA. Каждый последующий байт должен записываться в регистр SMBSDA до тех пор, пока в поле MODE не появится код 17h (состояние STDANA), указывающий на то, что мастер «не желает» далее принимать данные.

Вывод ведомого из режима передатчика осуществляется только мастером приемником. Мастер приемник должен не квитировать последний (согласно запланированному количеству) полученный байт данных. При обнаружении неквитирования переданных данных, модуль I2C переходит в режим безадресного ведомого и в поле MODE записывается код 00h (состояние IDLE). Далее ведомый мониторит шину в ожидании состояния старта или повторного старта.

Для работы в режиме с 10-битной адресацией следует осуществить действия, аналогичные описанным для режима FS ведомого приемника.

Сначала модуль I2C переходит в режим ведомого приемника и получает 10-битный адрес. Если программно не требуется никаких действий, то флаг INT не устанавливается, линия SCL не удерживается в «0» и поле MODE содержит соответствующую информацию о состоянии. Далее (см. ранее «Формат передачи данных с 10-битной адресацией»), вслед за вторым байтом адреса может последовать состояние повторного старта и затем повторная передача первого байта адреса с той лишь разницей, что бит направления содержит единицу (R/W# = «1»). Таким образом, после приема трех байт, если принятый 10-битный адрес окажется «своим», установится флаг INT и ведомый переключится в режим передатчика. В поле MODE запишется один из двух кодов – 14h или 15h.

Если включен механизм распознавания ошибок, то последний отправленный ведомым передатчиком байт будет байтом CRC. Программа должна «знать» количество байт, посылаемых в пакете данных, и после отправки всех байт устанавливать бит PECNEXT (вместо записи очередных данных в регистр SMBSDA) для того, чтобы в регистр SMBSDA записался байт контрольной суммы.

В модуле I2C поддерживается функция распознавания адреса отклика, который передается мастером шины ко всем ведомым. Ведомое устройство, получившее адрес отклика (0001_100b), переключается в режим передатчика и начинает передавать свой собственный адрес (подробнее – см. подраздел 17.1, «Формат передачи данных с 7-битной адресацией»).

Для включения функции распознавания адреса отклика следует установить бит SMBARE в регистре SMBCTRL1.

Модуль I2C реагирует на адрес отклика только при работе в режиме ведомого. В ответ на получение адреса отклика начать передачу адресов могут несколько ведомых. Ведомый, выигравший арбитраж, продолжает передачу, остальные – освобождают шину.

Дополнительно можно обратиться к приложению В.

На рисунке 17.22 представлено графическое пояснение к описанию режима.

Режим HS ведомого передатчика

Модуль I2C переходит в режим HS ведомого после получения валидного кода мастера (0000_1xxxh). Далее следует состояние повторного старта и передача адреса ведомого с единичным битом направления (R/W# = «1»). После этого ведомый переключается в режим HS ведомого передатчика. Функционирование в этом режиме в целом идентично режиму FS ведомого передатчика, с теми отличиями, что

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

поддерживается более высокая скорость передачи, а значения кодов состояний (поле MODE) находятся в диапазоне 34h – 37h.

Дополнительно можно обратиться к приложению В.

На рисунке 17.23 представлено графическое пояснение к описанию режима.



Рисунок – 17.23 – Режим HS ведомого передатчика

Дополнительная информация о работе модуля

1 Когда модуль I2C выключен, бит BB регистра SMBCST очищен. Включения модуля в системе с более, чем одним мастером, может произойти в момент времени, когда по шине идет передача. Бит BB не сможет это показать. Во избежание создания ошибок на шине модуль I2C должен синхронизироваться с сигналами на шине прежде, чем сделать попытку стать мастером. Для этого следует дождаться момента, когда на шине не будет выявлена активность, т.е. периодически проверять бит BB через периоды времени, равные периоду ожидания на шине.

2 Бит BB позволяет мониторить шину и не допускать формирования ошибочных состояний старта в процессе передачи между другими устройствами на шине.

3 В некоторых случаях шина может «зависать» при активных (с нулевым уровнем) сигналах на линиях SDA и/или SCL. Источниками таких состояний могут быть необнаруженные ошибочные стартовые или стоповые состояния, сформировавшиеся в течение приема ведомых данных. Если считать, что причиной зависания явился модуль I2C, то возможны следующие два варианта развития событий:

а) Если зависла линия SCL, ничего не будет происходить, а мастер, захвативший шину, должен освободить ее.

б) Если зависла линия SDA, мастер должен освободить шину. Следует помнить, что в нормальном состоянии удерживать линию SCL может только текущий мастер шины. Последовательность действий для выхода из зависания следующая (при условии, что на шине только один мастер):

- выключить и включить модуль I2C для перевода его в режим безадресного ведомого;

- установить бит START для создания состояния старта;

- проверить, удерживается ли линия SDA в «0» (активное состояние) чтением бита TSDA регистра SMBCST. Если линия активна, отправить одиночный импульс по линии SCL, установив бит TGSCS в регистре SMBCST;

- проверить, что в поле MODE записан код 01b (состояние STDONE), который укажет на то, что состояние старта сформировано. Если нет, то повторять предыдущий и этот шаги до тех пор, пока линия SDA не освободится.

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата
Подл. и дата	Подл. и дата

18 Контроллер интерфейса CAN

18.1 Протокол CAN

Последовательный интерфейс CAN (Controller Area Network) – интерфейс связи, эффективно поддерживающий распределенное управление в реальном масштабе времени с высокой помехозащищенностью. Протокол связи определен в спецификации CAN 2.0B. Протокол CAN оптимизирован для систем, в которых должно передаваться относительно небольшое количество информации (по сравнению с Ethernet или USB) к любому или всем узлам сети. Множественный доступ с опросом состояния шины позволяет каждому узлу получить доступ к шине с учетом приоритетов. Неадресная структура сообщений позволяет организовать многоабонентскую доставку данных с сокращением трафика шины. Быстрая устойчивая передача информации с системой контроля ошибок позволяет отключать неисправные узлы от шины, что гарантирует доставку критических по времени сообщений.

Область применения протокола CAN: от высокоскоростных сетей связи до электропроводов в автомобиле. Высокая скорость передачи данных (до 1 Мбит/с), хорошая помехозащищенность протокола, защита от неисправности узлов – делают шину CAN подходящей для промышленных приложений управления типа Device Net.

CAN имеет асинхронную последовательную структуру шины с одним логическим сегментом сети. CAN сеть может состоять из двух или более узлов с возможностью подключения/отключения узлов от шины без перенастройки других устройств (см. рисунок 18.1).

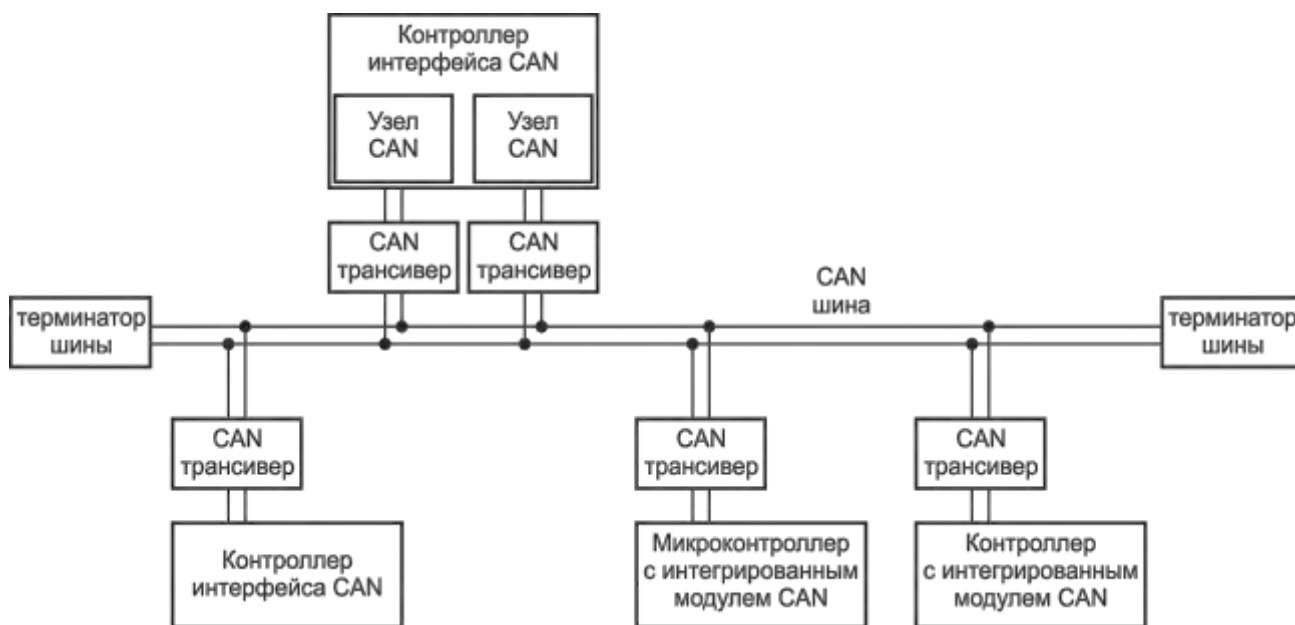


Рисунок 18.1 – Общая структура CAN сети

Логика шины работает по механизму монтажного И, в котором рецессивный бит соответствует логической единице, а доминантный – логическому нулю. Пока ни один узел не формирует доминантный бит, шина находится в рецессивном состоянии. Появление на шине доминантного бита (выставленного одним или несколькими узлами) создает доминантное состояние шины. Отсюда следует, что при выборе среды передачи данных необходимо точно определить, какое состояние будет доминантным, а какое – рецессивным. Одним из наиболее распространенных и дешевых вариантов линии связи является пара скрученных проводов. Линии шины тогда называются CANH и CANL и

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

могут быть подключены непосредственно к устройствам. Не существует никакого дополнительного стандарта на среду передачи данных.

При использовании в качестве линии связи пары скрученных проводов с нагрузочными резисторами на концах можно получить максимальную скорость передачи данных 1 Мбит/с при длине линии до 40 м. Для линий связи протяженностью более 40 м необходимо снизить скорость передачи данных (для линии 1000 м скорость шины должна быть не более 40 Кбит/с). Из-за дифференциального характера линии связи шина CAN малочувствительна к электромагнитным помехам. Экранирование шины значительно снизит воздействие внешнего электромагнитного поля, что особенно важно для высокоскоростных режимов работы.

Двоичная информация кодируется. Доминантным является низкий уровень, рецессивным – высокий. Для гарантированной синхронизации данных всеми узлами шины используется принцип «бит-стаффинга». Это означает, что при последовательной передаче пяти бит одинаковой полярности передатчик вставляет один дополнительный бит противоположной полярности перед передачей остальных битов. Приемник также проверяет полярность и удаляет дополнительные биты.

В CAN протоколе при передаче данных приемные узлы не адресуются, а указывается идентификатор передатчика. С помощью идентификатора указывается содержание сообщения (например, применительно автомобиля – обороты, температура двигателя и т.д.) и степень приоритета сообщения. Более высокий приоритет у идентификатора, имеющего меньшее бинарное значение.

При коллективном доступе к шине используется неразрушающий арбитраж с опросом состояния шины. Перед началом передачи данных узел проверяет состояние шины (отсутствие активности на шине). При начале передаче сообщения узел становится управляющим шины, все остальные узлы переходят в режим приема. После приема сообщения (подтвержденного каждым узлом) каждый узел проверяет идентификатор в сообщении и сохраняет сообщение, если это требуется. В противном случае, сообщение сбрасывается. Если два или более узлов начинают передачу данных одновременно, поразрядный арбитраж позволяет избежать конфликта на шине. Каждый узел выдает на шину свой идентификатор (старший бит формируется первым) и контролирует ее состояние. Если узел посылает «1», а читает «0», значит, арбитраж потерян, и узел переключается в режим приема. Это происходит тогда, когда идентификатор конкурирующего узла имеет меньшее бинарное значение. Таким образом, узел с высоким приоритетом выигрывает арбитраж без необходимости повторять сообщение. Все остальные узлы будут пытаться передать сообщение после освобождения шины. Данный механизм не позволяет передавать сообщения одновременно разными узлами. Для этого программно должно быть обеспечено, чтобы узлы, передающие данные, не имели одинаковых идентификаторов. Оригинальная спецификация в версии CAN 2.0b (так называемая расширенная версия CAN) определяет возможность идентификатора иметь длину 11 или 29 бит.

Протокол CAN предусматривает следующие типы сообщений:

- сообщение данных (стандартное и расширенное);
- удаленный запрос данных;
- сообщение об ошибке;
- сообщение о перезагрузке.

Типы и структура сообщений CAN

Стандартное сообщение данных

Формируется, когда узел желает передать данные. Формат сообщения показан на рисунке 18.2.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

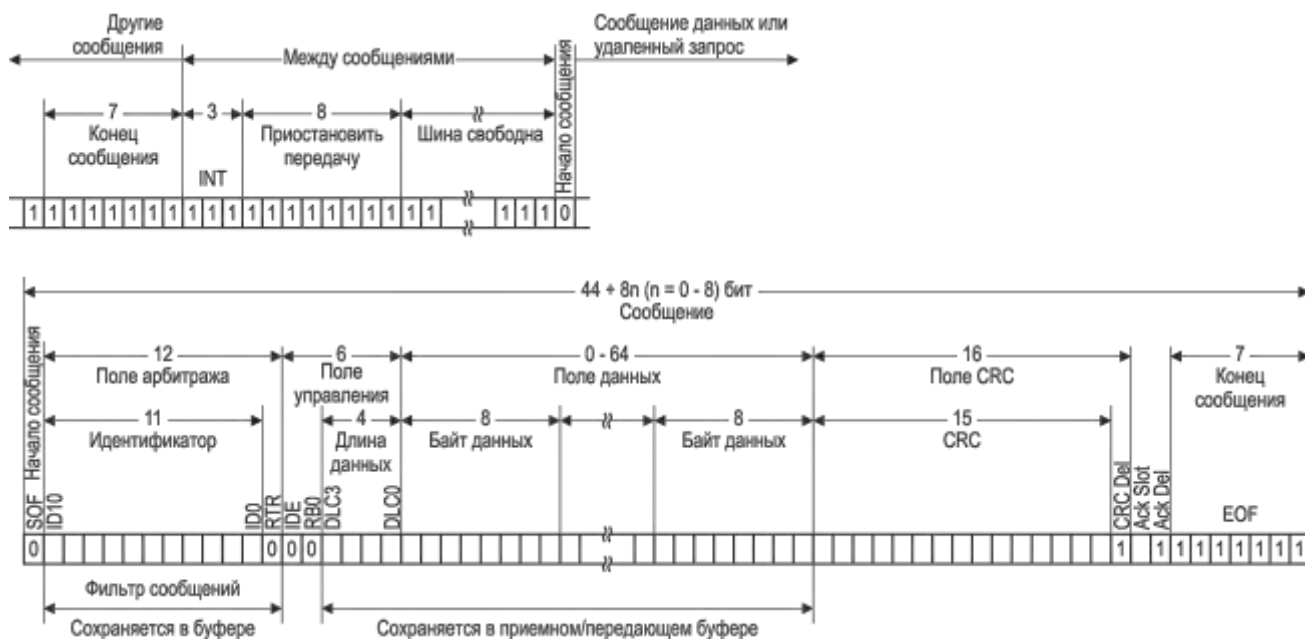


Рисунок 18.2 – Стандартное сообщение данных

Стандартное сообщение имеет в своем составе:

- бит SOF – доминантный («0») бит начала сообщения для жесткой синхронизации всех узлов;

- поле арбитража (12 бит), включающее поле ID идентификатора (11 бит) и бит RTR передачи по удаленному запросу (RTR = «0» соответствует сообщению данных, RTR = «1» соответствует удаленному запросу);

- поле управления (6 бит), включающее бит IDE указатель расширенного идентификатора (IDE = «0» соответствует стандартному идентификатору, IDE = «1» соответствует расширенному идентификатору), бит RBO резервный доминантный бит и поле DLC числа байт данных (4 бита), которое указывает, сколько байт данных содержится в сообщении (допустимые значения – от 0 до 8, другие значения использоваться не могут);

- поле данных (от 0 до 64 бит), содержащее целое число байт данных;

- поле контрольной суммы CRC (16 бит), включающее поле CRC (15 бит), используемое для обнаружения возможных ошибок передачи данных и бит CRC Del рецессивный разделитель CRC;

- поле подтверждения (2 бита), включающее бит ACK Slot подтверждения передачи (передающий узел выдает рецессивный бит, а любой узел, который принял сообщение без ошибок, заменяет его сформированным доминантным битом) и бит ACK Del рецессивный разделитель подтверждения;

- поле EOF конца сообщения (7 бит).

Между передачами двух любых сообщений шина должна оставаться в рецессивном состоянии как минимум в течение времени появления 3 бит (поле INT простоя). Если после появления трех рецессивных битов (поле INT) ни один узел не начал передачу, шина переходит в состояние бездействия IDLE и находится в рецессивном состоянии до появления доминантного бита сообщения.

Расширенное сообщение данных

Формируется, когда узел желает передать данные. Формат сообщения показан на рисунке 18.3.

Инв. № подл.	
Подп. и дата	
Взам. инв. №	
Инв. № дубл.	
Подп. и дата	

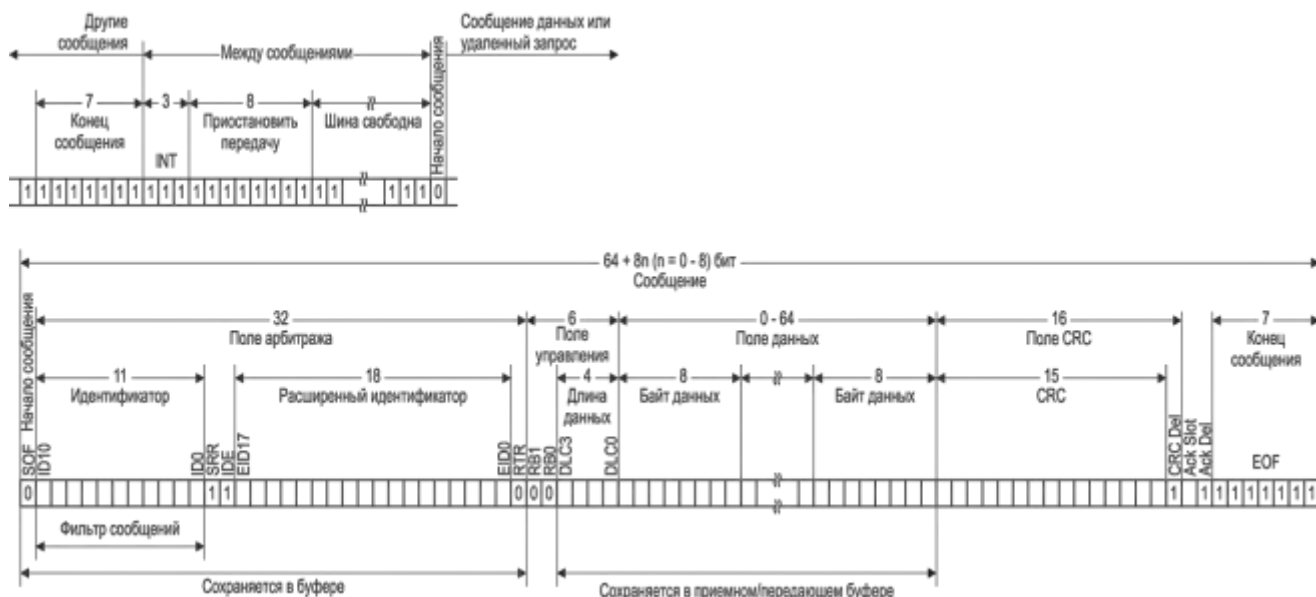


Рисунок 18.3 – Расширенное сообщение данных

Расширенное сообщение имеет в своем составе:

- бит SOF – доминантный («0») бит начала сообщения для жесткой синхронизации всех узлов;

- поле арбитража (38 бит), включающее поле стандартного идентификатора (11 бит), бит SRR заменитель удаленного запроса, бит IDE указатель расширенного идентификатора (рецессивный, что соответствует расширенному идентификатору) и поле расширенного идентификатора (18 бит);

- бит RTR передачи по удаленному запросу (RTR = «0» соответствует сообщению данных, RTR = «1» соответствует удаленному запросу);

- поле управления (6 бит), включающее бит RB0 резервный доминантный бит, бит RB1 резервный доминантный бит и поле DLC числа байт данных (4 бита), которое указывает, сколько байт данных содержится в сообщении (допустимые значения – от 0 до 8, другие значения использоваться не могут);

- поле данных (от 0 до 64 бит), содержащее целое число байт данных;

- поле контрольной суммы CRC (16 бит), включающее поле CRC (15 бит) используемое для обнаружения возможных ошибок передачи данных и бит CRC Del рецессивный разделитель CRC;

- поле подтверждения (2 бита), включающее бит ACK Slot подтверждения передачи (передающий узел выдает рецессивный бит, а любой узел, который принял сообщение без ошибок, заменяет его сформированным доминантным битом) и бит ACK Del рецессивный разделитель подтверждения;

- поле EOF конца сообщения (7 бит).

Удаленный запрос данных

Формируется, когда узлу требуются данные другого узла. Узел назначения посылает удаленный запрос с идентификатором источника. Соответствующий узел источника (распознавший свой идентификатор) посылает стандартное или расширенное сообщение в ответ на запрос.

Удаленный запрос данных существует в стандартном и расширенном вариантах (на рисунке 18.4 представлен вариант удаленного запроса со стандартным идентификатором).

Инв. № подл.	
Подл. и дата	
Взам. инв. №	
Инв. № дубл.	
Подл. и дата	

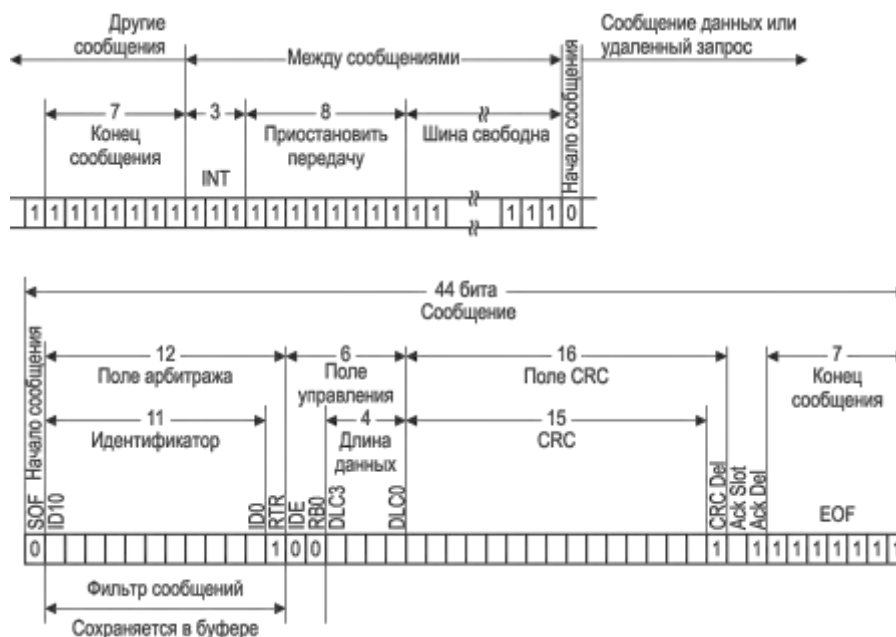


Рисунок 18.4 – Удаленный запрос данных (стандартный формат)

Имеются только два отличия содержимого удаленного запроса от сообщения данных:

- бит RTR в удаленном запросе передается в рецессивном состоянии;
- поле данных отсутствует (в сообщении не передается никаких данных, значение в поле DLC любое в пределах от 0 до 8).

В самом маловероятном случае, когда одновременно формируется удаленный запрос, и устройство пытается передать данные с одинаковыми идентификаторами, арбитраж будет выигран устройством, передающим данные, из-за доминантного состояния бита RTR.

Узел, который посылал запрос, получает данные немедленно.

Сообщение об ошибке

Формируется любым узлом, который обнаруживает ошибку на шине. Формат сообщения показан на рисунке 18.5.

Сообщение об ошибке состоит из двух полей: поле разделителя ошибки и поле флага ошибки. Возможны два типа поля флага ошибки, в зависимости от вида ошибки узла, обнаружившего ее.

Если ошибку обнаружил активный узел (как в примере на рисунке 18.5), тогда он прерывает передачу текущего сообщения, формируя флаг активной ошибки. Флаг активной ошибки состоит из 6 последовательных доминантных битов, которые нарушают правила бит-стаффинга (правила наполнения и передачи битов на шине). Остальные узлы также обнаруживают ошибку и начинают формировать сообщение об ошибке. Таким образом, поле флага ошибки может содержать от 6 до 12 доминантных битов (сформированных одним узлом или более). Поле флага ошибки дополняется разделителем ошибки, состоящим из 8 рецессивных битов и позволяющим перезапустить связь с шиной после обнаружения ошибки. После перехода шины в нормальное состояние узлы возобновляют передачу данных, остановленный узел повторяет передачу сообщения, переданного до этого с ошибкой.

Если ошибку обнаружил пассивный узел, тогда он формирует флаг пассивной ошибки, состоящий из 6 последовательных рецессивных битов и затем разделитель ошибки. Таким образом, сообщение о пассивной ошибке состоит из 14 рецессивных битов. Это не нарушает правила бит-стаффинга на шине и не оказывает влияния на передачи других узлов. Исключение составляет узел, который передает данные узлу,

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

обнаружившему ошибку. В этом случае правила бит-стаффинга нарушаются и передача данных прекращается. После передачи пассивной ошибки узел должен ожидать 6 последовательных рецессивных битов для восстановления связи с шиной.

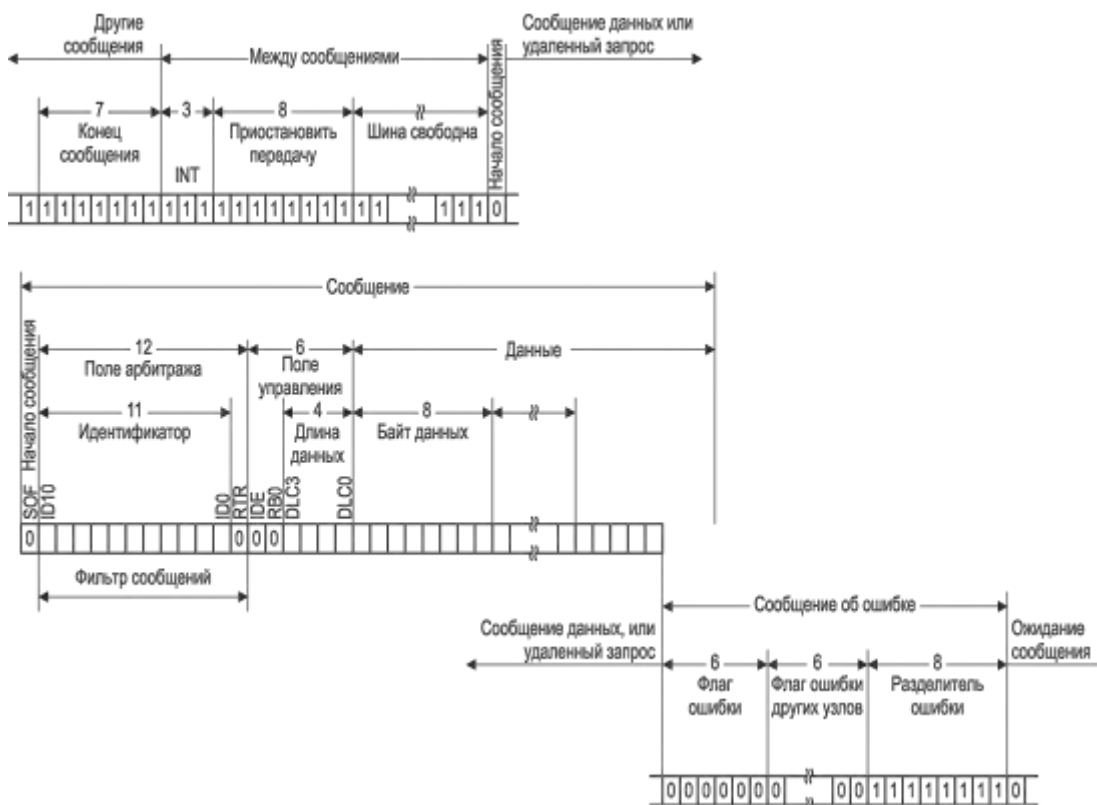


Рисунок 18.5 – Сообщение об ошибке

Сообщение о перезагрузке

Формат сообщения о перезагрузке аналогичен формату сообщения об ошибке, но может быть сформирован только, когда шина простаивает.

Сообщение о перезагрузке проиллюстрировано на рисунке 18.6.

Разделитель перезагрузки состоит из 8 последовательных рецессивных битов.

Узел может сформировать сообщение о перезагрузке в двух случаях:

- между сообщениями обнаружен доминантный бит, что является ненормальным во время простоя шины;
- для задержки передачи нового сообщения.

Узел может последовательно сформировать не более двух сообщений перезагрузки.

Флаг перезагрузки состоит из 6 последовательных доминантных битов. Другие узлы обнаруживают перезагрузку и начинают формировать ее самостоятельно. Поэтому на шине во время выполнения перезагрузки может быть до 12 доминантных битов.



Рисунок 18.6 – Сообщение о перезагрузке

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

18.2 Структура и функционирование контроллера CAN

В состав контроллера CAN входят два идентичных независимых узла CAN0 и CAN1, ОЗУ для хранения сообщений, которое является общим для узлов, и система управления контроллером. Между узлами есть отличие лишь в подключении к выводам микроконтроллера, в связи с этим при описании работы узлов индексы 0 и 1 будут заменены символом «х». Дополнительно в контроллере реализовано «логическое И» выходов узлов с выводом результата на выводы микроконтроллера.

Контроллер CAN имеет следующие функциональные особенности:

- соответствие ISO 11898;
- функционирование согласно спецификации CAN 2.0b (активная версия);
- отдельные управляющие регистры для каждого из двух узлов;
- программируемая скорость передачи информации до 1 Мбит/с;
- гибкий и полный контроль передачи сообщений и обработки ошибок;
- 16 линий прерываний;
- 256 объектов сообщений для хранения сообщений и их параметров в ОЗУ. Каждый объект сообщения может быть привязан к любому из узлов, сконфигурирован для передачи или приема как стандартных, так и расширенных сообщений и удаленных запросов. Каждый объект имеет индивидуальную маску для фильтрации принимаемых сообщений. Объекты сообщений могут объединяться в классы, с разными уровнями приоритета, могут объединяться для построения структур FIFO произвольных размеров (до 256 объектов в одной структуре). Кроме того, реализована возможность попарного соединения объектов для формирования шлюзов для автоматической передачи сообщений между узлами. Параллельно с вышеуказанными свойствами объекты сообщений могут организовываться в списки с постоянно доступной реорганизацией (совместимость с TwinCan-устройствами, которые не имеют списков).

Структура контроллера интерфейса CAN приведена на рисунке 18.7.

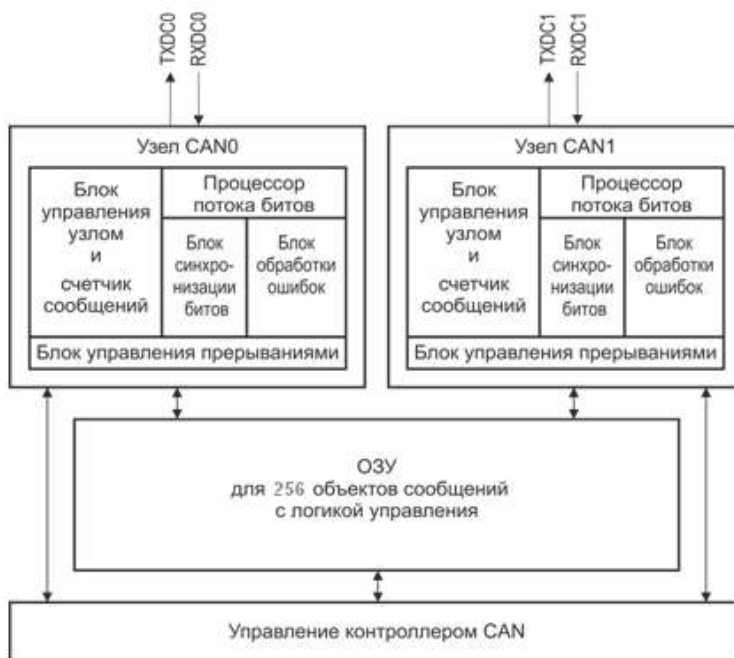


Рисунок 18.7 – Структура контроллера интерфейса CAN

Синхронизация

Тактирующим сигналом контроллера CAN является сигнал Fclс (Fin), проходящий с генератора тактовых сигналов. На основе этого сигнала посредством программируемого дробного делителя частоты формируется внутренний сигнал Fcan (Fout),

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

синхронизирующий работу контроллера и являющийся базовым синхросигналом для передачи/приема сообщений по внешней шине CAN.

Включение контроллера CAN

По умолчанию, после сброса микроконтроллера контроллер CAN выключен. На это также указывает состояние флага DISS регистра CLC. Когда контроллер выключен, этот флаг установлен.

Для включения контроллера CAN следует записать ноль в бит DISR регистра CLC. После этого флаг DISS сбросится. Рекомендуется проверять состояние флага DISS, перед началом программирования регистров контроллера, которые не доступны в выключенном состоянии.

Выключение контроллера CAN

Программно можно перевести контроллер CAN в режим выключения установкой бита DISR. Контроллер завершает все текущие операции, после чего устанавливает флаг DISS и отключает внутреннее тактирование, в связи с чем, все регистры становятся недоступными для обращения.

Простой шины

Между передачами сообщений шина CAN находится в рецессивном состоянии. Для выполнения условий простой шины необходимо, чтобы было получено, как минимум, три рецессивных бита после завершения передачи/приема очередного сообщения.

Анализ работы контроллера CAN

Для анализа работы контроллера доступны два режима – общего анализа и внутренней петли.

Режим общего анализа включается установкой бита CALM регистра NCRx узла и позволяет осуществлять независимый мониторинг работы узла, не затрагивая шину CAN. В этом режиме сообщения данных и удаленные запросы отслеживаются без участия узла в операциях на шине. Выходы узла находятся в рецессивном состоянии. Узел может получать сообщения данных, сообщения удаленных запросов и сообщения об ошибках, но работа узла на передачу запрещена. Полученные сообщения данных/удаленных запросов остаются без подтверждения (бит подтверждения остается в рецессивном состоянии), но принимаются и сохраняются (при совпадении идентификаторов) в соответствующих объектах сообщений. В ответ на входящие сообщения не выдается подтверждение, и не генерируются сообщения об ошибках. На удаленные запросы не выдаются сообщения данных, а сами сообщения данных не могут быть переданы установкой бита запроса передачи TXRQ регистра состояния объекта сообщения MOSTATn. Прерывания после приема генерируются (если это разрешено) для всех принятых сообщений, не содержащих ошибок.

Режим внутренней петли включается установкой бита LBM регистра NPCRx и позволяет проводить внутреннее тестирование контроллера CAN, а также отладку управляющей программы без доступа к внешней шине CAN. Внутренняя петля состоит из внутренней шины CAN (внутри контроллера CAN) и переключателя выбора шины для каждого узла (см. рисунок 18.8). С помощью переключателя каждый узел CAN может быть подключен либо к внутренней шине (режим внутренней петли), либо к внешней шине (нормальный режим работы). Если выбран режим внутренней петли, то на внешнем передающем выводе узла CAN поддерживается рецессивный уровень сигнала, а состояние принимающего вывода игнорируется.

Если оба узла CAN функционируют в режиме внутренней петли, они взаимодействуют друг с другом посредством внутренней шины CAN, не оказывая влияние на работу других модулей, функционирующих в нормальном режиме.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

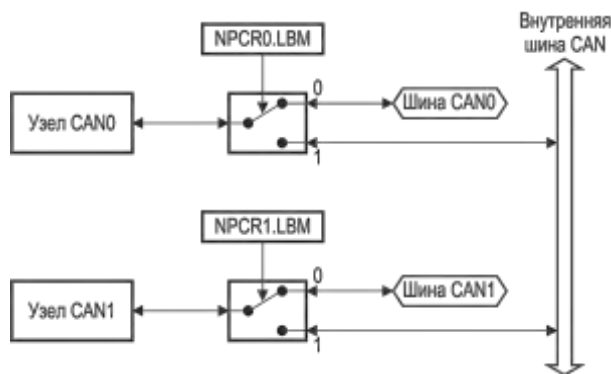


Рисунок 18.8 – Режим внутренней петли

Дробный делитель

Дробный делитель позволяет генерировать частоту f_{out} из входной тактовой частоты f_{in} (f_{clc}) путем программирования делителя посредством регистра FDR.

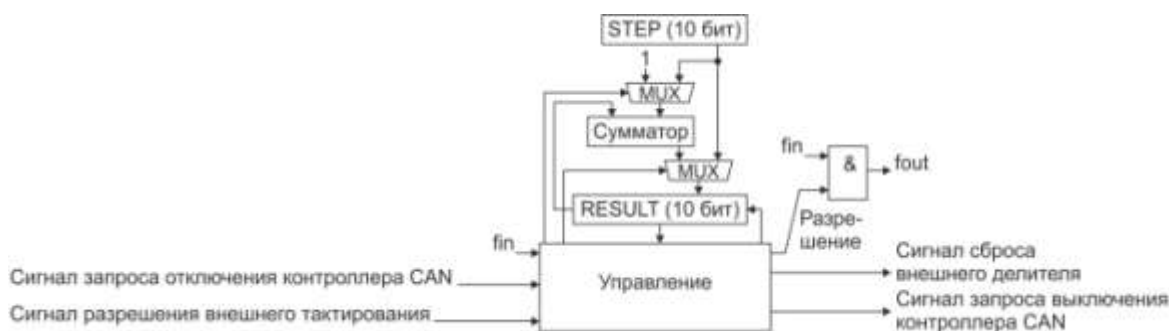


Рисунок 18.9 – Схема дробного делителя

Примечание – Задаваемое значение входной частоты f_{in} зависит от длительности передачи одного бита информации и должно быть n -кратно ей. Поскольку длительность передачи бита определяется количеством квантов времени (Nt_q , см. далее), то для расчета частоты f_{in} в МГц следует пользоваться формулой:

$$f_{in} = n \times Nt_q,$$

где Nt_q – количество квантов времени t_q ,

n – целое число, начиная с 1 (для задания кратности).

Дробный делитель делит частоту f_{in} путем умножения на величину $1/val$ или величину $1024/val$ для любого val от 0 до 1023, выдавая на выходе тактовый сигнал f_{out} (f_{can}).

На рисунке 18.9 показана блок-схема дробного делителя. Логика дробного делителя работает по-разному, в зависимости от режима, задаваемого полем DM.

В режиме нормального деления ($DM = 01b$) делитель работает как перегружаемый счетчик с шагом инкрементирования, равным единице. Состояние счетчика доступно посредством поля RESULT. Каждый раз, при переполнении (т.е. когда $RESULT = 3FFh$), формируется импульс сигнала F_{out} , после чего в счетчик загружается значение из поля STEP.

Выходная частота f_{out} определяется по формуле:

$$f_{out} = f_{in} \times 1 / (1024 - STEP_d),$$

где $STEP_d$ – значение поля STEP в десятичном формате.

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата

Отсюда следует, что для получения частоты $f_{out} = f_{in}$, значение STEP должно быть равно 3FFh. На рисунке 18.10 показано формирование сигнала Fout при значении STEP = 3FDh (1021d).

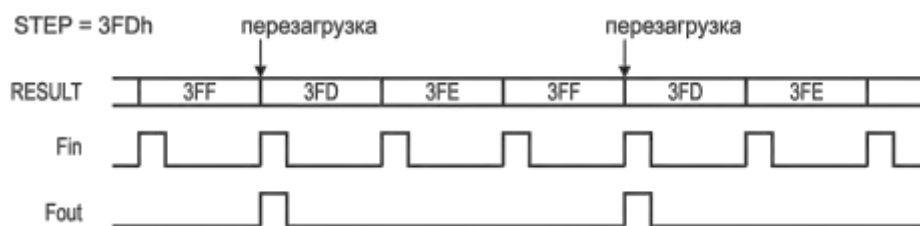


Рисунок 18.10 – Формирование сигнала с частотой f_{out} в нормальном режиме

В режиме дробного деления ($DM = 10b$) делитель работает как перезагружаемый счетчик, но шаг инкрементирования в этом случае равен значению поля STEP. Если результат инкрементирования значения RESULT на величину STEP превышает 3FFh, возникает переполнение счетчика, формируется импульс сигнала Fout, после чего в счетчик загружается значение, на которое результат инкрементирования превысил 3FFh.

Выходная частота f_{out} определяется по формуле:

$$f_{out} = f_{in} \times STEP_d / 1024_d$$

В целом, режим дробного деления позволяет программировать частоту f_{out} с более высокой точностью, чем нормальный режим, но сигнал может иметь джиттер периода, не превышающий одного периода f_{in} , в связи с чем не рекомендуется использовать режим дробного деления при высоких скоростях передач.

На рисунке 18.11 показано формирование сигнала Fout при значении STEP = 234h (564d).

$$f_{out} = f_{in} \times 564 / 1024 = 0,55 \times f_{in}$$



Рисунок 18.11 – Формирование сигнала с частотой f_{out} в режиме дробного деления
Процесс выключения делителя начинается одновременно с возникновением запроса выключения контроллера CAN.

Контроллер сообщений

Управляет обменом сообщениями между CAN узлами и памятью сообщений и выполняет следующие функции:

- фильтрация входящих сообщений для определения корректного объекта сообщения для сохранения полученных данных;
- определение объекта сообщения, содержимое которого будет передано в первую очередь (для каждого узла индивидуально);
- передача содержимого объекта сообщения к CAN узлу с параллельной вставкой в сообщение битов управления и состояния;
- осуществление буферизации FIFO и функционирования шлюза;
- объединение битов уведомления ждущих обработки сообщений.

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Управление прерываниями блока CAN

На рисунке 18.12 показана структура формирования запроса на прерывание.

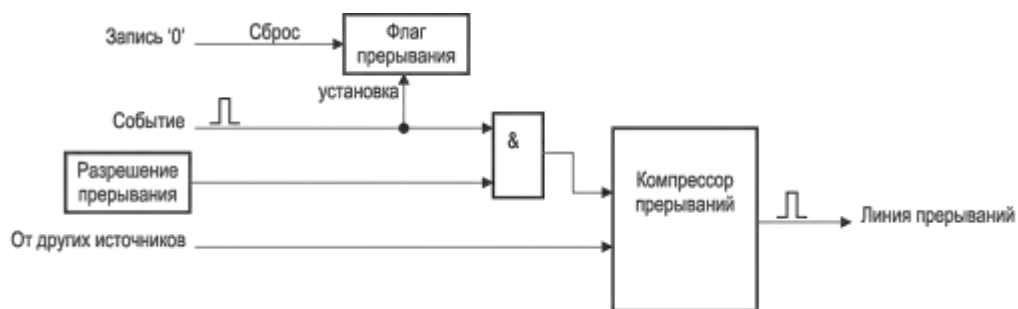


Рисунок 18.12 – Структура формирования запроса на прерывание

Событие, по которому должен быть сгенерирован запрос на прерывание, устанавливает флаг прерывания и (если разрешено) формирует запрос на прерывание на одной из 16 линий прерываний. Импульс запроса на прерывание генерируется независимо от состояния флага прерывания. Флаг прерывания может быть сброшен программно, записью нуля. Если к одной линии прерываний подключены несколько источников прерываний, то появление импульса от любого источника сформирует запрос на прерывание. Логика управления прерываниями использует схему компрессии прерываний.

Источниками прерываний являются:

- CAN узлы (8 источников – по 4 для каждого узла);
- объекты сообщений (512 источников – по 2 для каждого объекта);
- программное прерывание (источник – регистр MITR).

Каждый аппаратный источник прерывания управляется 4 битами указателя прерываний, который определяет для него одну из 16 линий прерываний, что позволяет коммутировать на одну линию несколько источников прерываний. На рисунке 18.13 представлен компрессор прерываний.

Когда объект сообщения n генерирует запрос на прерывание по окончании приема или передачи сообщения, запрос передается на линию прерываний, выбранную в битовом поле RXINP или TXINP регистра MOIPR n объекта сообщения n . Если количество объектов сообщений больше, чем количество линий прерываний, то на одну линию могут приходиться несколько запросов прерываний. Для разрешения конфликтов на линиях прерываний в контроллере CAN предусмотрен механизм распределения приоритетов для объектов сообщений.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

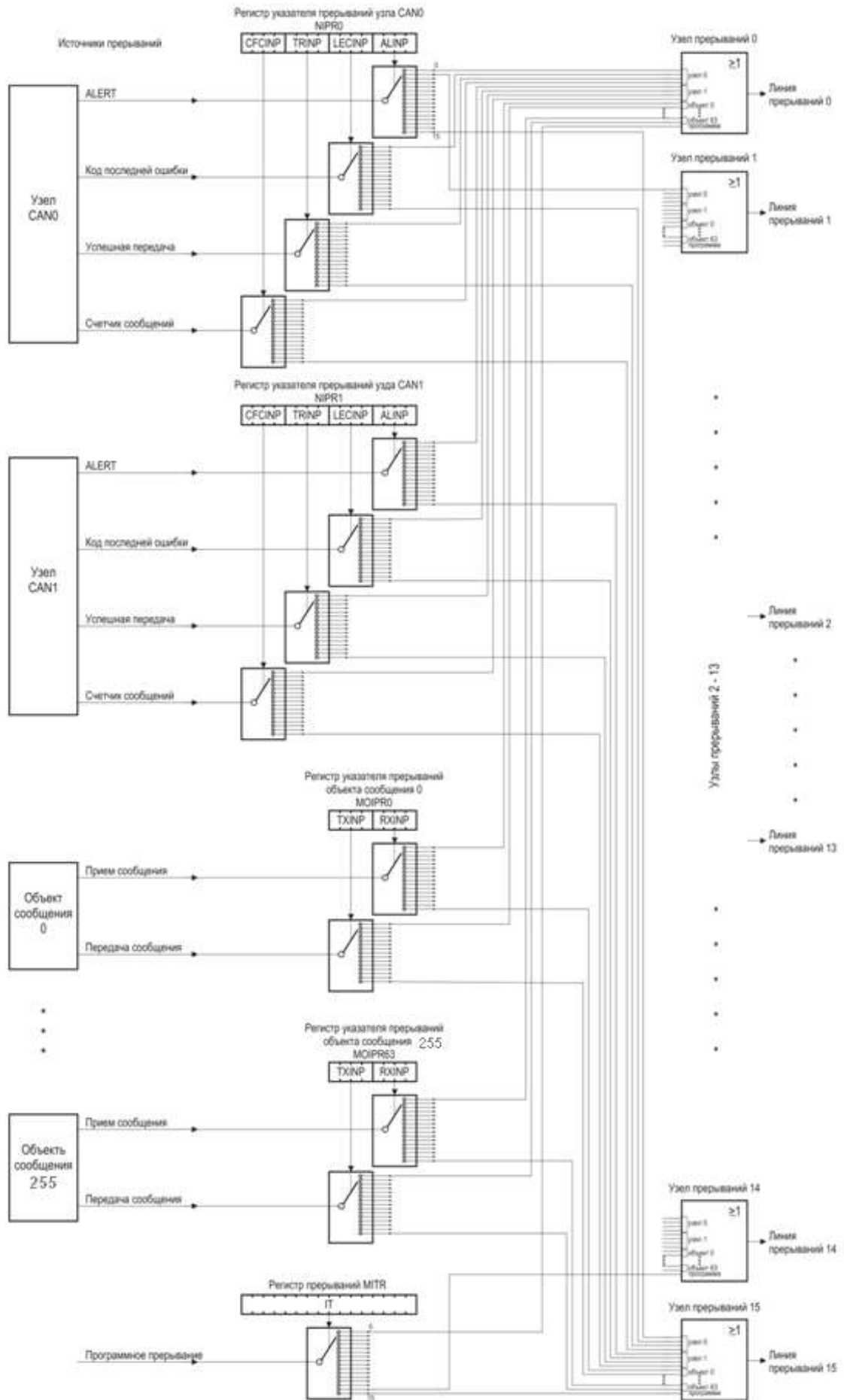


Рисунок 18.13 – Компрессор прерываний

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

18.3 Узел контроллера CAN

Каждый узел CAN имеет свою собственную логику управления и выдачи информации о состоянии и может быть сконфигурирован и работать независимо от другого узла.

Режим конфигурации включается установкой бита CCE регистра NCRx. Режим конфигурации позволяет изменять параметры синхронизации битов и состояния счетчиков ошибок.

Конфигурация прерываний задается битами TRIE, ALIE и LECIE:

- бит TRIE управляет разрешением прерывания после передачи сообщения;
- бит ALIE управляет разрешением прерываний по ошибке.
- бит LECIE управляет разрешением прерывания по коду последней ошибки.

Регистр NSRx отражает текущее состояние, содержит информацию о передачах и ошибках узла.

Блок управления узлом

Координирует работу:

- разрешает/запрещает действия узла на шине;
- разрешает/запрещает и генерирует различные события, касающиеся работы узла (ошибка на шине, успешное завершение передачи сообщения), которые приводят к формированию запросов на прерывания;
- управляет счетчиком сообщений.

Блок синхронизации битов

Согласно стандарту ISO 11898 время передачи одного бита разделено на сегменты, которые, в свою очередь, составлены из целочисленных отрезков времени, называемых квантами времени t_q (см. рисунок 18.14). Квант времени – фиксированная единица времени, получаемая из частоты синхронизации и делителя контроллера CAN.

Сегмент синхронизации T_{sync} позволяет синхронизировать начало обмена данными между передатчиком и приемником. Длительность сегмента всегда равна одному кванту времени.

Сегмент распространения – T_{prop} . Используется для компенсации физического времени запаздывания сигнала в пределах сети. Длительность сегмента рассчитывается с учетом времени прохождения сигнала от передатчика к приемнику и обратно, входной задержки компаратора и задержки выхода драйвера и может составлять от 1 до 8 квантов времени.

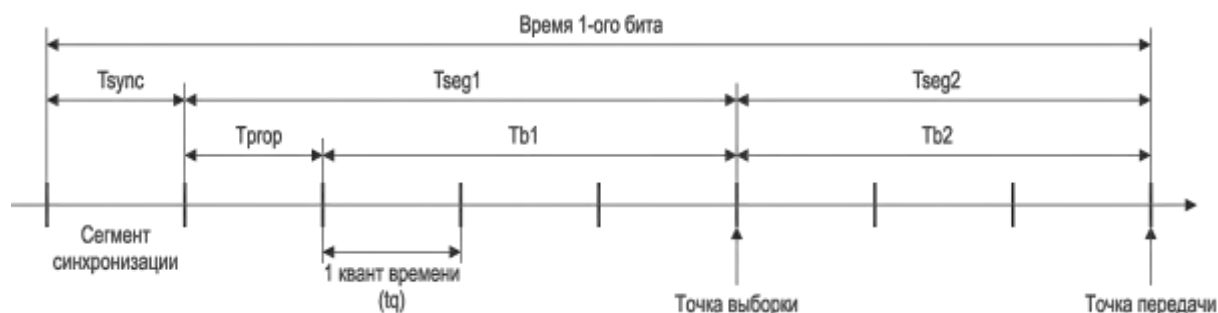


Рисунок 18.14 – Структура одного бита

Сегменты буфера фазы 1 и буфера фазы 2 – T_{b1} и T_{b2} , расположенные до и после точки выборки, используются для компенсации смещения фазы тактовых частот источника и приемника, обнаруживаемой после появления сегмента синхронизации, а также для оптимального расположения точки выборки полученного бита.

Ив. № подл.	
Подп. и дата	
Взам. инв. №	
Ив. № дубл.	
Подп. и дата	

Точка выборки – момент, когда читается состояние шины для определения принятого бита. Как правило, длительность временного интервала от начала бита до точки выборки составляет 60 – 70 % времени бита, в зависимости от системных параметров.

Сегмент распространения и сегмент буфера фазы 1 вместе составляют сегмент параметра 1 (Tseg1), который определяется битовым полем TSEG1 регистра синхронизации битов NBTRx (может быть записан, только если установлен бит CCE регистра NCRx). Согласно стандарту ISO, минимальная длительность сегмента параметра 1 должна составлять три кванта времени.

Сегмент параметра 2 (Tseg2) определяется битовым полем TSEG2 регистра NBTRx и охватывает сегмент буфера фазы 2. Минимальная длительность сегмента параметра 2 составляет два кванта времени.

Согласно стандарту ISO, минимальная длительность одного бита, получающаяся сложением сегментов Tsync, Tseg1 и Tseg2 не должна быть менее 8 квантов времени.

Максимальная длительность бита – 25 квантов времени.

Примечание – Минимальное номинальное время передачи одного бита составляет 1 мкс, что соответствует скорости передачи 1 Мбит/с.

Формулы вычисления значений сегментов и времени одного бита Tbit:

- при DIV8 = 0 значение кванта времени $tq = (BRP + 1) / f_{out}$;
- при DIV8 = 1 значение кванта времени $tq = 8 \times (BRP + 1) / f_{out}$;
- $Tsync = 1 \times tq$;
- $Tseg1 = (TSEG1 + 1) \times tq \geq 3tq$;
- $Tseg2 = (TSEG2 + 1) \times tq \geq 2tq$;
- $Tbit = Tsync + Tseg1 + Tseg2 \geq 8tq$.

Чтобы компенсировать смещение фазы между частотами генераторов различных узлов шины, каждое устройство должно синхронизироваться по фронту смены уровня сигнала на шине от рецессивного к доминантному. Как только фронт обнаруживается, логика синхронизации сравнивает его текущее положение с ожидаемым и выполняет настройку значений параметров Tseg1 и Tseg2.

Контроллер CAN использует два механизма синхронизации – аппаратный и ресинхронизацию (синхронизация с восстановлением тактовых интервалов).

Аппаратная синхронизация выполняется по каждому фронту смены уровня сигнала на шине от рецессивного к доминантному. При аппаратной синхронизации временные интервалы сегментов, из которых складываются времена битов, не изменяются в течение всего сообщения.

Ресинхронизация выполняется автоматическим удлинением сегмента Tseg1 или укорачиванием сегмента Tseg2. Максимальное значение изменения сегментов колеблется в пределах от 1 до 4 квантов времени. Синхронизация выполняется только при появлении фронта смены уровня сигнала на шине от рецессивного к доминантному. Фиксированное значение максимального числа последовательных бит одинаковой полярности гарантирует своевременное восстановление синхронизации. Смещение фазы фронта смены уровня сигнала на шине отслеживается относительно сегмента синхронизации и измеряется в квантах времени.

Если величина фазового смещения меньше или равна запрограммированному значению ширины перехода ресинхронизации T_{sjw} , выполняется аппаратная синхронизация.

Если величина смещения фазы больше, чем T_{sjw} , а фазовое смещение положительно, то удлиняется сегмент Tseg1, в случае отрицательного фазового смещения укорачивается сегмент Tseg2.

Значение T_{sjw} определяется полем SJW регистра NBTRx по формуле:

$$T_{sjw} = (SJW + 1) \times tq.$$

Помимо прочего, должны соблюдаться следующие правила:

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

$$T_{seg1} \geq T_{sjw} + T_{prop} \text{ и } T_{seg2} \geq T_{sjw}.$$

Соотношения между максимальным отклонением частоты f_{out} и сегментами буферов фаз и шириной перехода ресинхронизации следующие:

- $\Delta f_{out} \leq T/2 \times (13 \times T_{bit} - T_{b2})$,
- $\Delta f_{out} \leq T_{sjw} / 20 \times T_{bit}$,

где T – меньшее из T_{b1} и T_{b2} .

В итоге:

- T_{sync} составляет 1 квант времени;
- T_{prop} – от 1 до 8 квантов времени;
- T_{b1} – от 1 до 8 квантов времени;
- T_{b2} – выбирается равным двум квантам времени или равным сегменту T_{b1} , если его значение более двух квантов времени;
- T_{sjw} может составлять максимально 4 кванта времени, однако, в типовых приложениях достаточно 1.

Корректные значения параметров синхронизации битов должны быть записаны в регистр NBTRx (доступен, если установлен бит CCE) до окончания инициализации (до сброса бита INIT регистра NCRx), т.е. до начала работы CAN узла.

Процессор потока битов

Процессор потока битов формирует (на основе содержимого объектов сообщений) сообщения данных и удаленные запросы непосредственно перед отправкой на шину CAN. Процессор потока управляет генератором CRC (генератор контрольной суммы) и добавляет контрольную сумму к сообщению. После вставки битов начала (SOF) и конца (EOF) сообщения, процессор потока начинает передачу сообщения по правилам арбитража шины CAN. В течение всего времени передачи сообщения процессор потока битов ведет мониторинг шины. Если обнаруживается несовпадение текущего (определяемого мониторингом) и ожидаемого (выдаваемого CAN узлом) уровня напряжения на шине, генерируется ошибка и соответствующий ей запрос на прерывание. Код возникшей ошибки отражается в битовом поле LEC регистра NSRx.

Корректность получаемых данных проверяется и подтверждается или не подтверждается кодом CRC. В случае отсутствия подтверждения возникает ошибка, генерируется запрос на прерывание и код ошибки выставляется в регистре NSRx. Кроме этого, на шину выдается сообщение об ошибке.

После получения сообщения, не содержащего ошибок, и разбиения его на идентификатор и пакет данных полученная информация записывается в буфер блока обработки сообщений, формируется соответствующее прерывание, и обновляются регистры состояния.

Блок обработки ошибок

Блок обработки ошибок CAN узла предназначен для выявления ошибок в работе устройств узла. В составе блока есть два счетчика: счетчик ошибок приема (поле REC в регистре NECNTx) и счетчик ошибок передачи (поле TEC). Инкрементированием и декрементированием счетчиков управляет процессор потока битов.

Если процессор потока битов сам выявляет ошибку в процессе передачи, то счетчик ошибок передачи (поле TEC) инкрементируется на 8. Инкрементирование на 1 происходит, если об ошибке сообщено внешним CAN-устройством путем генерирования сообщения об ошибке. Направление передачи с ошибочным сообщением и узел, сообщивший об ошибке передачи, указывают на соответствующие узлы CAN в регистрах NECNTx, что используется для анализа ошибки.

В зависимости от значений счетчиков ошибок узел CAN может находиться в одном из трех состояний:

- активной ошибки;
- пассивной ошибки;

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

- отключен от шины.

Узел находится в состоянии активной ошибки, если значение каждого из счетчиков ошибок меньше 128. Узел в состоянии активной ошибки присоединен к шине и посылает флаг активной ошибки при обнаружении ошибок.

Узел находится в состоянии пассивной ошибки, если значение хотя бы одного из счетчиков ошибок больше или равно 128. Узел подключен к шине, но при обнаружении ошибок посылает флаг пассивной ошибки. После передачи узел в состоянии пассивной ошибки будет ждать инициализации дальнейшей передачи.

Узел находится в состоянии отключения от шины, если значение счетчика ошибок ТЕС больше или равно 256. О том, что CAN узел находится в состоянии отключения от шины, сигнализирует флаг BOFF регистра NSRx. Узел в состоянии отключения от шины не может работать с шиной (выходные передатчики отключены).

Флаг EWRN регистра NSRx устанавливается, когда хотя бы один из счетчиков достиг или превысил лимит ошибок, определенный в битовом поле EWRNLVL регистра NECNTx. Как только значения обоих счетчиков перестанут превышать лимит ошибок, флаг EWRN сбросится.

Счетчик сообщений

Счетчик сообщений может использоваться получения информации о завершении передачи/приема сообщения соответствующего узла CAN. Подсчет сообщений осуществляется 16 разрядным счетчиком, который управляется регистром NFCRx. Битовые поля CFMOD и CFSEL определяют режим работы и событие для инкрементирования счетчика.

Каждый узел CAN имеет в своем составе 16-разрядный счетчик сообщений/синхросчетчик, который подсчитывает количество принятых и переданных сообщений. Битовое поле CFSEL определяет один из трех режимов работы счетчика.

В режиме подсчета сообщений после успешной передачи и/или приема сообщения, содержимое счетчика копируется в битовое поле CFCVAL регистра MOIPRn объекта сообщения n, участвующего в пересылке данных. После чего счетчик сообщений инкрементируется.

Прерывания узла CAN

Узел может генерировать запросы на прерывания (см. рисунок 18.15) в случае:

- успешной передачи/приема сообщения;
- обнаружения кода последней ошибки;
- переполнения счетчика сообщений;
- состояния ALERT (состояние, возникающее, когда хотя бы один из счетчиков ошибок узла достиг значения своего лимита, изменяется состояние «отключен от шины», возникает ошибка длины списка или ошибка списка объектов).

После каждой успешной передачи или успешного приема сообщения генерируется (если разрешено соответствующими битами TXOK и RXOK) прерывание. Битовое поле TRINP регистра NIPRx задает одну (из 16) линию прерывания.

Прерывание узла при возникновении кода последней ошибки формируется (если разрешено битом LECIE), если после модификации поля LEC его значение больше нуля. Битовое поле LECINP задает линию прерывания.

Прерывание узла при переполнении счетчика сообщений генерируется, если оно разрешено битом CFCIE регистра NFCRx. Битовое поле CFCINP задает линию прерывания.

ALERT прерывание может быть сформировано (если разрешено битом ALERT) любым из следующих событий:

- изменение состояния бита BOFF;
- изменение состояния бита EWRN;

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Подп. и дата	Подп. и дата

- ошибка длины списка, которая также выставляет бит LLE;
- ошибка элемента списка, которая также выставляет бит LOE;
- бит INIT выставлен аппаратно.

Битовое поле ALINP задает линию прерывания.

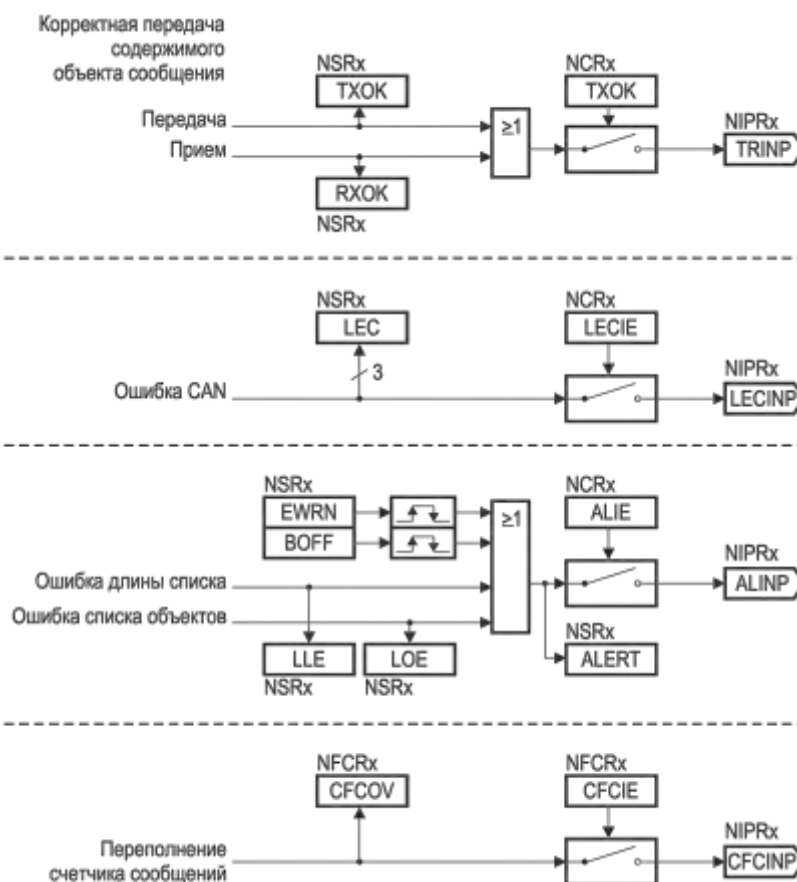


Рисунок 18.15 – Прерывания CAN узла

В дополнение к аппаратным прерываниям есть возможность программного генерирования прерываний с использованием регистра прерываний MITR. Запись единицы в n-й разряд битового поля IT генерирует сигнал запроса прерывания на соответствующей ему n-ой линии прерываний (одной из 16). Установка нескольких битов приводит к параллельному генерированию запросов прерываний на соответствующих установленным битам линиях прерываний.

18.4 Объекты сообщений

Регистры управления и состояния объектов сообщений

В состав каждого объекта сообщения входят девять 32-разрядных регистров:

- управления и состояния – MOCTRn (только запись) и MOSTATn (только чтение), расположенные по одному адресу;
- арбитража – MOARn;
- данных – MODATANn и MODATALn;
- маски – MOAMRn;
- указателя прерываний – MOIPRn;
- указателя FIFO/шлюза – MOFGPRn;
- управления функционированием – MOFCRn.

Инва. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инва. № дубл.	Подп. и дата
Инва. № подл.	Подп. и дата

Расположение регистров представлено на рисунке 18.16, где для примера взят пятый объект сообщения. Расположение регистров всех объектов сообщений идентично.

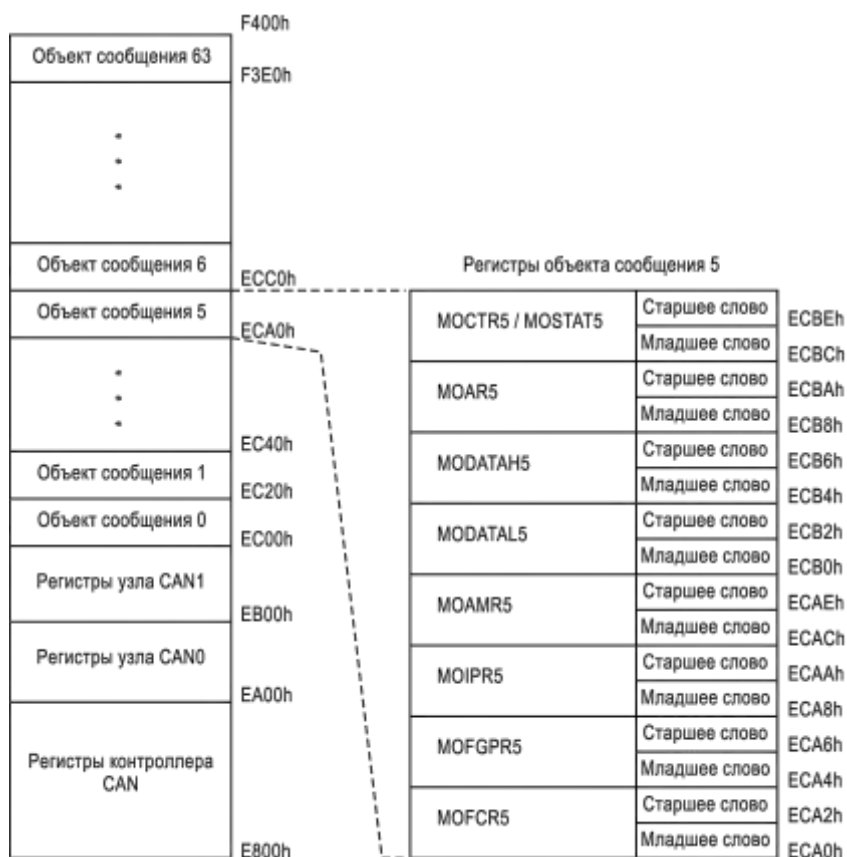


Рисунок 18.16 – Структура объектов сообщений

Контроллер списка

Структура списка объектов сообщений

Объекты сообщений контроллера CAN могут быть организованы в восемь списков (см. рисунок 18.17).

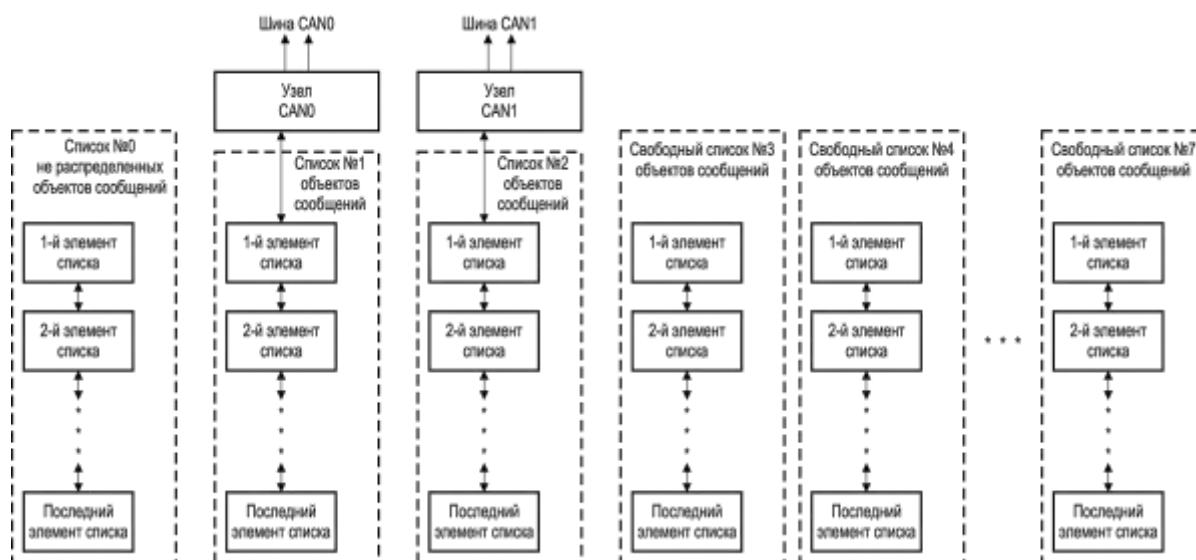


Рисунок 18.17 – Списки контроллера CAN

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Взам. инв. №
Подл. и дата	Инв. № дубл.
Подл. и дата	Подл. и дата

Каждый объект сообщения может быть добавлен в один из списков. Каждый узел CAN имеет свой список и соответствующий регистр списка. Регистр LIST1 отражает состояние списка №1 узла CAN0, регистр LIST2 – списка №2 узла CAN1.

Примечание – Узел может оперировать только с теми объектами сообщений, которые занесены в принадлежащий ему список.

Положение объекта сообщения n в списке определяется посредством регистра MOSTAT n , который содержит указатели на предшествующий ему и следующий за ним элементы списка (объекты). Нераспределенные между узлами CAN объекты сообщений по умолчанию организуются в отдельный список №0, состояние которого отражается в регистре LIST0. Остальные пять списков с номерами от 3 до 7 являются свободными (не принадлежат ни одному узлу) и имеют соответствующие регистры LIST3 – LIST7.

Примечание – Объекты сообщений, распределенные в списки с 3 по 7, не могут быть использованы узлами CAN.

Механизмы FIFO и шлюза (см. далее) оперируют с объектами сообщений независимо от их распределения по спискам, что дает возможность работы со всеми восемью списками. Следовательно, при использовании механизмов FIFO и шлюза следует внимательно следить за содержимым списков.

На рисунке 18.18 представлен вариант, когда объекты сообщений с номерами 3, 5 и 16 занесены в список № 2, принадлежащий узлу CAN1. Состояние списка отражено в регистре LIST2.

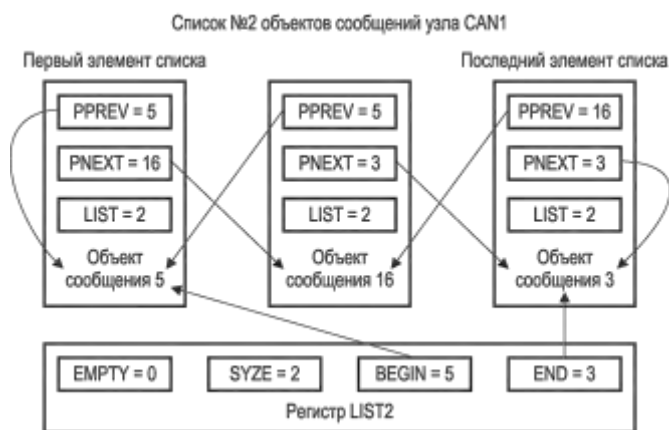


Рисунок 18.18 – Пример списка объектов сообщений

Значение поля BEGIN регистра LIST2 указывает на первый элемент списка (объект сообщения 5). Значение поля END указывает на последний элемент списка (объект сообщения 3). Количество элементов списка (количество объектов сообщений в списке) отражается в поле SIZE (значение SIZE всегда на единицу меньше количества элементов списка). Бит EMPTY является индикатором заполнения списка. Если список пуст, бит EMPTY установлен, в противном случае бит сброшен.

Каждый объект сообщения содержит номер списка (поле LIST регистра MOSTAT n), к которому он относится, а также указатели PNEXT и PPREV на следующий по списку объект сообщения и предшествующий, соответственно. Поле PPREV первого по списку объекта сообщения должно указывать на этот же объект. Поле PNEXT последнего по списку объекта сообщения должно указывать на этот же объект.

На рисунке 18.18 указатель PPREV пятого объекта сообщения (первого в списке) имеет значение 5h, а указатель PNEXT третьего объекта сообщения (последнего в списке) имеет значение 3h. Значение поля LIST всех трех объектов сообщений равно 2h.

Объект сообщения, у которого LIST = 0h относится к нулевому списку нераспределенных объектов. После сброса все объекты сообщений считаются нераспределенными. По умолчанию, порядок элементов списка № 0 следующий: объект

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

сообщения $n - 1$ является предыдущим объекта сообщения n , а объект сообщения $n + 1$ – следующим.

Панель команд списка

Для просмотра структуры списка объектов сообщений узла достаточно обратиться к соответствующим регистрам LIST1/LIST2 и MOSTATn.

Структура списка управляется и изменяется посредством контроллера списка, который, в свою очередь, управляется панелью команд, основное назначение которой – упрощение внесения изменений в структуру списка, отслеживание этих изменений и проверка их корректности.

Регистр панели команд PANCTR полностью определяет действия контроллера списка по построению и реорганизации списков объектов сообщений.

Панель команд запускается записью соответствующей команды в битовое поле PANCMD. До записи кода команды в поле PANCMD должны быть записаны соответствующие аргументы команды в битовые поля PANAR1 и PANAR2.

Примечание – Запись новых значений в поля PANAR1 и PANAR2 не изменяет сразу их содержимого. Новые значения сначала попадают в специальный теневой регистр. Далее, одновременно с записью кода команды в поле PANCMD, новые значения из теневого регистра переносятся в поля PANAR1 и PANAR2.

С записью корректного кода команды выставляется флаг BUSY и в дальнейшем все попытки записи в регистр PANCTR игнорируются. Флаг BUSY остается активным, а панель команд заблокированной до тех пор, пока не завершится выполнение записанной команды.

После сброса микроконтроллера контроллер списка формирует список № 0 нераспределенных объектов сообщений. Во время этой операции флаг BUSY установлен и все обращения к ОЗУ объектов сообщений запрещены. ОЗУ становится доступным только после сброса флага BUSY.

Примечание – После сброса ОЗУ объектов сообщений автоматически инициализируется контроллером списка для обеспечения каждого объекта сообщения корректным указателем на список. По окончании этой операции флаг BUSY сбрасывается.

В случае появления команды динамического распределения, по которой какой-либо элемент забирается из списка № 0 и переносится в другой указанный список, наряду с битом BUSY, устанавливается бит RBUSY. Это указывает на то, что значения битовых полей PANAR1 и PANAR2 будут обновлены контроллером списка следующим образом:

- номер объекта сообщения, переносимого из списка № 0 нераспределенных объектов сообщений, записывается в PANAR1;

- если установлен бит ERR (седьмой бит поля PANAR2), значит, список № 0 пуст и выполнение команды завершается; если бит ERR сброшен – список № 0 не пуст и команда выполняется.

Результаты выполнения команды динамического распределения записываются до того, как контроллер списка начнет процесс распределения. Как только результаты станут доступны, бит RBUSY сбрасывается. Это позволяет пользователю запрограммировать настройки желаемого объекта сообщения, в то время как контроллер списка распределяет объекты. Во время операций со списками доступ к объектам сообщений не запрещен, но следует помнить, что любой доступ к регистрам ОЗУ объектов сообщений в течение процесса распределения объектов вносит задержку (в процесс), равную длительности доступа.

Код команды «нет операции» автоматически записывается в битовое поле PANCMD.

Новая команда может быть записана в любое время, когда бит BUSY сброшен.

Все битовые поля регистра PANCTR, исключая биты BUSY и RBUSY, могут быть записаны программно, что делает возможным сохранять и восстанавливать значения регистра PANCTR, если панель команд используется независимой подпрограммой

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

обработки прерываний. Если возникает такая ситуация, то любые задачи, которые используют панель команд и которые могут прерывать выполнение других задач, тоже использующих панель команд, будут опрашивать состояние флага BUSY. До тех пор, пока флаг BUSY будет оставаться установленным, содержимое регистра PANCTR будет сохранено в соответствующей области памяти до операции восстановления. Как только подпрограмма обработки прерываний закончится, содержимое регистра PANCTR будет восстановлено.

До того, как объект сообщения, занесенный в список активного узла CAN, будет перенесен на другую позицию этого же списка или перенесен в другой список, бит MSGVAL регистра MOSTATn объекта сообщения n должен быть очищен.

Примечание – Если требуется перераспределить объекты сообщений в списки повторно, необходимо приостановить работу узлов CAN (установить бит INIT регистра NCRx), а после занесения объектов в списки возобновить ее (сбросить бит INIT).

18.5 Прием и передача сообщений

Прием сообщения

После завершения приема сообщение сохраняется в объекте сообщения в соответствии с установленным алгоритмом (см. рисунок 18.19). Помимо сохранения данных в объекте сообщения, контроллер CAN осуществляет обмен данными с ЦП.

Бит MSGVAL корректности объекта сообщения

При приеме сообщения информация сохраняется в объекте сообщения только в том случае, если установлен бит MSGVAL регистра MOSTATn. Если ЦП очищает бит MSGVAL, контроллер CAN останавливает запись в объект сообщения, и далее объект может быть реконфигурирован центральным процессором с последующей записью в него информации без участия контроллера CAN.

Бит RTSEL распределения объекта сообщения

Реконфигурация объекта сообщения центральным процессором во время работы контроллера CAN (например, сброс бита MSGVAL, изменение объекта сообщения и повторная установка бита MSGVAL) происходят следующим образом:

- объект сообщения получает приоритет;
- ЦП очищает бит MSGVAL для реконфигурации объекта сообщения;
- после реконфигурации ЦП снова устанавливает бит MSGVAL;
- завершается получение сообщения;
- если установлен бит MSGVAL, полученные данные сохраняются в объекте сообщения, генерируется запрос на прерывание, устанавливается соответствующий флаг;
- если сконфигурировано, производятся шлюзовые и FIFO операции.

Примечание – После реконфигурации объекта сохранение данных по завершении получения сообщения может быть нежелательным. Запретить запись данных в объект сообщения можно посредством бита RTSEL.

После получения объектом сообщения приоритета его бит RTSEL устанавливается контроллером CAN, открывая, таким образом, объект сообщения для записи. После приема сообщения контроллер CAN дополнительно проверяет возможность записи в объект сообщения, а именно – установлен ли все еще бит RTSEL. И только в том случае, если бит RTSEL установлен, полученные данные сохраняются в объекте сообщения (вместе со всеми последующими действиями, которые указаны выше).

Если во время операций контроллера CAN объект сообщения становится некорректным (сброс бита MSGVAL), бит RTSEL должен быть сброшен до того, как бит MSGVAL будет установлен снова, или, по крайней мере, одновременно с ним. Это необходимо для предотвращения сохранения старой информации в объекте сообщения.

Реконфигурация объекта сообщения должна происходить следующим образом:

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

- сброс бита MSGVAL;
- реконфигурация объекта сообщения, пока бит MSGVAL сброшен;
- сброс бита RTSEL и далее установка бита MSGVAL.

Бит RXEN разрешения приема

Полученное с шины сообщение может быть сохранено в объекте сообщения только в случае, если установлен бит RXEN. Контроллер CAN проверяет состояние бита RXEN только во время фильтрации (см. далее) принимаемого сообщения. После того, как сообщение принято, состояние бита не имеет значения и не оказывает влияния на дальнейшее сохранение данных в объекте сообщения.

Бит RXEN позволяет управлять блокированием объекта сообщения – после сброса бита RXEN полученное сообщение сохраняется в объекте сообщения, который получил приоритет, но в сохранении последующих сообщений этот объект не принимает участия.

Флаги RXUPD, NEWDAT и MSGLST

Индикатором процесса сохранения (изменения) данных в объекте сообщения является флаг RXUPD, который выставляется с началом процесса сохранения (изменения) и сбрасывается с его окончанием.

После сохранения полученного сообщения (идентификатора, бита IDE, кода длины данных, поля данных, в случае сообщения данных) выставляется флаг NEWDAT. Если к моменту выставления (завершение сохранения/изменения данных) флаг NEWDAT был уже установлен, выставляется флаг MSGLST, который говорит о том, что произошла потеря данных.

Флаги RXUPD и NEWDAT позволяют произвести чтение корректных данных из объекта сообщения во время текущих операций контроллера CAN. Рекомендуемая последовательность действий следующая:

- сброс флага NEWDAT;
- чтение данных (идентификатор, данные и т. д.) из объекта сообщения;
- проверка флагов NEWDAT и RXUPD – оба флага должны быть сброшены. В случае невыполнения этого условия возвращение к первому действию;
- если флаги NEWDAT и RXUPD сброшены, то содержимое объекта сообщения корректно и не используется контроллером CAN в течение операции чтения.

Поведение флагов RXUPD, NEWDAT и MSGLST идентично как для сообщений данных, так и для сообщений удаленных запросов.

Передача сообщения

Алгоритм передачи сообщений показан на рисунке 18.20. Одновременно с копированием данных (идентификатора, бита IDE, бита RTR, равного биту DIR, кода длины данных и собственно данных) из объекта сообщения, содержимое которого должно быть передано во внутренний передающий буфер соответствующего узла CAN, для контроля соблюдения четкой последовательности выполнения всех операций устанавливаются биты состояния.

Биты MSGVAL, TXEN0, TXEN1 и TXRQ

Сообщение может быть передано только в случае, когда все четыре бита установлены.

Бит RTSEL

Бит RTSEL выставляется после того, как объект сообщения получает приоритет для передачи своего содержимого. Когда данные объекта сообщения копируются в передающий буфер, бит RTSEL проверяется, и если он установлен, сообщение передается. После успешной передачи сообщения бит RTSEL проверяется снова, и если он установлен, осуществляются дальнейшие операции.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

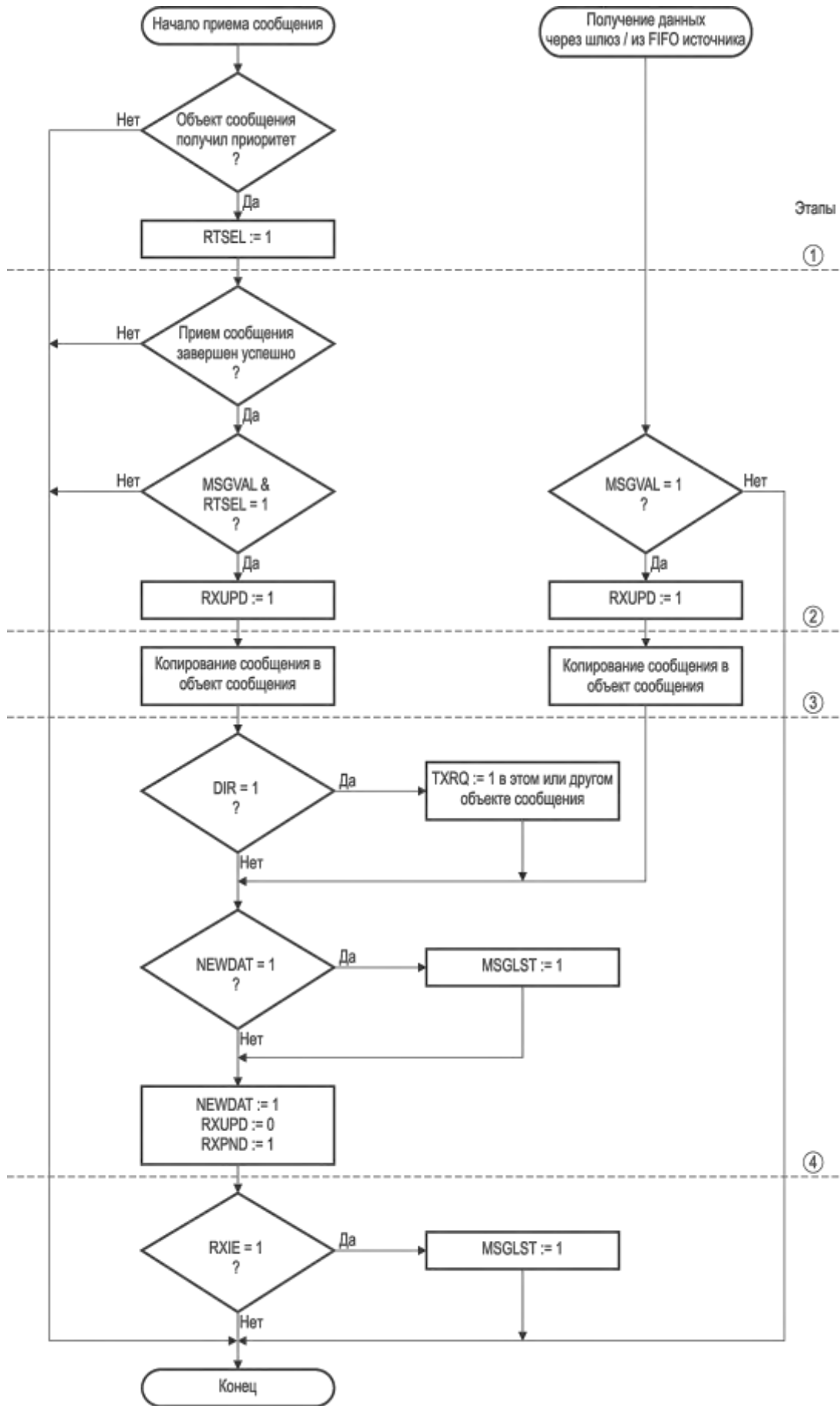


Рисунок 18.19 – Прием сообщения

Инв. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

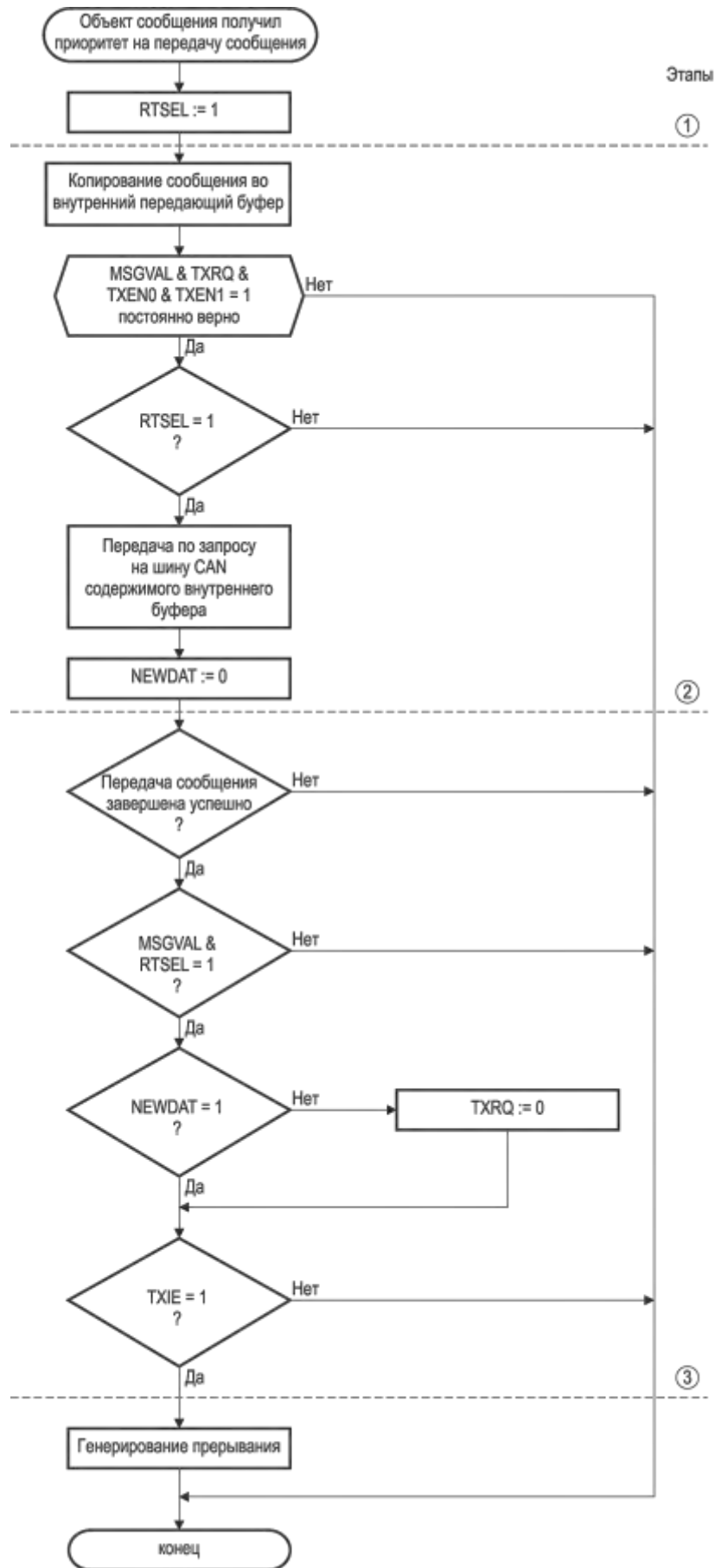


Рисунок 18.20 – Передача сообщения

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Для полной и завершенной реконфигурации корректного объекта сообщения должны быть выполнены следующие шаги:

- очистка бита MSGVAL;
- реконфигурация объекта сообщения, пока бит MSGVAL сброшен;
- сброс бита RTSEL и установка бита MSGVAL.

Сброс бита RTSEL гарантирует как полное отключение объекта сообщения от текущей передачи, так и то, что никакие операции (копирование данных в передающий буфер, включая сброс бита NEWDAT, очистка бита TXRQ, прерывание сообщения и т. д.), относящиеся к старой конфигурации этого объекта сообщения, не повлияют на новую конфигурацию после установки бита MSGVAL.

Флаг NEWDAT

После завершения передачи содержимого объекта сообщения в передающий буфер узла CAN, флаг NEWDAT аппаратно сбрасывается, тем самым обозначая, что объект сообщения открыт для записи новых данных.

Если после успешной передачи сообщения (на CAN-шину) флаг NEWDAT все еще остается сброшенным (в объект сообщения не были записаны новые данные), флаг TXRQ аппаратно сбрасывается. Если же флаг NEWDAT был установлен программно (в связи с необходимостью передачи новых данных), флаг TXRQ не сбрасывается, тем самым разрешая передачу новых данных.

18.6 Фильтрация сообщений

Контроллер CAN использует фильтрацию для контроля приема и передачи сообщений.

Фильтрация при получении сообщений

При получении узлом CAN сообщения определяется объект сообщения, в котором будут сохранены получаемые данные в случае успешного приема.

Объект сообщения считается корректным для приема, если одновременно соблюдаются условия:

- объект сообщения распределен в список объектов сообщений узла, который принимает сообщение;
- бит MSGVAL установлен;
- бит RXEN установлен;
- бит DIR равен биту RTR принимаемого сообщения. Если бит DIR установлен (объект передачи) объект сообщения может принять только сообщение удаленного запроса. Если бит DIR сброшен (объект приема), объект сообщения может принять только сообщение данных;
- если бит MIDE установлен, то бит IDE получаемого сообщения оказывает следующее влияние:
 - если бит IDE (регистр MOARn) установлен, то бит IDE принимаемого сообщения должен быть равен единице (расширенный идентификатор);
 - если бит IDE сброшен, бит IDE принимаемого сообщения должен быть равен нулю (стандартный идентификатор);
 - если бит MIDE сброшен, значение бита IDE принимаемого сообщения не важно, т.е. допускаются сообщения как со стандартным, так и с расширенным идентификатором;
 - идентификатор полученного сообщения полностью (побитно) совпадает с идентификатором, хранящимся в регистре MOARn объекта сообщения, за исключением битов, закрытых маской регистра MOAMRn, значение которых не важно. На рисунке 18.21 показан пример проверки идентификатора.

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата



Рисунок 18.21 – Проверка идентификатора полученного сообщения

Среди всех объектов сообщений, которые отвечают указанным выше критериям, для сохранения полученного сообщения выбирается объект с наивысшим приоритетом. Для задания приоритета используется поле PRI в регистре MOARn. Объект сообщения, у которого значение поля PRI меньше, имеет больший приоритет. При равенстве значений поля PRI приоритетным считается объект сообщения, который предшествует следующему в списке.

Фильтрация при передаче сообщений

Когда требуется передача содержимого какого-либо объекта сообщения, в соответствующих управляющих регистрах выставляются флаги, указывающие на необходимость передачи. Объект сообщения считается корректным для передачи, если одновременно соблюдаются условия:

- объект сообщения распределен в список объектов сообщений CAN узла;
- флаг MSGVAL установлен;
- флаг TXRQ установлен;
- флаги TXEN0 и TXEN1 установлены.

Может возникнуть ситуация, когда передачи требуют одновременно несколько объектов сообщений. Среди всех объектов, которые отвечают указанным выше критериям, для передачи выбирается объект с наивысшим приоритетом.

Объект сообщения, у которого значение поля PRI (регистр MOARn) меньше, имеет больший приоритет. При равенстве значений поля PRI разных объектов приоритет определяется следующим образом:

- при PRI = 10b – согласно правилам арбитража передачи сообщения;
- при PRI = 01b/11b приоритет имеет объект сообщения, который предшествует следующему в списке.

Объект сообщения, являющийся корректным для передачи и имеющий приоритет, будет осуществлять передачу первым. Остальные объекты сообщений будут переданы по очереди, согласно их приоритетам.

Объект сообщения определяется как стандартный объект сообщения, если в регистре MOFCRn значение битового поля MMC равно нулю. Стандартный объект сообщения может принимать и передавать сообщения, согласно правилам, описанным выше.

На рисунке 18.22 показано формирование запроса на передачу объекта сообщения.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

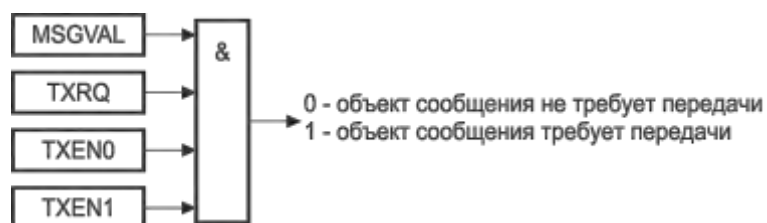


Рисунок 18.22 – Формирование запроса на передачу объекта сообщения

18.7 Удаленные запросы

После получения узлом CAN сообщения удаленного запроса и сохранения его в объекте сообщения выставляется бит запроса передачи для ответа на удаленный запрос (отправка сообщения данных) или для автоматического повторения запроса.

В зависимости от состояния бита FRREN объекта сообщения, который принял сообщение удаленного запроса, возможны два варианта действий:

- если бит FRREN сброшен, то устанавливается флаг TXRQ этого объекта;
- если бит FRREN установлен, то устанавливается флаг TXRQ того объекта, на который указывает поле CUR объекта, принявшего удаленный запрос. При этом поле CUR не меняет своего значения.

Состояние регистров объекта сообщения, передающего сообщение удаленного запроса

У объекта сообщения, передающего сообщение удаленного запроса, в регистре MOSTATn должен быть сброшен бит DIR (объект передает сообщение данных) и установлены биты TXEN0, TXEN1, MSGVAL и TXRQ. Значение идентификатора в регистре MOARn передающего объекта сообщения, должно быть равно значению идентификатора принимающего объекта сообщения (или совместно с регистром MOAMRn обеспечивать успешное прохождение фильтрации), чтобы сообщение удаленного запроса было принято принимающим объектом другого узла. Само сообщение удаленного запроса должно содержать идентификатор принимающего объекта сообщения, поэтому значение регистра MODATALn передающего объекта сообщения должно быть равно значению регистра MOARn принимающего объекта.

Состояние регистров объекта сообщения, принимающего сообщение удаленного запроса при FRREN = 0

У объекта сообщения, принимающего сообщение удаленного запроса, должны быть установлены биты DIR (объект принимает сообщение удаленного запроса), TXEN0 и TXEN1 (если отвечать на запрос будет сам), RXEN и MSGVAL. Регистры MODATALn и MODATANn должны содержать данные, которые будут переданы в ответ на запрос.

Состояние регистров объектов сообщений, принимающего сообщение удаленного запроса (при FRREN = 1) и содержащего данные для ответа на запрос

У объекта сообщения, принимающего сообщение удаленного запроса, должны быть установлены биты DIR, RXEN и MSGVAL. Битовое поле CUR должно указывать на номер объекта сообщения (должен находиться в том же узле, что и объект принявший сообщение удаленного запроса), содержащего данные, предназначенные для передачи в ответ на поступивший удаленный запрос.

В свою очередь у объекта сообщения, хранящего данные для отправки в ответ на запрос, должны быть установлены биты DIR, (объект передает сообщение данных), TXEN0, TXEN1 и MSGVAL. Бит TXRQ устанавливается автоматически при приеме сообщения удаленного запроса принимающим объектом сообщения.

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата

Прием ответа на запрос (переданного сообщения данных) осуществляется стандартным объектом сообщения запрашивающего узла CAN (обмен данными происходит между объектом сообщения, хранящим данные для отправки в ответ на запрос, и объектом сообщения запрашивающего узла CAN).

18.8 Дополнительные режимы передачи

Дополнительно имеются два режима, каждый из которых может быть выбран индивидуально:

- режим передачи данных с защитой от повторений;
- режим однократной пересылки данных.

Режим передачи данных с защитой от повторения

Выбирается установкой бита SDT регистра MOFCRn.

После приема сообщения данных и сохранения его в объекте с установленным битом SDT, бит MSGVAL этого объекта аппаратно сбрасывается, чтобы исключить возможность повторного приема и записи в этот объект. Этот режим нельзя использовать для базового объекта FIFO-структуры.

В ответ на сообщение удаленного запроса, принятое объектом с установленными битом SDT будут отправлены данные из объекта сообщения, на который указывает поле CUR объекта, принявшего удаленный запрос. После этого бит MSGVAL объекта принявшего сообщение удаленного запроса сбросится.

Примечание – Объект, принявший сообщение удаленного запроса, не может быть источником данных, передаваемых в ответ на запрос. Это означает, что в данном режиме бит FRREN объекта, принявшего удаленный запрос, обязательно должен быть установлен.

Режим однократной пересылки данных

Выбирается установкой бита STT регистра MOFCRn.

Бит TXRQ сбрасывается, когда содержимое объекта сообщения копируется в передающий буфер узла CAN. Таким образом, в дальнейшем, при неудачной (вследствие ошибок) пересылке сообщения по CAN-шине, повторной передачи не будет.

18.9 FIFO структура объектов сообщений

Регистр MOFGPRn объекта сообщения n содержит установки указателей на объекты сообщений, которые используются при операциях FIFO и шлюзовых операциях.

В случае сильной загрузки ЦП обработка серии сообщений может быть затруднена – например, вследствие получения и/или передачи большого числа сообщений за малые промежутки времени. Для таких случаев предусмотрена система буферов быстрого ввода-вывода, так называемая FIFO структура, которая может функционировать автоматически и позволяет избежать потери принимаемых сообщений, минимизировать время подготовки сообщений к отправке, а также генерировать прерывания по окончании операций.

Допускается организация нескольких параллельных FIFO структур. Число структур и их составляющих зависит только от количества доступных объектов сообщений. FIFO структура может быть создана, изменена и удалена в любой момент времени, даже во время операций контроллера CAN.

На рисунке 18.23 представлена основная FIFO структура. Она состоит из одного базового объекта и n-ого числа вспомогательных объектов. Вспомогательные объекты объединяются последовательно в списки (подобно спискам объектов сообщений). Базовый объект может быть занесен в любой список. Хотя на рисунке базовый объект не относится ни к одному из списков, он может быть вставлен в любую последовательность вспомогательных объектов. Это означает, что базовый объект одновременно является и вспомогательным объектом (шлюзовые операции не возможны). Порядковые номера

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата

объектов сообщений (0, 1, 2 и т. д.) не имеют никакого значения при FIFO операциях с объектами.

Базовый объект не нуждается в обязательном занесении его в какой-либо список, в отличие от вспомогательных объектов, которые должны быть определены в общий список (так как они последовательно связаны). С помощью указателей (битовые поля BOT, CUR и TOP регистра MOFGPRn) можно присоединять базовый объект к вспомогательным объектам, независимо от того, принадлежат базовый и вспомогательный объекты одному списку или разным спискам.

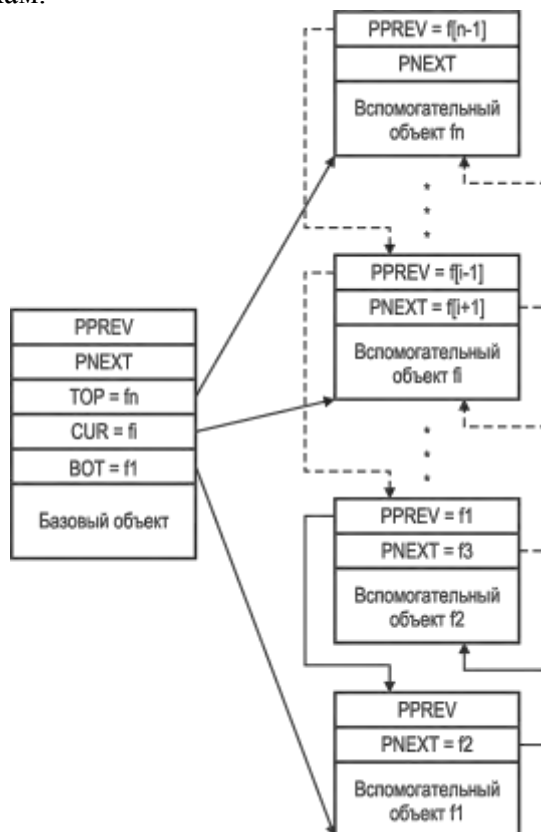


Рисунок 18.23 – FIFO структура с базовым объектом и n вспомогательными объектами

Минимальная FIFO структура может состоять из одного объекта сообщения, который будет одновременно являться и базовым, и вспомогательным (фактически не используется). Максимальная FIFO структура может включать в себя все 256 объектов сообщений.

В базовом объекте FIFO границы установлены: поле BOT указывает на самый младший элемент FIFO структуры, поле TOP – на самый старший элемент, поле CUR – на вспомогательный объект, который в настоящий момент выбран контроллером CAN для передачи сообщения. Как только начинается передача, в CUR записывается номер следующего по списку вспомогательного объекта сообщения ($CUR = PNEXT$ используемого объекта). Если значение битового поля CUR достигло номера старшего элемента списка ($CUR = TOP$), то следующим значением будет BOT (реализация автоматического перехода в начало списка). Таким образом, реализуется замкнутая FIFO структура, в которой битовые поля TOP и BOT устанавливают связь между началом и концом списка.

Битовое поле SEL позволяет определить вспомогательный объект в пределах списка, для которого генерируется прерывание всякий раз, когда указатель CUR достигает значения указателя SEL. Также битовое поле SEL позволяет отследить окончание

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

запланированной передачи серии сообщений или выдать прерывание, предупреждающее о том, что FIFO структура становится заполненной.

FIFO структура для приема

FIFO структура для приема используется для буферизации входящих сообщений данных и удаленных запросов.

FIFO структура для приема активируется записью значения 0001b в битовое поле MMC регистра MOFCRn базового объекта. Эта запись автоматически определяет объект как базовый объект приема FIFO. Типы вспомогательных объектов FIFO не имеют значения при операциях.

Когда базовый объект FIFO получает сообщение от узла CAN, которому он принадлежит, сообщение сохраняется не в этом базовом объекте, а во вспомогательном объекте сообщения, на который указывает битовое поле CUR. При этом по умолчанию предполагается, что для вспомогательного объекта MMC = 0000b (действительное значение MMC игнорируется), и никаких операций фильтрации принимаемого сообщения не производится.

Одновременно с приемом сообщения текущее значение указателя CUR базового объекта меняется на номер следующего по списку вспомогательного объекта FIFO структуры. Этот вспомогательный объект будет использован для приема следующего сообщения.

Если установлен флаг OVIE регистра MOFCRn базового объекта и значение указателя CUR становится равным значению указателя SEL, генерируется прерывание переполнения. Это прерывание генерируется на узле прерываний с указателем TXINP базового объекта сразу после сохранения полученного сообщения во вспомогательном объекте. Прерывания генерируются, если это разрешено битом TXIE.

Следует помнить, что сообщение сохраняется в базовом и вспомогательном объектах FIFO, только если установлен бит MSGVAL.

Во избежание непосредственного приема сообщения вспомогательным объектом, как если бы он был независимым объектом и не принадлежал FIFO структуре, флаги RXEN всех вспомогательных объектов должны быть сброшены. Состояние флага RXEN неважно в случае, когда вспомогательный объект занесен в список, не связанный с узлом CAN.

FIFO структура для передачи

FIFO структура для передачи используется для буферизации серий сообщений данных или удаленных запросов, которые должны быть отправлены. FIFO структура для передачи состоит из базового объекта и одного или более вспомогательных объектов.

FIFO структура для передачи активируется записью значения 0010b в поле MMC регистра MOFCRn базового объекта. В отличие от FIFO структуры для приема, в битовые поля MMC вспомогательных объектов (FIFO структуры для передачи) должно быть записано значение 0011b. Указатели CUR всех вспомогательных объектов должны указывать на базовый объект FIFO передачи (чтобы инициализироваться программно).

Флаги TXEN1 всех вспомогательных объектов сообщений, за исключением одного, на который указывает указатель CUR базового объекта, должны быть программно сброшены. Флаг TXEN1 указанного объекта должен быть установлен. Указатель CUR базового объекта может быть инициализирован для любого вспомогательного объекта.

При определении корректности объектов сообщений FIFO структуры для начала FIFO-операций базовый объект должен быть определен первым как корректный, т.е. MSGVAL должен быть установлен.

В случае необходимости удаления FIFO структуры, прежде, чем начнется операция удаления, все вспомогательные объекты, принадлежащие этой FIFO структуре, должны быть определены как некорректные (биты MSGVAL должны быть сброшены).

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

FIFO структура для передачи использует флаги TXEN1 всех своих объектов для выбора сообщения для передачи. В результате фильтрации право передавать сообщение получает тот объект, у которого выставлен флаг TXEN1. После передачи сообщения флаг TXEN1 аппаратно сбрасывается, а в указатель CUR записывается номер следующего объекта, требующего отправки сообщения, для которого уже выставлен (аппаратно) свой флаг TXEN1, и так далее для всей FIFO структуры.

Если установлен флаг OVIE регистра MOFCRn базового объекта и значение указателя CUR становится равным значению указателя SEL, генерируется прерывание переполнения. Это прерывание генерируется на узле прерываний с указателем RXINP базового объекта после завершения операций получения сообщения. Прерывания приема базового объекта генерируются, если это разрешено битом RXIE.

Программирование регистров для FIFO структуры

1) Для передающего базового объекта:

- сбросить бит MSGVAL;
- задать поля CUR, BOT, TOP, SEL;
- записать значение 0010b в поле MMC, задать DLC, установить биты OVIE и RXIE (если необходимо).

Примечание – Состояние регистров MOARn и MOAMRn передающего базового объекта не важно, поскольку в передаче участвуют передающие вспомогательные объекты и принимающий базовый объект. Поле RXINP указывает линию, на которую будет выдаваться прерывание переполнения (CUR = SEL).

2) Для передающих вспомогательных объектов:

- сбросить бит MSGVAL;
- установить биты DIR, TXEN1 (только для того вспомогательного объекта, на который указывает поле CUR передающего базового объекта, у остальных вспомогательных объектов бит TXEN1 должен быть сброшен), TXEN0;
- записать в поле CUR номер передающего базового объекта;
- записать значение 0011b в поле MMC, задать DLC.

Примечание – Значения регистров MOARn передающих вспомогательных объектов должно совпадать (или совместно с регистрами MOAMRn обеспечивать успешное прохождение фильтрации) со значением регистра MOARn принимающего базового объекта, так как процесс передачи фактически происходит между ними (или иного принимающего объекта, если на приеме используется не FIFO структура).

3) Для принимающего базового объекта:

- установить бит RXEN;
- задать поля CUR, BOT, TOP, SEL;
- записать значение 0001b в поле MMC, задать DLC, установить биты OVIE и TXIE (если необходимо).

Примечание – Значение регистра MOARn принимающего базового объекта должно быть равно значению регистров MOARn передающих вспомогательных объектов передачи (или совместно с регистром MOAMRn обеспечивать успешное прохождение фильтрации). Поле TXINP указывает, на какую линию будет выдаваться прерывание переполнения (прерывание после операции сохранения полученного сообщения во вспомогательных объектах при CUR = SEL).

4) Для принимающих вспомогательных объектов:

- сбросить бит RXEN (не требуется, если вспомогательные объекты занесены в список, не связанный с узлом CAN);
- задать поле DLC (состояние поля MMC не важно).

Примечание – Состояние регистров MOARn принимающих вспомогательных объектов не важно.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5) Установить бит MSGVAL в первую очередь у передающего базового объекта, а затем у всех остальных объектов.

6) Установить бит TXRQ для всех передающих вспомогательных объектов, начиная с того, на который указывает поле CUR передающего базового объекта.

18.10 Режим шлюза

Режим позволяет реализовывать автоматическую передачу информации через шлюз между двумя независимыми шинами CAN без участия ЦП.

Шлюз можно сформировать на уровне объектов сообщений и осуществлять передачу информации между узлами CAN. Шлюз может быть сформирован между двумя любыми объектами сообщений, принадлежащими разным узлам CAN. Количество шлюзов зависит только от количества объектов сообщений, допускающих формирование шлюзов.

Режим шлюза активируется записью значения 0100b в битовое поле MMC регистра MOFCRn объекта сообщения и инициализирует его как шлюзовый объект-источник. Объект сообщения, который будет являться шлюзовым объектом-приемником, выбирается указателем CUR объекта-источника. Для формирования шлюза достаточно, чтобы объект-приемник был корректным (установлен бит MSGVAL). Остальные параметры не влияют на возможность осуществления передачи между объектами от источника к приемнику.

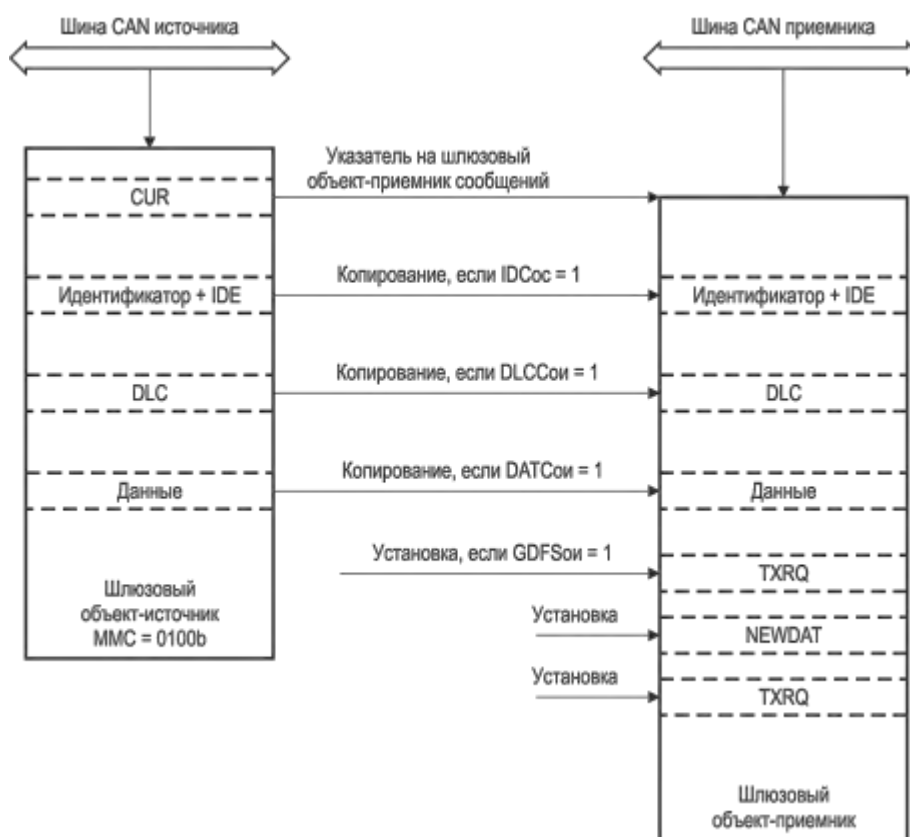


Рисунок 18.24 – Передача через шлюз от источника к приемнику

Шлюзовый объект-источник (см. рисунок 18.24) функционирует как обычный объект сообщения с тем отличием, что возможны дополнительные действия контроллера CAN при приеме и сохранении сообщения в объекте-приемнике:

1) Если установлен флаг DLCC регистра MOFCRn объекта-источника, код длины данных DLC копируется из шлюзового объекта-источника в шлюзовый объект-приемник.

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

2) Если установлен флаг IDC объекта-источника, идентификатор ID и расширение IDE копируются из шлюзового объекта-источника в шлюзовый объект-приемник.

3) Если установлен флаг DATC объекта-источника, байты данных, хранящиеся в двух регистрах MODATALn и MODATANn объекта-источника, копируются из шлюзового объекта-источника в шлюзовый объект-приемник. Копируются все 8 байт данных, вне зависимости от значения поля DLC.

4) Если установлен флаг GDFS объекта-источника, то устанавливается бит запроса передачи TXRQ объекта-приемника.

5) Устанавливаются флаги RXPND и NEWDAT регистра MOSTATn объекта-приемника.

6) Если установлен флаг RXIE регистра MOSTATn объекта-приемника, то генерируется запрос на прерывание.

7) Указатель CUR объекта-источника переводится на следующий объект-приемник по правилам FIFO структуры. Сформировать шлюз между объектом-источником и одним объектом-приемником (значение указателя CUR будет оставаться неизменным) возможно программированием:

TOP = BOT = CUR = номер объекта-приемника.

Организация шлюза «объект-источник – объект-приемник» аналогична организации FIFO структуры «базовый объект–вспомогательный объект», что указывает на возможность формирования шлюза с интегрированным FIFO-приемником. На рисунке 81 объект сообщения слева – шлюзовый объект-источник, а объект сообщения справа – шлюзовый объект-приемник.

При получении сообщения данных (объект-источник является объектом приема, т.е. его бит DIR сброшен) и при получении удаленного запроса (объект-источник является объектом передачи) через шлюз используется один и тот же механизм.

Несмотря на то, что механизм удаленных запросов работает независимо от типа объекта сообщения, он наиболее полезен при использовании шлюзов, для формирования удаленных запросов на шине шлюзового объекта-источника после получения удаленного запроса на шине шлюзового объекта-приемника. В зависимости от значения бита FRREN шлюзового объекта-приемника, есть два варианта обработки удаленного запроса, возникшего с той стороны шлюза, где расположен объект-приемник (при условии, что происходит передача из объекта-источника в объект-приемник, т. е. DIR (источника) = 0 и DIR (приемника) = 1).

1) Обработка запроса шлюзового объекта-приемника с FRREN = 0b:

- сообщение удаленного запроса принимается шлюзовым объектом-приемником;
- бит TXRQ шлюзового объекта-приемника устанавливается автоматически;
- сообщение данных с текущей информацией, хранящейся в объекте-приемнике, передается на шину приемника.

2) Обработка запроса шлюзового объекта-приемника с FRREN = 1b:

- сообщение удаленного запроса принимается шлюзовым объектом-приемником;
- бит TXRQ шлюзового объекта-источника (объект должен быть указан в поле CUR объекта-приемника), устанавливается автоматически;
- сообщение данных передается объектом-источником на шину CAN источника;
- получатель удаленного запроса в ответ выдает сообщение данных на шину источника;
- сообщение данных сохраняется в объекте-источнике;
- сообщение данных копируется в объект-приемник (через шлюз);
- выставляется бит TXRQ объекта-приемника (при условии, что GDFS источника = 1);

- новые данные, сохраненные в объекте-приемнике, передаются на шину приемника, в ответ на удаленный запрос на шине приемника.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Рекомендации по записи в регистры в режиме шлюза при передаче удаленного запроса с $FRREN = 1$.

Обмен запрос-данные происходит в данном случае между стандартным объектом сообщения одного узла и объектом-приемником шлюза другого узла. Но при этом данные для ответа на запрос в шлюзовый объект-приемник поступают по шлюзу от объекта-источника. При получении удаленного запроса от объекта сообщения объектом-приемником флаг $TXRQ$ устанавливается не у самого объекта-приемника, а у объекта-источника, благодаря установленному биту $FRREN$ и битовому полю CUR (указывает на объект-источник) объекта-приемника. Данные из $MODATALn$ и $MODATAHn$ объекта-источника копируются в $MODATALn$ и $MODATAHn$ объекта-приемника (установлен бит $DATC$ регистра $MOFCRn$ объекта-источника), вследствие чего автоматически устанавливается бит $TXRQ$ регистра $MOCTRn$ объекта-приемника (установлен бит $GDFS$ объекта-источника шлюза), и осуществляется передача сообщения данных (ответ на запрос) запрашивающему объекту сообщения.

После успешного приема/передачи сообщения ЦП получает уведомление о завершении операции для задания дальнейших действий, связанных с объектом сообщения.

18.11 Прерывания объектов сообщений

После сохранения принятого сообщения в объект сообщения или успешной передачи формируется соответствующее прерывание. Каждый объект сообщения может формировать прерывания. Каждое прерывание направляется на одну из 16 выходных линий прерываний. Прерывания приема (после сохранения сообщения) также формируются после операций FIFO и шлюзовых операций. Флаги $TXPND$ и $RXPND$ всегда устанавливаются после успешной операции передачи/приема, независимо от состояния соответствующих флагов разрешения прерываний.

Объект сообщения может формировать FIFO прерывания. Если флаг $OVIE$ регистра $MOFCRn$ установлен, то формирование FIFO прерывания будет зависеть от типа объекта сообщений (см. рисунок 18.25):

- если объект сообщения является принимающим базовым объектом, то выходная линия прерываний для этого объекта определяется битовым полем $TXINP$ регистра $MOIPRn$.

- если объект сообщения является передающим базовым объектом, то выходная линия прерываний определяется битовым полем $RXINP$.

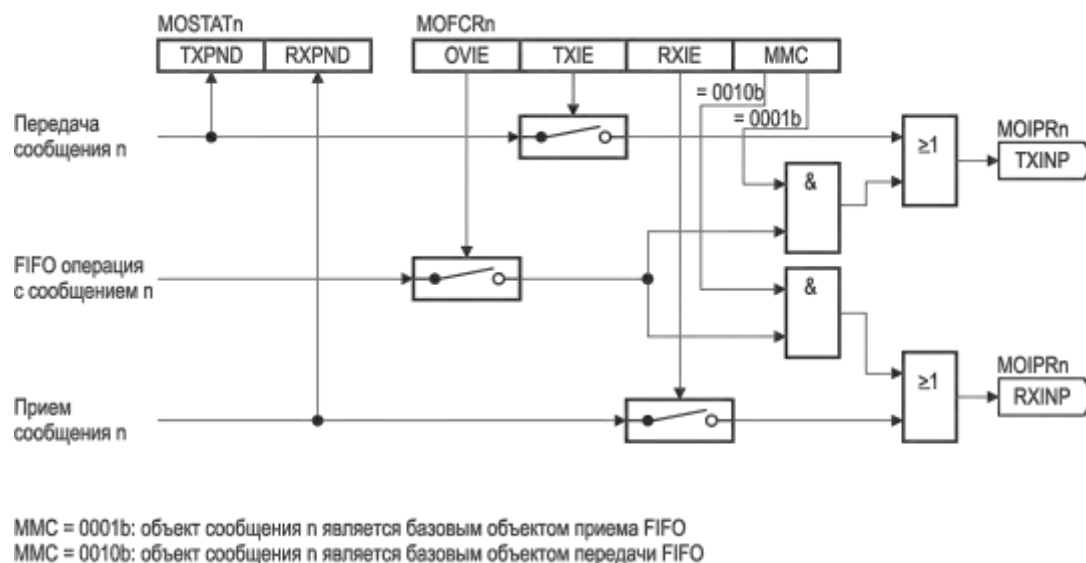


Рисунок 18.25 – Распределение прерываний

Ждущие сообщения

Когда генерируется запрос на прерывание (после приема/передачи сообщения), в одном из восьми регистров ждущих прерываний MSPND x ($x = 0, 1, 2, 3$) выставляется флаг ждущего сообщения. Восемь 32-разрядных регистров образуют область из 256 битов – по два бита (один бит для операций приема и один бит для операций передачи) для каждого из объектов сообщений. Позиция флага ждущего сообщения определяется демультиплексорами DMUX.

В зависимости от значения поля MPSEL регистра MCR, реализуется один из двух режимов выбора и установки флагов, ждущих сообщения (см. рисунки 18.26 и 18.27):

- Режим 1 в случае MPSEL = 0h;
- Режим 2 в случае MPSEL = Fh;

Если нет необходимости в определении источника прерывания (прием или передача сообщения), то можно использовать любой из двух режимов, в противном случае, следует использовать второй режим.

В первом режиме установка флага ждущего сообщения происходит следующим образом:

- 7, 6 и 5 биты поля MPN выбирают регистр MSPND x , в котором будет установлен флаг ждущего сообщения;
- пять младших бит поля MPN (на рисунке 18.26 выделены серым цветом) выбирают позицию флага (от 0 до 31), который будет установлен в выбранном регистре MSPND x .

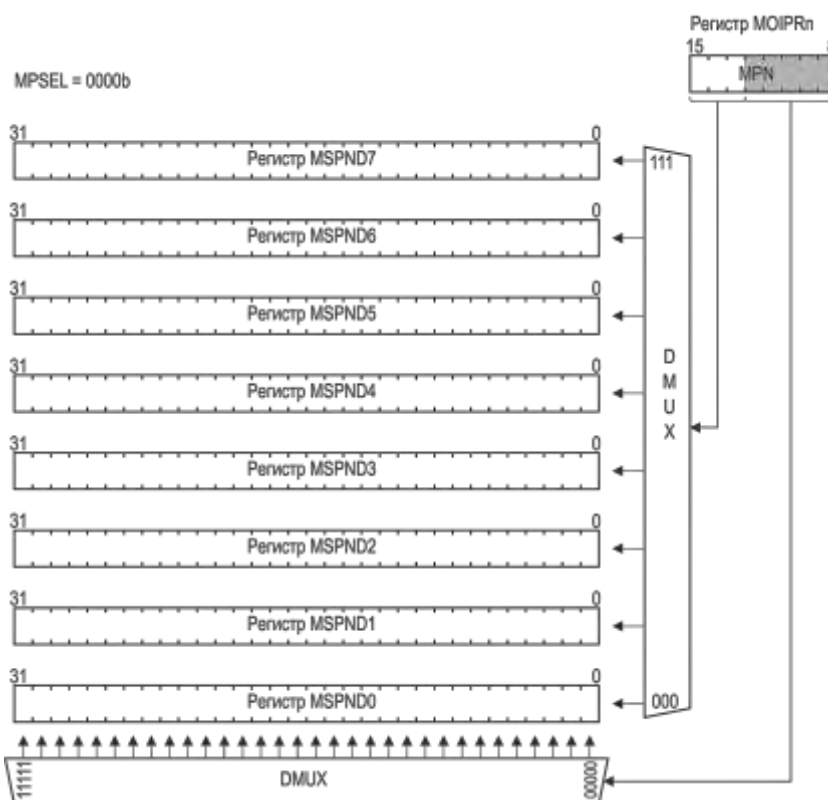


Рисунок 18.26 – Режим выбора и установки флагов при MPSEL = 0h

Во втором режиме при определении позиции флага ждущего сообщения принимаются в расчет значения поля MPN и полей RXINP (для приема) и TXINP (для передачи). При этом для флагов могут использоваться любые биты выбранного регистра MSPND x . Установка флага ждущего сообщения происходит следующим образом:

- 3, 2 и 1 биты поля TXINP/RXINP выбирают регистр MSPND x , в котором будет установлен флаг по окончании передачи/приема сообщения;

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

- четыре младших бита поля MPN (на рисунке 18.27 выделены серым цветом) совместно с нулевыми битами полей TXINP и RXINP выбирают позицию флага (от 0 до 31). Фактически нулевой бит поля TXINP/RXINP выбирает старшее или младшее слово выбранного регистра MSPNDx, а четыре бита поля MPN задают позицию в выбранном слове.

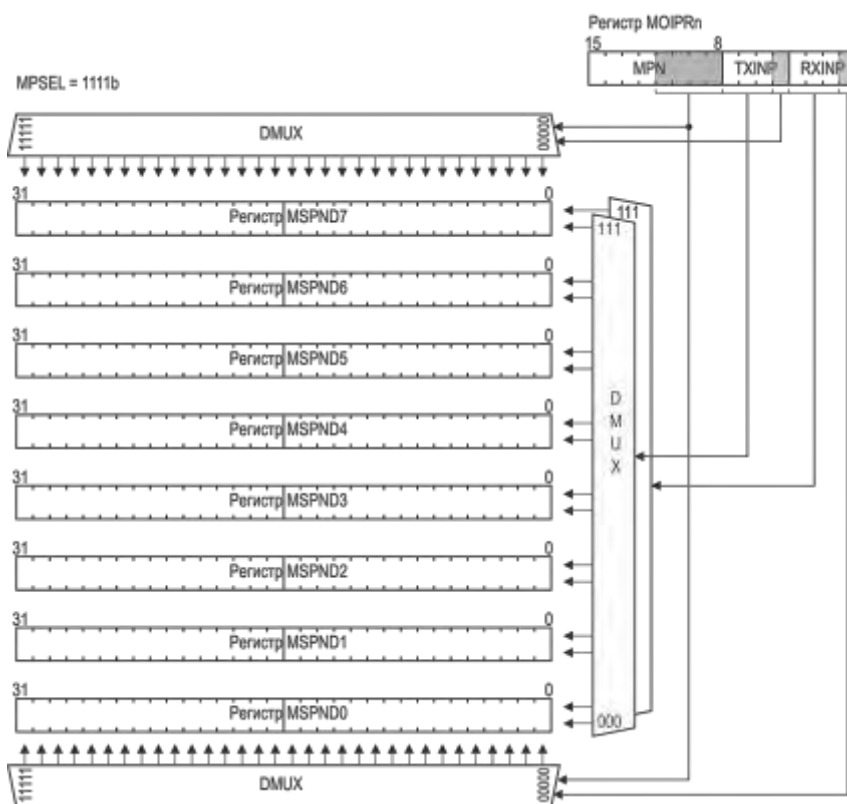


Рисунок 18.27 – Режим выбора и установки флагов при MPSEL = Fh

Регистры MSPNDx могут быть записаны программно. Биты, в которые записываются единицы, остаются без изменений, а биты, в которые записываются нули, очищаются. Такой механизм записи позволяет избежать конфликта между одновременной аппаратной установкой и программной очисткой битов регистра.

Каждый регистр MSPNDx связан с соответствующим регистром индекса сообщения MSIDx, который отражает позицию самого младшего бита из всех установленных в регистре MSPNDx. Регистры MSIDx доступны только для чтения и обновляются незамедлительно после изменения (как аппаратного, так и программного) содержимого соответствующих регистров MSPNDx.

Регистр маски индекса сообщения MSIMASK содержит маску для регистров MSPNDx. Только незакрытые маской биты могут обслуживаться. Регистр MSIMASK используется одновременно для всех регистров MSPNDx и соответствующих им регистров MSIDx.

18.12 Программирование контроллера CAN

Для корректного запуска и работы контроллера и конфигурирования его узлов следует соблюдать порядок программирования регистров:

- записать регистр CLC;
- проверить, что сброшен бит DISR и регистр PANCTR = 00000000h и после этого записать регистр FDR;
- в регистре NCRx установить биты INIT и CCE, после чего регистры NBTRx и NPCRx станут доступны для записи и чтения, а регистр NECNTx – только для чтения;

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

- записать регистр NPCRx;
- записать регистр NIPRx;
- записать регистр NBTRx;
- записать регистр NFCRx (если необходимо);
- в регистре NCRx сбросить биты INIT и CCE, после чего регистры NBTRx и NPCRx будут не доступны для записи;
- распределить объекты сообщений в списки посредством регистра PANCTR.

Для корректной работы объектов сообщений регистры каждого из них должны быть проинициализированы. Исключение составляют объекты сообщений, использование которых не предусматривается. Для таких объектов в регистре МОСТRx бит MSGVAL должен оставаться сброшенным.

Рекомендуемый порядок инициализации регистров объекта сообщения n:

- установить бит DIR в регистре MOSTATn для передачи сообщения данных/приема удаленного запроса или сбросить бит DIR для приема сообщения данных/передачи удаленного запроса; установить биты TXEN0 и TXEN1 (для передачи) или RXEN (для приема) в регистре МОСТRx;

- записать регистр MOFCRx;

- записать регистр MOARn;

- записать регистр MOAMRx (если необходимо);

- записать регистр MOFGPRn (если будут использоваться FIFO структуры);

- записать регистр MOIPRx;

- записать регистры MODATALn и MODATANn;

- установить бит MSGVAL корректности объекта сообщения в регистре МОСТRx (для неиспользуемых объектов этот бит должен быть сброшен);

- для активирования передачи установить бит TXRQ регистра МОСТRx.

Контроллер CAN оперирует тремя группами регистров: регистры контроллера, регистры узлов и регистры объектов сообщений.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

19 Контроллер Ethernet 10/100

Контроллер Ethernet 10/100 реализует стандарт IEEE 802.3. Он осуществляет прием/передачу данных по интерфейсу МП на скорости 10/100 Мбит/с. Дополнительно поддерживаются интерфейсы MACMP, RMP, SMP, PMD и ENDEC Прием/передача данных по интерфейсу МП осуществляется в/из буфера блока 32-разрядной памяти объемом 16 Кбайт.

Контроллер Ethernet 10/100 использует 32-разрядный интерфейс для связи с процессором или памятью и осуществляет обмен транслируемыми данными с процессором или памятью через 32-разрядную оперативную память объемом 16 Кбайт. Для накопления и формирования принимаемых и передаваемых пакетов имеются 2 FIFO: для приема – 36-разрядное объемом 4 Кбайта, для передачи – 40-разрядное объемом 2 Кбайта. Обмен данными с процессором или памятью осуществляется на частоте до 50 МГц. Обмен данными с устройством, работающим на физическую линию РНУ: для 100-Мбитного режима на частоте 25 МГц, для 10-Мбитного режима на частоте 2,5 МГц.

Интерфейсный блок контроллера Ethernet 10/100 содержит один контроллер прямого доступа к памяти, имеющий два канала, которые используются для операций передачи и приема. Оба канала конкурируют за использование контроллера прямого доступа в память, реализуя циклический алгоритм обслуживания конкурирующих запросов.

Типовая передача данных в любом направлении использует кольцевой буфер в пределах назначенной для контроллера Ethernet 10/100 памяти. Кольцевой буфер для передачи определен закрытым связанным списком Tx-дескрипторов. Кольцевой буфер для приема определен закрытым связанным списком Rx-дескрипторов. Два кольцевых буфера формируются из равных 32-разрядных сегментов памяти, способных сохранять пакет максимальной длины. Эти кольцевые буферы должны быть кратными 1-Кбайтной области памяти (максимальный размер пакета данных), и должны располагаться последовательно, не затрагивая области других компонент (область дескрипторов и область кольцевых буферов) контроллера Ethernet 10/100. Предварительно проинициализированный контроллер DMA может автономно и непрерывно заполнять/освобождать кольцевые буферы. Программное обеспечение может использовать систему прерываний или опрос флагов дескрипторов для поддержания синхронизации потоков данных между контроллером Ethernet 10/100 и процессором или памятью.

На рисунке 19.1 показан пример построения кольцевого буфера из трех дескрипторов. Адрес первого дескриптора задается регистром DMATXCTRL.

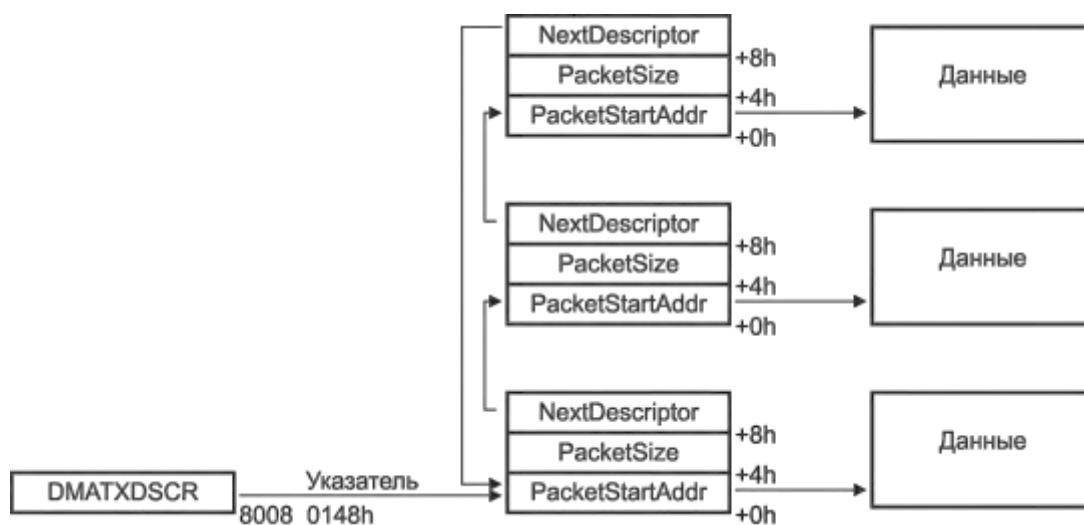


Рисунок 19.1 – Кольцевой буфер с TX-дескрипторами

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Дескриптор формируется тремя последовательно расположенными 32-разрядными ячейками ОЗУ. Назначение ячеек:

- PacketStartAddr – содержит адрес ячейки ОЗУ, где расположены данные для передачи (пакет данных);
- PacketSize – содержит размер пакета данных и флаги управления;
- NextDescriptor – содержит адрес следующего дескриптора.

Для подробного ознакомления с содержимым ячеек следует обратиться к приложению А.

Примечания

1 Порядок назначения ячеек менять нельзя.

2 Адресация оперативной памяти контроллера Ethernet 10/100 на LocalBus и контроллере DMA различается и связана соотношениями:

$$\text{Адрес(LocalBus)} = 00710000\text{h} + ((\text{Адрес(DMA)}) / 4).$$

Таким образом, адресу 00710000h на LocalBus соответствует адрес 00000000h DMA, а адресу 00710001h на LocalBus соответствует адрес 00000004h DMA.

19.1 Операции передачи

Перед передачей пакета, должна быть записана группа Tx дескрипторов, определяющих кольцевой буфер для операций передачи. Стартовые адреса начала всех сегментов должны быть 32-разрядные, сегменты равные по размерам должны быть достаточны для обработки пакета максимальной длины. Кроме того, в поле PacketSize дескриптора передачи должна быть записана длина пакета, а 31 бит EMPTYFLAG должен быть установлен, чтобы указать, что кольцевой буфер пока не содержит достоверных данных.

Четыре младших бита регистра DMAINT также должны быть установлены, чтобы специфицировать типы генерируемых прерываний.

После этого процессор должен записать в кольцевые буферы и в дескрипторы, которые связаны с этими сегментами памяти, данные для передачи одного или более пакетов. Затем в поле PacketSize записывается длина пакета, и бит EMPTYFLAG очищается, что сигнализирует контроллеру DMA о наличии достоверных данных для передачи. Далее данные в кольцевые буферы разрешено записывать, если установлен бит EMPTYFLAG соответствующего дескриптора.

Местоположение точки входа в кольцевой буфер указывается адресом соответствующего дескриптора в регистре DMATXDSCR (см. рисунок 19.1).

Для начала передачи необходимо установить бит TXENABLE в регистре DMATXCTRL. После этого контроллер DMA прочитает регистр DMATXDSCR и определит адрес стартового дескриптора. Далее:

- если EMPTYFLAG установлен, то дескриптор не связан с достоверными данными.

В этом случае контроллер DMA прекратит последовательную передачу пакетов, установит бит TXUNDERRUN в регистре DMAXSTAT и сбросит бит TXENABLE. Если разрешено прерывание, то оно будет сгенерировано. Для возобновления передачи следует установить бит TXENABLE.

- если EMPTYFLAG сброшен, контроллер DMA прочитает адрес начала буферного сегмента пакета данных и определит его размер.

Далее передача пакета будет стартовать, если FIFO подтвердит контроллеру DMA о наличии в FIFO достаточного места для приема передаваемого пакета максимальной длины.

Если передача завершена успешно, то контроллер DMA установит EMPTYFLAG, установит флаг TXPKTSENT в регистре DMAXSTAT и, если разрешено, сгенерирует

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

прерывание и увеличит на единицу число, записанное в поле TX_PKT_COUNT. После этого контроллер DMA перейдет к обработке следующего пакета.

Если произойдет ошибка в канале связи при передаче, то контроллер DMA прекратит последовательную передачу пакетов, установит бит BUSERROR, сбросит бит TXENABLE, и если разрешено сгенерирует.

Для последующей передачи потребуется обновление регистра DMATXSTAT для того, чтобы установить новую стартовую позицию в кольцевом буфере, и установить бит TXENABLE.

19.2 Операции приема

Перед приемом пакета должна быть записана группа Rx дескрипторов, определяющих кольцевой буфер для операций приема. Стартовые адреса начала всех сегментов должны быть 32-битные, сегменты должны быть одинаковыми по размеру и достаточными для обработки пакета максимальной длины. Поле PacketSize дескриптора приема должно быть заполнено, а бит EMPTYFLAG установлен, чтобы указать, что кольцевой буфер приема не содержит принятых пакетов.

Биты с седьмого по четвертый регистра DMAINT должны быть установлены, чтобы специфицировать типы генерируемых прерываний.

В регистр DMARXDSCR должен быть записан адрес стартового Rx дескриптора.

Для начала работы следует установить бит RXENABLE в регистре MAC1 для разрешения контроллеру DMA обрабатывать принимаемый пакет. После этого встроенный контроллер DMA читает регистр DMARXDSCR для определения адреса первого дескриптора, затем читает этот дескриптор. Далее:

- если EMPTYFLAG сброшен, то это означает, что предыдущий принятый пакет еще не был считан программой. В этом случае контроллер DMA прекращает последовательный прием пакетов, устанавливает бит RXOVERFLOW в регистре DMARXSTAT, сбрасывает бит RXENABLE и, если разрешено прерывание, то оно будет сгенерировано. Любой последующий прием будет возможен только после обновления регистра DMARXDSCR и установки бита RXENABLE

- если EMPTYFLAG установлен, то это означает, что область памяти доступна для сохранения пакета.

Контроллер DMA начнет прием пакета, если FIFO сообщит контроллеру наличии принятого пакета. Если прием пакета закончен успешно, то контроллер DMA запишет значение числа принятых байт в поле PACKET_SIZE дескриптора приема, сбросит бит EMPTYFLAG и установит бит RXPKTREC в регистре DMARXSTAT. Если разрешено, будет сгенерировано прерывание и увеличено на единицу значение в счетчике RX_PKT_COUNT.

Если FIFO сообщит, что имеется принятый пакет, то контроллер DMA начнет передачу этого пакета в следующий сегмент кольцевого буфера.

Программное обеспечение должно обработать прерывание считыванием пакета из кольцевого буфера прима с последующей установкой бита EMPTYFLAG дескриптора, помечая этот сегмент кольцевого буфера как доступный для сохранения следующего пакета.

Если произошла ошибка при приеме, то контроллер DMA прекращает последовательную обработку принимаемых пакетов, устанавливает бит BUSERROR в регистре DMARXSTAT, сбрасывает бит RXENABLE и если разрешено, генерирует прерывание.

Для следующего приема следует обновить регистр DMARXDSCR записью правильной стартовой позиции кольцевого буфера и установить бит RXENABLE.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

20 Контроллер интерфейса USB OTG (В РАЗРАБОТКЕ)

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

21 АЦП (В РАЗРАБОТКЕ)

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

22 Блок аналоговых компараторов

Блок компараторов содержит три идентичных аналоговых компаратора.

Каждый аналоговый компаратор сравнивает два аналоговых сигнала и формирует логический выходной сигнал с результатом сравнения. Выходной сигнал может быть использован как внутри микроконтроллера, так и подан на внешний вывод. Также компаратор может формировать прерывания и/или сигналы запуска Секвенсоров блока АЦП, а также сигналы управления пороговым выключателем блока ШИМ.

22.1 Описание функционирования

Включение блока производится установкой бита PWU регистра POWER. Для начала работы модуля и разрешения тактового сигнала необходимо установить бит ECPEN регистра APB_CLK, а также снять сигнал сброса в регистре PER_RST2.

Входные аналоговые сигналы подаются на входы A1-A7 микроконтроллера. Альтернативные функции C3+, C3-, C2+, C2-, C1+, C1-, DAC_Supply, соответственно. При срабатывании компараторов может генерироваться прерывание, а также сигналы на выводах микросхемы D11, E0 и E11. Альтернативные функции CMP_OUT0, CMP_OUT1 и CMP_OUT2, соответственно.

Управление работой компараторов производится посредством регистров ACCTLn, управление питанием на встроенные ЦАП – регистров ACREFCTLn.

Функциональная схема блока компараторов показана на рисунке 22.1.

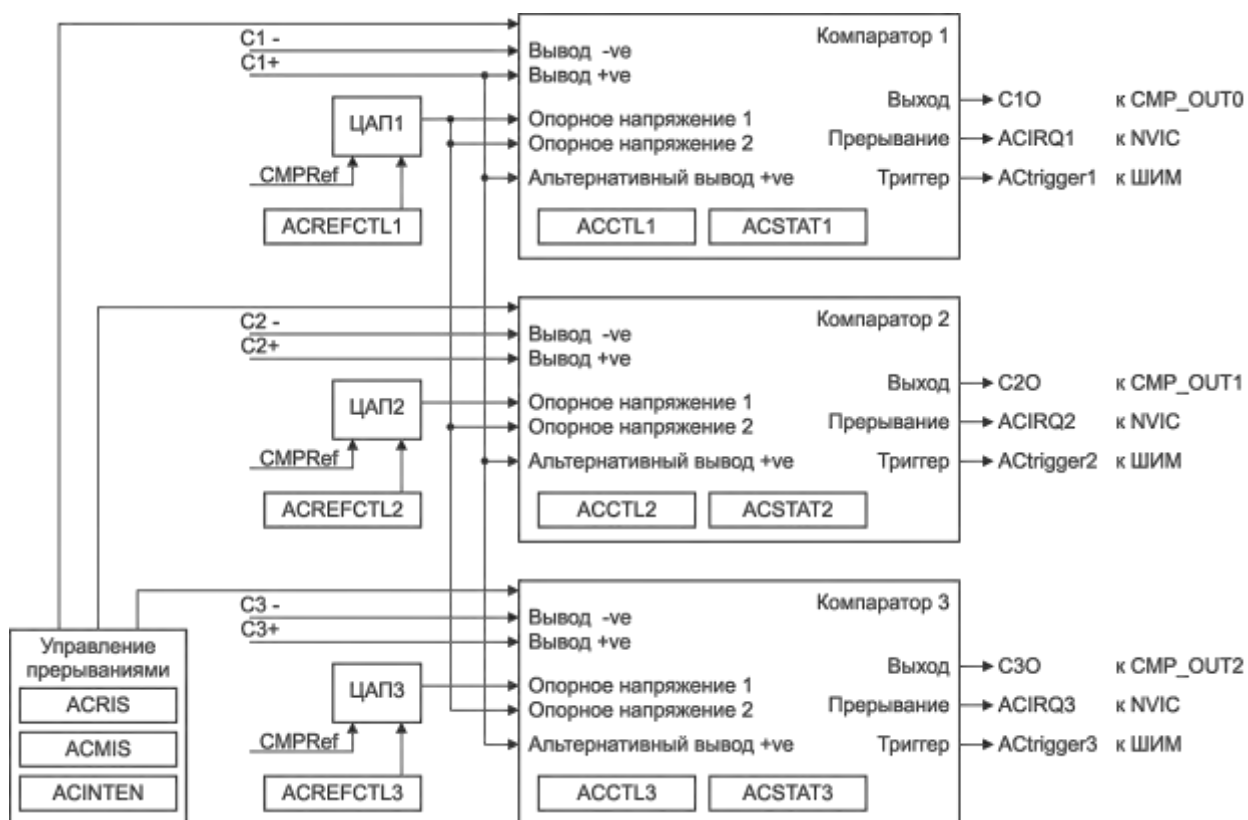


Рисунок 22.1 – Функциональная схема блока аналоговых компаратора

Компаратор может сравнивать напряжение на внешнем выводе микросхемы с напряжением на другом выводе, а также с напряжением на встроенном ЦАП

Выходы блока C1O, C2O и C3O подключены к выходам микроконтроллера CMP_OUT0, CMP_OUT1 и CMP_OUT2, соответственно. Выходы AC IRQ1, AC IRQ2 и

Инв. № подл.	
Подп. и дата	
Взам. инв. №	
Инв. № дубл.	
Подп. и дата	

AC IRQ3 подключены к контроллеру прерываний NVIC. Выходы ACtrigger1, ACtrigger2 и ACtrigger3 подключены к блоку ШИМ.

Напряжение подаваемое на ЦАП1, ЦАП2 и ЦАП3 берется с входа микроконтроллера TAVDD_CMP. Программирование параметров опорного напряжения ЦАП осуществляется посредством регистра ACREFTLn.

Компаратор

Функциональная схема компаратора показана на рисунке 22.2

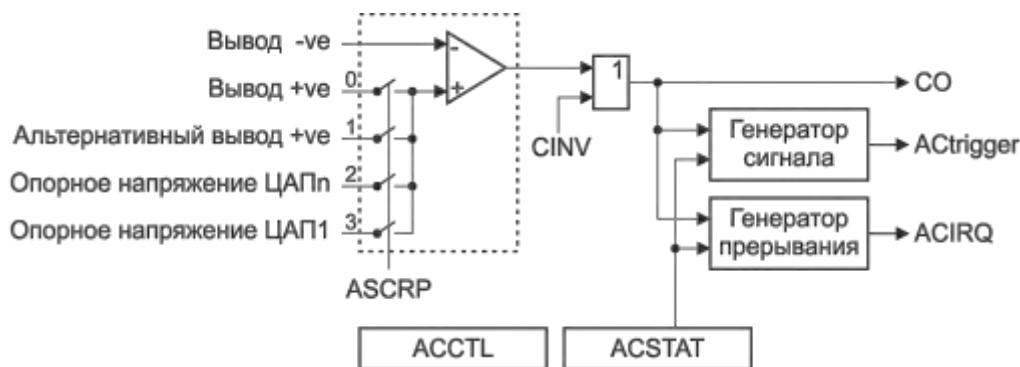


Рисунок 22.2 – Структура Блока Аналогового Компаратора

Компаратор сравнивает два сигнала на входах «-» и «+». На вход «-» всегда подается напряжение -ve, снимаемое с соответствующего этому компаратору входа Cn-.

На вход «+» подается одно из четырех напряжений:

- напряжение +ve, снимаемое с соответствующего этому компаратору входа Cn+;
- напряжение с ЦАП, соответствующего этому компаратору;
- напряжение с ЦАП1 или с входа C1+ микроконтроллера.

Источник напряжения для входа «+» задается полем ASCRP регистра ACCTLn компаратора.

Логика сравнения:

Если «-» < «+», то на выходе CO логическая единица;

Если «-» > «+», то на выходе CO логический ноль;

Результат сравнения отражается в регистре ACSTATn. Изменить полярность выходного сигнала можно битом CINV регистра ACCTLn.

Прерывания программируются посредством регистров ACMIS, ACRIS, ACINTEN и ACCTLn. Также регистр ACCTLn позволяет управлять событиями включения порогового выключателя блока ШИМ и секвенсоров блока АЦП.

ЦАП

Структурная схема ЦАП представлена на рисунке 22.3.

ЦАП реализован на резистивных делителях напряжения, управление которыми осуществляется регистром ACREFTLn. Бит RNG отключает дополнительный резистивный делитель N*R..

Характеристики ЦАП:

- Напряжение питания - 3,3 В.
- Компаратор работает в режиме Rail-to-Rail.
- Выход компаратора совместим с TTL.
- CMRR компаратора - не менее 50 дБ (на частоте $f = 1$ кГц на всем диапазоне уровней от 0 до 3,3 В).

- Потребляемый ток I_o - не более 700 мкА (3 компаратора + программируемый источник VIREF + источник опорных потенциалов).

Инва. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инва. № дубл.	Подп. и дата
Инва. № подл.	Подп. и дата

- Время установления TRT - не более 400 нс (п/у сигнал - 25 мВ-> +25 мВ относительно уровня, уровень - от 0 до 3,3 В).
- Напряжение смещения нуля V_{offset} - не более +/- 30 мВ.
- Гистерезис V_{HYS} - типовое значение 9 мВ, мин. - не менее 6 мВ, макс. - не более 16 мВ.
- Потребляемый ток в режиме Hibernate - 3 мкА, макс. - не более 5 мкА.
- Время установления схемы в режим (включение питания, выход из режима Hibernate) - 5 мкс, макс. - не более 10 мкс.

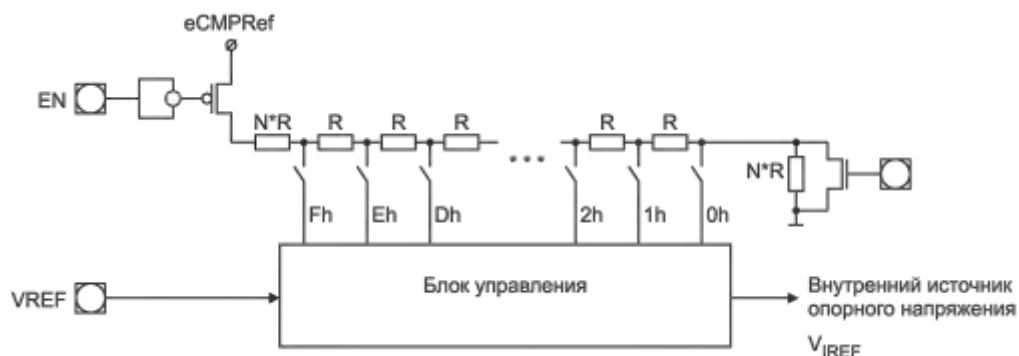


Рисунок 3 – Структурная схема модуля ЦАП

Если бит EN сброшен, опорное напряжение составит 0 В (питание ЦАП не подано).

В таблице 22.1 представлены значения выходного напряжения ЦАП при установленном бите EN и сброшенном бите RNG. Шаг опорного напряжения 113,2 мВ.

В таблице 22.2 представлены значения выходного напряжения ЦАП при установленных битах EN и RNG. Шаг опорного напряжения 148,7 мВ.

Значения выходного напряжения ЦАП V_{IREF} приведены для трех значений напряжения питания V_{DDA} .

Таблица 22.1 – Значения выходного напряжения ЦАП при EN = 1 и RNG = 0

VREF	V_{IREF_min} ($V_{DDA} = 3V$)	$V_{IREF_typical}$ ($V_{DDA} = 3,3V$)	V_{IREF_max} ($V_{DDA} = 3,6V$)
0h	0,718	0,792	0,866
1h	0,821	0,905	0,990
2h	0,924	1,019	1,114
3h	1,027	1,132	1,237
4h	1,129	1,245	1,361
5h	1,232	1,358	1,485
6h	1,335	1,472	1,608
7h	1,437	1,585	1,732
8h	1,540	1,698	1,856
9h	1,643	1,811	1,979
Ah	1,745	1,924	2,103
Bh	1,848	2,038	2,227
Ch	1,951	2,151	2,350
Dh	2,054	2,264	2,474
Eh	2,156	2,377	2,597
Fh	2,259	2,490	2,720

Подл. и дата	
Инв. № дубл.	
Взам. инв. №	
Подл. и дата	
Инв. № подл.	

Таблица 22.2 – Значения выходного напряжения ЦАП при EN = 1 и RNG = 1

ACREFCTLnV REF	VIREF_min (VDDA = 3V)	VIREF_typical (VDDA=3,3V)	VIREF_max (VDDA = 3,6V)
0x0	0,004	0,006	0,008
0x1	0,141	0,155	0,168
0x2	0,276	0,303	0,331
0x3	0,411	0,452	0,493
0x4	0,546	0,601	0,655
0x5	0,681	0,750	0,819
0x6	0,815	0,898	0,980
0x7	0,950	1,047	1,143
0x8	1,085	1,196	1,307
0x9	1,220	1,344	1,468
0xA	1,354	1,493	1,630
0xB	1,490	1,642	1,795
0xC	1,625	1,790	1,956
0xD	1,760	1,939	2,119
0xE	1,895	2,088	2,280
0xF	2,028	2,236	2,443

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

23 Часы реального времени

Часы реального времени предназначены для отсчета времени в микроконтроллере. Данный блок продолжает работу после отключения основного питания VDDPST и VDD. При этом происходит переключение на батарейное питание VBAT.

В качестве источника тактовой частоты используется кварцевый генератор с подключенным кварцевым резонатором (выводы XI_RTC, XO_RTC) с частотой 32768 Гц.

На рисунке 23.1 показана схема подключения внешнего генератора синхросигнала

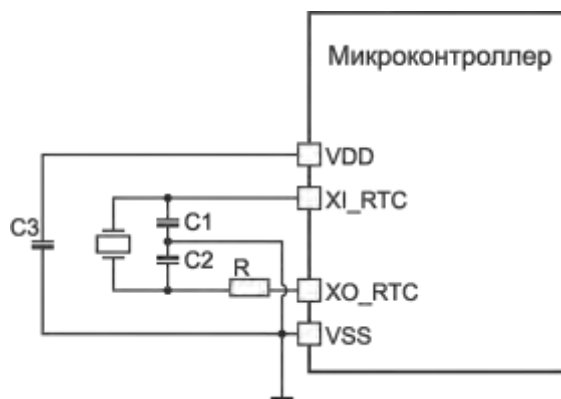


Рисунок 23.1 – Подключение внешнего генератора синхросигнала

23.1 Рекомендации по подключению и трассировке сигналов на печатной плате

Основные требования к подключению:

1. Минимизировать емкостные связи между сигналами RTC и другими сигналами.
2. Избегать параллельной трассировки сигналов RTC с другими высокоскоростными сигналами на печатной плате.
3. Поместить кварцевый осциллятор как можно ближе к выводам микросхемы.
4. Использовать симметричную трассировку для сигналов XI_RTC и XO_RTC.
5. Номиналы емкостей $C1 = C2 = 30-50$ пФ, $C3 > 1$ мкФ.

23.2 Описание работы блока

Блок RTC работает от батарейного питания напряжением 1,6 – 3,6В. Функционирование RTC основано на подсчете импульсов тактового сигнала частотой 1,024 кГц, который в свою очередь получается делением внешнего входного сигнала частотой 32,768 кГц на 32 с помощью 5-разрядного счетчика.

Счетчик долей секунд инкрементируется с частотой 1,024 кГц. Когда значение счетчика достигает 1024, инкрементируется счетчик секунд. По достижении счетчиком секунд значения 59 инкрементируется счетчик минут и т.д. до счетчика лет.

Все счетчики имеют двоично-десятичный формат, за исключением счетчика долей секунд, который имеет двоичный. Каждый счетчик имеет теневой регистр, из которого загружается по команде в программе пользователя.

Блок RTC может корректно обрабатывать високосные года. Максимально значение лет, которые может отсчитать блок RTC составляет 99.

Инициализация счетчиков осуществляется записью корректных значений.

Примечание - Сигнал сброса микроконтроллера не сбрасывает счетчики блока RTC, а только их теневые регистры. После снятия сигнала сброса рекомендуется подождать 1 мс, прежде чем осуществлять операции записи/чтения блока RTC.

Инв. № подл.	Подл. и дата
Взам. инв. №	Подл. и дата
Инв. № дубл.	Подл. и дата

Корректные значения для записи в регистры блока RTC

В течение работы, значения счетчиков постоянно переписываются в теньевые регистры по заднему фронту тактового сигнала. В это время запись и чтение регистров блока RTC запрещена. Для считывания информации о текущем времени и дате следует запретить перезаписывание теньевых регистров записью значения 00000000h в регистр SHDW (при этом счетчики продолжают инкрементироваться).

Только после этого можно выполнить операцию чтения над одним или несколькими регистрами. Также можно считать состояние общего регистра TIME. После того как все желаемые регистры прочитаны нужно снова включить обновление (перезаписывание) теньевых регистров записью значения 00000080h в регистр SHDW.

Для того, чтобы изменить значение одного или нескольких счетчиков, следует выключить обновление теньевых регистров (записать 00000000h в регистр SHDW), последовательно записать новые значения после чего снова включить обновление. Новые значения будут загружены в соответствующие счетчики по ближайшему положительному фронту тактового сигнала (1,024 кГц).

Примечание – Задержка времени от включения обновления до перезаписи счетчиков составляет два такта синхросигнала и равняется 2 мс. Эта задержка может накапливаться, поэтому если перезагрузка счетчиков происходит без остановки обновления теньевых регистров, запись в регистр долей секунд следует производить в последнюю очередь.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

24 Сторожевой таймер

Сторожевой таймер позволяет сбросить систему в случае отказа программного обеспечения. Пользователь может включать или выключать таймер по собственному усмотрению.

Сторожевой таймер представляет собой 32-битный обратный счетчик, который загружается значением из регистра LOAD. Счетчик уменьшается на единицу по каждому нарастающему фронту тактового сигнала WDTCLK, если тактирование разрешено битом WDTEN регистра APB_CLK и установлен бит WDRST регистра PER_RST1.

Включение счета таймера и его прерывания осуществляется установкой бита INTEN в регистре WDTCTRL. Когда счетчик таймера достигает нуля, устанавливается флаг WDTINT в регистре WDTMIS, а в счетчик загружается значение из регистра LOAD.

Далее, если установлен бит RESEN счетчик продолжает декрементироваться. Если на момент повторного достижения нуля флаг WDTINT установлен, производится сброс микроконтроллера. Алгоритм работы таймера показан на рисунке 24.1.

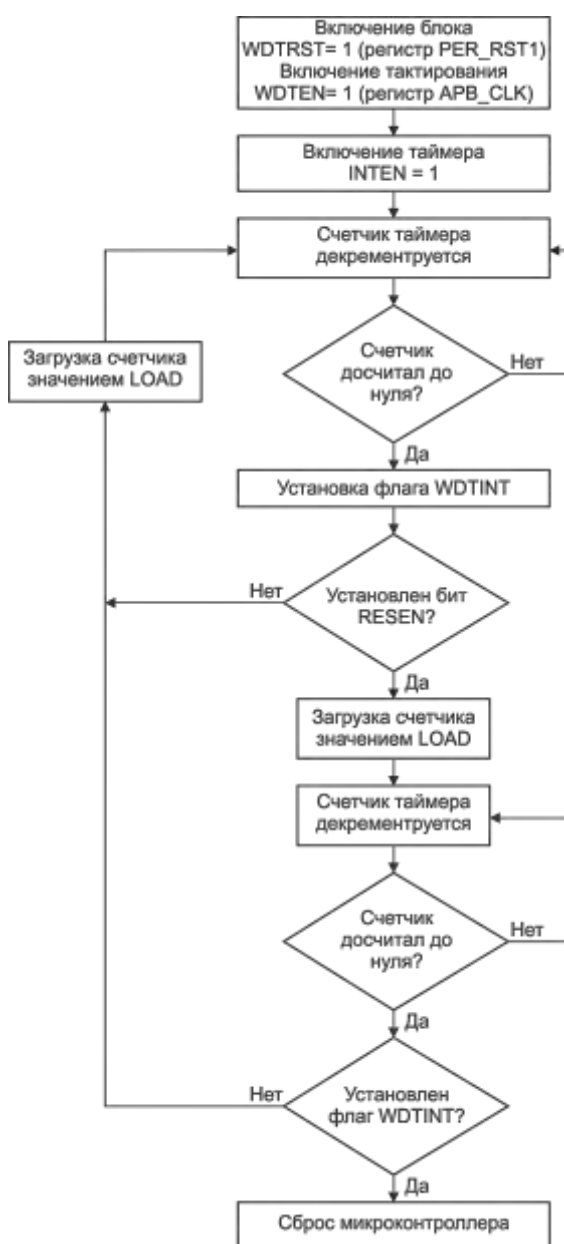


Рисунок 24.1 – Алгоритм работы таймера

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

25 Модуль OCDS (В РАЗРАБОТКЕ)

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Заключение

В настоящем техническом описании было представлено описание архитектуры, функционального построения и периферии микроконтроллера K1921BK01T. Техническое описание может служить практическим руководством по применению микроконтроллера для разработчиков систем на его основе и программистов.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Приложение А Регистры микроконтроллера

(обязательное)

А1 Регистры контроллера АЦП (КОРРЕКТИРОВКА)

Таблица А1.1 – Регистр конфигурации секвенсоров

Поле	Биты	Описание
ASEN _n	7-0	Бит разрешения работы секвенсора. Установленный бит разрешает работу секвенсора n (n от 0 до 7)
–	31-8	Зарезервировано

Таблица А1.2 – Регистр немаскированных прерываний

Поле	Биты	Описание
INRDC _s	31-8	Флаг прерывания компаратора с (с от 0 до 23) 0 Нет действий 1 Поступило прерывание с компаратора
INR _n	7-0	Индикатор завершения измерения АЦП 0 Нет действий или АЦП в процессе измерения 1 Модули АЦП завершили измерения и счетчик прерываний секвенсора n досчитал до значения ICNT регистра ADCSSCTLn (n от 0 до 7)
Запись единиц сбрасывает соответствующие флаги в регистрах ADCRIS и ADCISC		

	Подп. и дата
	Инва. № дубл.
	Взам. инв. №
	Подп. и дата
	Инва. № подл.

Таблица А1.3 – Регистр маски прерываний

ADCIM		8000_0008h		Сброс: 00000000h											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MIDC	MASK	MASK	MASK	MASK	MASK	MASK	MASK	MASK
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34
Поле	Биты	Описание													
MIDC _n	31-8	Бит разрешения передачи прерывания INR _n по линии IDC _n													
		0	Запрещено												
		1	Разрешено												
MASK _n	7-0	Бит разрешения передачи прерывания INR _n по линии ISO _n													
		0	Запрещено												
		1	Разрешено												

Таблица А1.4 – Регистр маскированных прерываний

ADCISC		8000_000Ch		Сброс: 00000000h											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	DCIN	IN7	IN6	IN5	IN4	IN3	IN2	IN1	IN0
7	6	5	4	3	2	1	0	34	34	34	34	34	34	34	34
34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34
Поле	Биты	Описание													
DCIN _c	31-8	Индикатор состояния флага прерывания INRDC _c													
		0	Нет флага прерывания или оно запрещено битом MIDC _c регистра ADCIM												
		1	Не сброшенный флаг прерывания по линии IDC												
IN _n	7-0	Индикатор состояния флага прерывания INR _n													
		0	Нет флага прерывания или оно запрещено битом MASK _n регистра ADCIM												
		1	Не сброшенный флаг прерывания												
Сбрасывается записью единицы															
Запись единиц сбрасывает соответствующие флаги в регистрах ADCISC и ADCRIS															

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

Таблица А1.5– Регистр флага переполнения FIFO и ошибки переполнения ПДП

ADCSTAT		8000_0010h	Сброс: 00000000h																																																																																																
<table border="1" style="width:100%; text-align:center;"> <tr> <td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td> </tr> <tr> <td colspan="8">-</td> <td>DOV7</td><td>DOV6</td><td>DOV5</td><td>DOV4</td><td>DOV3</td><td>DOV2</td><td>DOV1</td><td>DOV0</td> </tr> <tr> <td colspan="8"></td> <td>34</td><td>34</td><td>34</td><td>34</td><td>34</td><td>34</td><td>34</td><td>34</td> </tr> <tr> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="8">-</td> <td>OV7</td><td>OV6</td><td>OV5</td><td>OV4</td><td>OV3</td><td>OV2</td><td>OV1</td><td>OV0</td> </tr> <tr> <td colspan="8"></td> <td>34</td><td>34</td><td>34</td><td>34</td><td>34</td><td>34</td><td>34</td><td>34</td> </tr> </table>				31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	-								DOV7	DOV6	DOV5	DOV4	DOV3	DOV2	DOV1	DOV0									34	34	34	34	34	34	34	34	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-								OV7	OV6	OV5	OV4	OV3	OV2	OV1	OV0									34	34	34	34	34	34	34	34
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																				
-								DOV7	DOV6	DOV5	DOV4	DOV3	DOV2	DOV1	DOV0																																																																																				
								34	34	34	34	34	34	34	34																																																																																				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																				
-								OV7	OV6	OV5	OV4	OV3	OV2	OV1	OV0																																																																																				
								34	34	34	34	34	34	34	34																																																																																				
Поле	Биты	Описание																																																																																																	
DOVn	23-16	Флаг ошибки ПДП																																																																																																	
		0	Нет ошибки																																																																																																
		1	При наличии двух обрабатываемых запроса ПДП от секвенсора n, пришел третий запрос ПДП, который не может быть обработан																																																																																																
OVn	7-0	Флаг переполнения (100% заполнения) FIFO секвенсора n и необходимости выгрузки данных.																																																																																																	
		0	Не переполнено																																																																																																
		1	Переполнено. Все последующие записи блокируются. Сбрасывается записью единицы																																																																																																
–	31-24, 15-8	Зарезервировано																																																																																																	

Примечание: n – порядковый номер от 0 до 7

Таблица А1.6– Регистр выбора событий запуска секвенсора

ADCSEMUX		8000_0014h	Сброс: 00000000h																																																																																																
<table border="1" style="width:100%; text-align:center;"> <tr> <td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td> </tr> <tr> <td colspan="4">EM7</td><td colspan="4">EM6</td><td colspan="4">EM5</td><td colspan="4">EM4</td> </tr> <tr> <td colspan="4">34</td><td colspan="4">34</td><td colspan="4">34</td><td colspan="4">34</td> </tr> <tr> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="4">EM3</td><td colspan="4">EM2</td><td colspan="4">EM1</td><td colspan="4">EM0</td> </tr> <tr> <td colspan="4">34</td><td colspan="4">34</td><td colspan="4">34</td><td colspan="4">34</td> </tr> </table>				31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	EM7				EM6				EM5				EM4				34				34				34				34				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	EM3				EM2				EM1				EM0				34				34				34				34			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																				
EM7				EM6				EM5				EM4																																																																																							
34				34				34				34																																																																																							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																				
EM3				EM2				EM1				EM0																																																																																							
34				34				34				34																																																																																							
Поле	Биты	Описание																																																																																																	
1	2	3																																																																																																	
EMs	31-0	Поле выбора события для запуска секвенсора n.																																																																																																	
		0h	Установка бита GSYNC, если выбран соответствующий секвенсор посредством бита SSn (см. регистр ADCPSSI)																																																																																																
		1h	По команде блока аналогового компаратора 0																																																																																																
		2h	По команде блока аналогового компаратора 1																																																																																																
		3h	По команде блока аналогового компаратора 2																																																																																																
		4h	По прерыванию от GPIO																																																																																																
5h	По команде блока таймеров																																																																																																		

Инд. № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № инв.	Инд. № дубл.	Инд. № инв.
Инд. № дубл.	Инд. № инв.	Инд. № дубл.	Инд. № инв.
Инд. № дубл.	Инд. № инв.	Инд. № дубл.	Инд. № инв.

		6h	По команде блока ШИМ 0
<i>Окончание таблицы</i>			
1	2	3	
EMs	31-0	7h	По команде блока ШИМ 1
		8h	По команде блока ШИМ 2
		9h	По команде блока ШИМ 3
		Ah	По команде блока ШИМ 4
		Bh	По команде блока ШИМ 5
		Ch-Eh	Зарезервировано
		Fh	Постоянная работа
Примечани: n – порядковый номер от 0 до 7			

Таблица А1.7– Регистр пустоты FIFO

ADCUSTAT		8000_0018h	Сброс: 00000000h												
Поле	Биты	Описание													
UVn	7-0	Флаг пустого FIFO секвенсора n и необходимости загрузки данных													
		0	FIFO содержит данные												
		1	FIFO секвенсора пусто												
-	31-8	Зарезервировано													
Примечание: n – порядковый номер от 0 до 7															

Таблица А1.8 – Регистры фазы запуска модулей АЦП

ADCSPC0		8000_0020h	Сброс: 00000000h												

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы А1.8

ADCSPC1		8000_0024h	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-				PHASE3											
				3 4											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-				PHASE2											
				3 4											
ADCSPC2		8000_0028h	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-				PHASE5											
				3 4											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-				PHASE4											
				3 4											
ADCSPC3		8000_002Ch	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-				PHASE7											
				3 4											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-				PHASE6											
				3 4											
ADCSPC4		8000_0030h	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-				PHASE9											
				3 4											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-				PHASE8											
				3 4											

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А1.8

ADCSPC5		8000_0034h	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-				PHASE11											
3 ч															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-				PHASE10											
3 ч															
Поле	Биты	Описание													
PHASEn	27-16, 11-0	Поле задания задержки запуска модуля АЦПn в системных тактах при последовательном запуске модулей АЦП. Допустимые значения – от 0h до Fh.													
–	31-28, 15-12	Зарезервировано													
Примечание: n – порядковый номер от 0 до 11															

Таблица А1.9 – Регистр управления усреднителем n (n от 0 до 7)

ADCSAC		8000_0038h	Сброс: 00000000h																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
-	AVG7				-	AVG6				-	AVG5				-	AVG4			
3 ч				3 ч				3 ч				3 ч							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
-	AVG3				-	AVG2				-	AVG1				-	AVG0			
3 ч				3 ч				3 ч				3 ч							
Поле	Биты	Описание																	
AVGn	30-28, 26-24, 22-20, 18-16, 14-12, 10-8, 6-4, 2-0	Поле задания параметров усреднения																	
		0h	Усреднение выключено. Усреднитель не используется.																
		1h	Усреднение по двум измерениям																
		2h	Усреднение по четырем измерениям																
		3h	Усреднение по восьми измерениям																
		4h	Усреднение по 16 измерениям																
		5h	Усреднение по 32 измерениям																
		6h	Усреднение по 64 измерениям																
7h	Зарезервировано																		
–	31, 27, 23, 19, 15, 11, 7, 3	Зарезервировано																	
Примечания																			
1 Усреднитель подключен на выходе каждого из FIFO, и позволяет загружать в FIFO усредненное значение нескольких измерений. Количество измерений для усреднения для каждого компаратора задается регистром ADCSAC.																			

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А1.10 – Регистр сброса счетчика прерываний

RICNT																8000_003Ch								Сброс: 00000000h																			
31 30 29 28 27 26 25 24																23		22		21		20		19		18		17		16													
-																RICN T7		RICN T6		RICN T5		RICN T4		RICN T3		RICN T2		RICN T1		RICN T0													
																34		34		34		34		34		34		34		34													
15 14 13 12 11 10 9 8																7		6		5		4		3		2		1		0													
-																AVG11				-				AVG10				-				AVG9				-				AVG8			
																34				34				34				34				34											
Поле	Биты															Описание																											
RICNTm	23, 22, 21, 20, 19, 18, 17, 16															Бит выбор режима сброса счетчика прерываний																											
																0 Нет действий.																											
																1 Запрет сброса счетчика прерываний по запуску секвенсора. Счетчик прерываний также может быть сброшен программно (по записи в регистр ADCSSOPn), либо сигналом разрешения секвенсора ASENn																											
AVGn	14-12, 10-8, 6-4, 2-0															Поле задания параметров усреднения																											
																0h Усреднение выключено																											
																1h Усреднение по двум измерениям																											
																2h Усреднение по четырем измерениям																											
																3h Усреднение по восьми измерениям																											
																4h Усреднение по 16 измерениям																											
																5h Усреднение по 32 измерениям																											
																6h Усреднение по 64 измерениям																											
7h Зарезервировано																																											
-	31, 27, 23, 19, 15, 11, 7, 3															Зарезервировано																											
Примечания																																											
1 Усреднитель подключен на выходе каждого из FIFO, и позволяет загружать в FIFO усредненное значение нескольких измерений. Количество измерений для усреднения для каждого компаратора задается регистром ADCSAC.																																											
n – порядковый номер от 8 до 11, m – порядковый номер от 0 до 7																																											

Таблица А1.11 – Регистр выбора событий запуска секвенсора n (n от 0 до 23)

ADCSSMUX																Сброс: 00000000h															
31 30 29 28 27 26 25 24																23		22		21		20		19		18		17		16	
-																CH23		CH22		CH21		CH20		CH19		CH18		CH17		CH16	
																34		34		34		34		34		34		34		34	
15 14 13 12 11 10 9 8																7		6		5		4		3		2		1		0	
CH15		CH14		CH13		CH12		CH11		CH10		CH9		CH8		CH7		CH6		CH5		CH4		CH3		CH2		CH1		CH0	
34		34		34		34		34		34		34		34		34		34		34		34		34		34		34			

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № инв.	Подп. и дата

Окончание таблицы А1.11

Поле	Биты	Описание	
СНп	23-0	Бит разрешения измерения по каналу п	
		0	Запрещено
		1	Разрешено
–	31-24	Зарезервировано	

Таблица А1.12 – Регистр управления

Поле	Биты	Описание
DMAEN		Бит разрешения использования DMA секвенсором
	0	Запрещено
	1	Разрешено
WMARK	27-24	Значение количества измерений записанных в FIFO, по достижению которого вызывается DMA.
	000	Не используется
	001	1 измерение
	010	2 измерение
	011	4 измерение
	101	8 измерение
	110	16 измерение
	111	32 измерение
ICNT	23-16	Поле задания цикличности выставления прерываний и/или запусков секвенсором компараторов. Доступные значения от 00h до FFh. Значение 00h означает выставление прерывания и/или запуска компаратора по каждому перезапуску секвенсора, значение FFh – каждые 256 перезапусков. Если в регистре RICNT записан 01h, то автоматический сброс по запуску секвенсора не производится.
RCNT	7-0	Поле задания количества перезапусков модулей АЦП. Доступные значения от 00h до FFh. Значение 00h означает 1 перезапуск модулей АЦП, значение FFh – 256 перезапусков.
–	31-29, 27, 15-8	Зарезервировано
Примечание - Регистр задает параметры каждого шага секвенсора. В частности, последний шаг секвенсора должен быть промаркирован END=1, что позволяет менять глубину работы секвенсора от 1 до 8 шагов		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А1.13 – Регистр измерения

ADCSSFIFO		Сброс: 00000000h
Поле	Биты	Описание
DATA	11-0	Поле значения конверсии. Содержит измерения секвенсора x. Чтение поля DATA сдвигает указатель чтения FIFO, и на выходе появляются данные от следующего измерения. Смещение указателя при чтении будет происходить вплоть до опустошения FIFO.
–	31-12	Зарезервировано

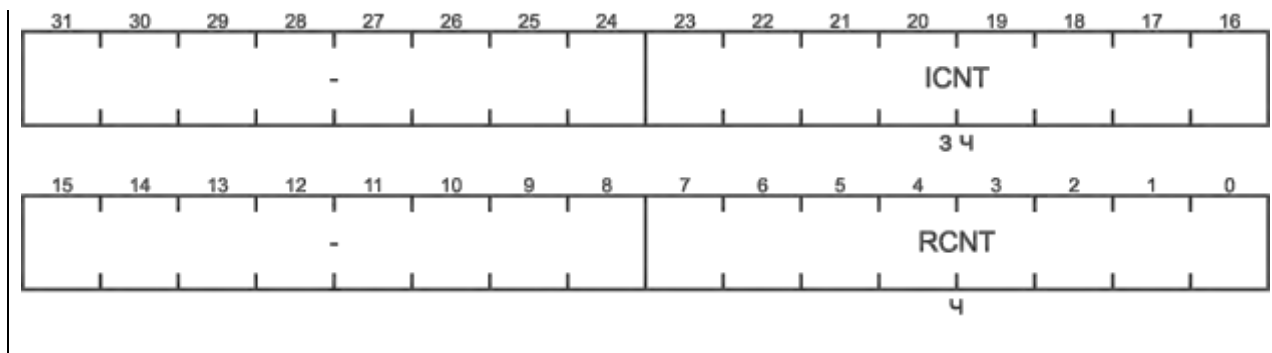
Таблица А1.14 – Регистр флагов

ADCSSFSTAT		Сброс: 00000000h
Поле	Биты	Описание
FLOAD	7-4	Счетчик FIFO секвенсора по записи
–	31-6	Зарезервировано

Таблица А1.15 – Регистр флагов измерений

ADCSSOP		Сброс: 00000000h
---------	--	------------------

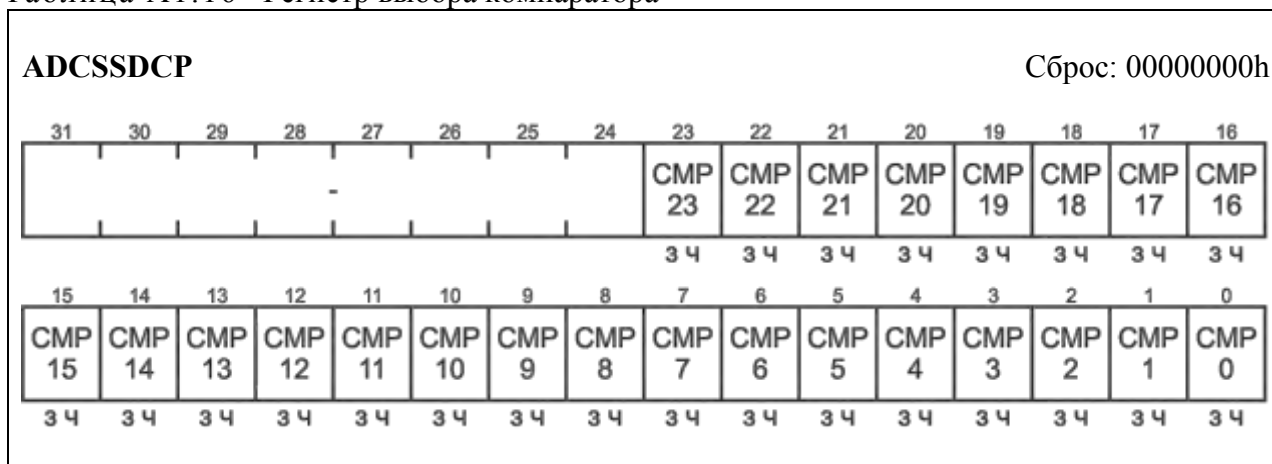
Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата



Окончание таблицы А1.15

Поле	Биты	Описание
ICNT	23-16	Значение счетчика прерывания. Запись в это поле сбрасывает счетчик.
RCNT	7-0	Количество измерений, проведенных с момента запуска секвенсора
–	31-8	Зарезервировано

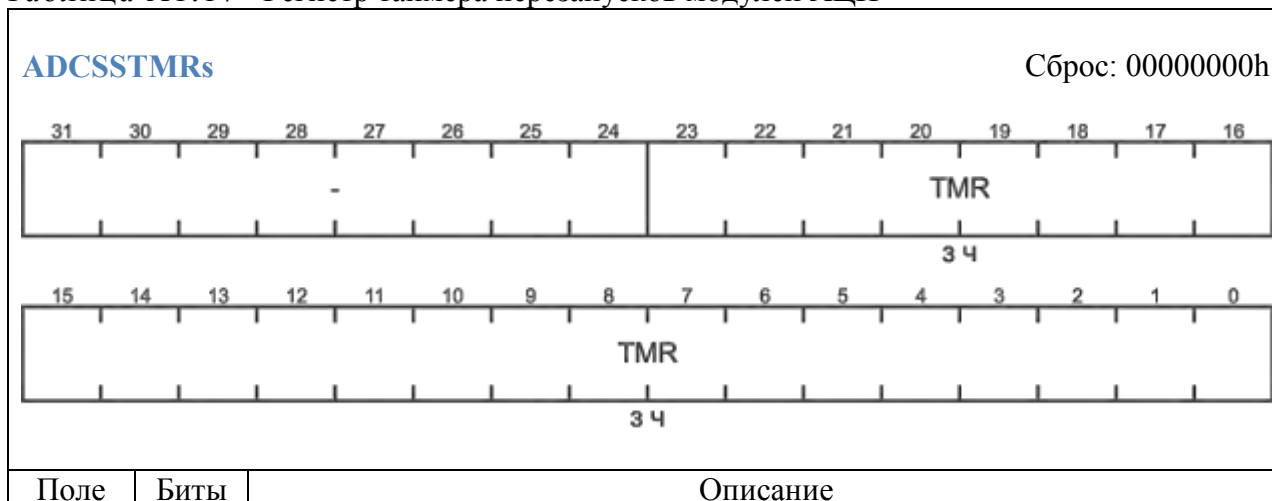
Таблица А1.16– Регистр выбора компаратора



Поле	Биты	Описание
CMPn	23-0	Бит разрешения работы компаратора n для измерения, которое будет получено при запуске секвенсора
		0 Запрещено
		1 Разрешено
–	31-24	Зарезервировано

Примечание – n – порядковый номер от 0 до 23

Таблица А1.17– Регистр таймера перезапусков модулей АЦП

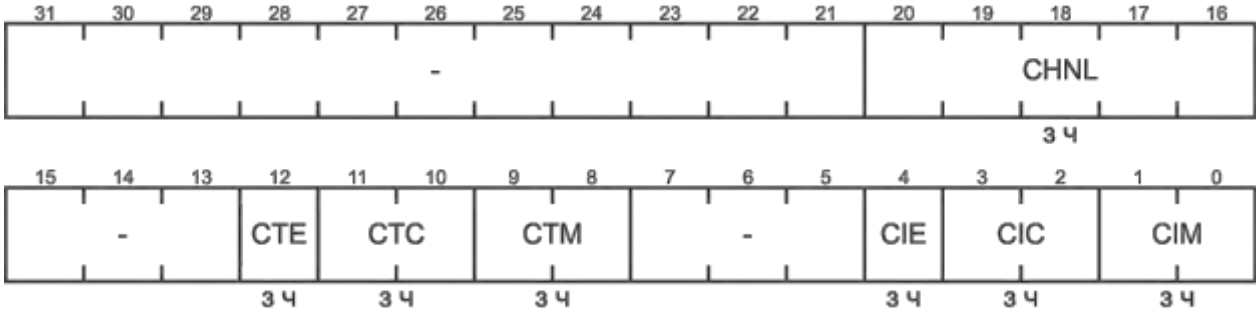


Поле	Биты	Описание
------	------	----------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.

TMR	23-0	Поле задания максимального значения счетчика таймера перезапусков модулей АЦП. Таймер включается сразу по окончании измерения. Значение 000000h означает немедленный перезапуск модулей, после получения сигнала окончания измерения от АЦП. Если таймер сработает раньше, чем закончится текущее измерение, то перезапуск так же произойдет немедленно.
–	31-24	Зарезервировано

Таблица А1.18– Регистр управления компаратором n (n – номер от 0 до 23)

ADCDCCTLn		Сброс: 00000000h
		
Поле	Биты	Описание
1	2	3
CHNL	20-16	Поле выбора канала. Содержит номер канала (или усреднителя), с выхода которого следует брать измеренное значение. Доступные значения от 0h до 17h.
STE	12	Бит запуска триггера. Запись единицы разрешает срабатывание триггера по измерению канала n. Примечание – триггер сработает в соответствии с условиями STC и STM.
STC	11-10	Поле задания условия срабатывания триггера по измерению канала n. Фактически это диапазон, в который должно попасть измерение
		00 Нижний диапазон. Измерение \leq COMP0 \leq COMP1
		01 Средний диапазон. COMP0 \leq Измерение \leq COMP1
		10 Зарезервировано
11 Верхний диапазон. COMP0 \leq COMP1 \leq Измерение		
STM	9-8	Поле задания режима срабатывания триггера по измерению канала n
		00 По каждому измерению, попавшему в заданную область
		01 По первому измерению, попавшему в заданную область
		10 По первому измерению, попавшему в заданную область (только для нижнего и верхнего диапазонов, задаваемых полем STC) после пересечения границы гистерезиса, и затем удержание до следующего пересечения границы гистерезиса
11 По первому измерению, попавшему в заданную область (только для нижнего и верхнего диапазонов, задаваемых полем STC) после пересечения границы гистерезиса, без удержания.		
CIE	4	Бит разрешения генерации прерывания по измерению канала n.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата
Подп. и дата	Подп. и дата

		Запись единицы разрешает генерацию. Примечание – прерывание будет сгенерировано в соответствии с условиями СІС и СІМ
СІС	3-2	Поле задания условия выставления прерывания по измерению канала n. Фактически это диапазон, в который должно попасть измерение
		00 Нижняя область. Измерение \leq COMP0 \leq COMP1
		01 Средняя область. COMP0 \leq Измерение \leq COMP1
		10 Зарезервировано
	11 Верхняя область. COMP0 \leq COMP1 \leq Измерение	

1	2	3
СІМ	1-0	Поле задания режима генерирования прерывания по измерению канала n
		00 По каждому измерению, попавшему в заданную область
		01 По первому измерению, попавшему в заданную область
		10 По первому измерению, попавшему в заданную область (только для нижней и верхней областей, задаваемых полем СІС) после пересечения границы гистерезиса, и затем удержание до следующего пересечения границы гистерезиса
	11 По первому измерению, попавшему в заданную область (только для нижней и верхней областей, задаваемых полем СІС) после пересечения границы гистерезиса, без удержания.	
–	31-21, 15-13, 7-5	Зарезервировано

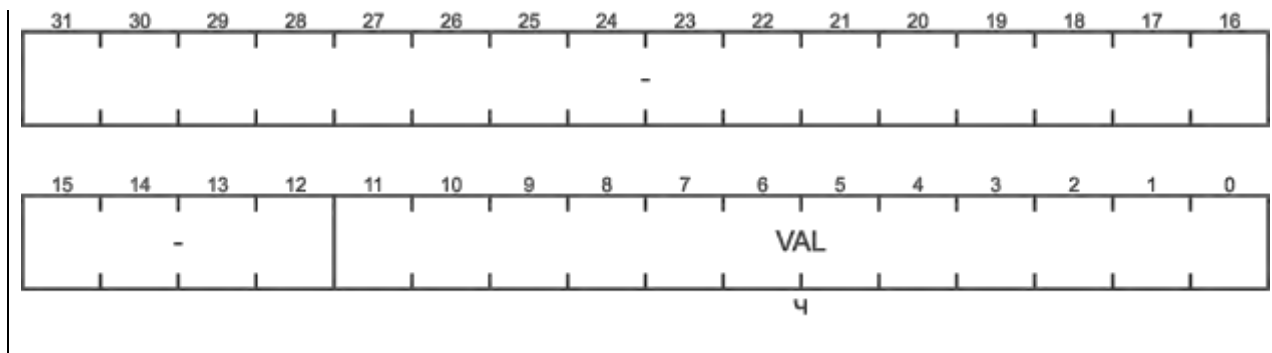
Таблица А1.19 – Регистр диапазона компаратора n (n – номер от 0 до 23)

ADCDCOMPn		Сброс: 00000000h
COMP1, COMP0	27-16, 11-0	Поля значений верхнего и нижнего порогов диапазона измерений. Всегда должно выполняться условие COMP0 \leq COMP1.
–	31-28, 15-12	Зарезервировано

Таблица А1.20 – Регистр результата измерения компаратора n (n – номер от 0 до 23)

ADCDCVALn	Сброс: 00000000h
------------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата
Инд. № подл.	Инд. № дубл.



Окончание таблицы А1.20

Поле	Биты	Описание
VAL	11-0	Значение последнего измерения, которое использовалось при сравнении
–	31-12	Зарезервировано

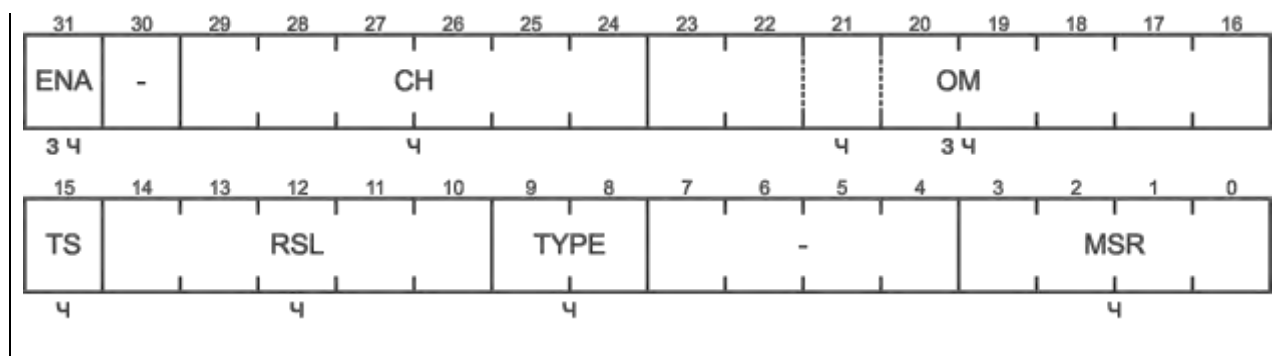
Таблица А1.21 – Регистр сброса компараторов

ADCDCRIC_L		8000_02E8h	Сброс: 00000000h
ADCDCRIC_H		8000_02ECh	Сброс: 00000000h
Поле	Биты	Описание	
DCINTn	23-0	Бит сброса прерывания компаратора n. Запись единицы сбрасывает прерывание в начальное состояние.	
DCTRIGn	23-0	Бит сброса триггера компаратора n. Запись 1 сбрасывает триггер в начальное состояние.	
–	31-24	Зарезервировано	
Примечание: n – порядковый номер от 0 до 23			

Таблица А1.22 – Регистр настроек модуля АЦП (n от 0 до 11)

ADCPPn	Сброс: 00000000h
---------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата
Инд. № подл.	Инд. № дубл.



Окончание таблицы А1.22

Поле	Биты	Описание	
ENA	31	Бит разрешения работы АЦП	
		0	Запрещено
		1	Разрешено
CH	29-24	Количество входных каналов модулей АЦП. В настоящей версии – два канала.	
OM	23	Бит управления опорным током АЦП	
		0	Нормальный режим
		1	Смещение +25%
	22	Режим функционирования блока SHA2	
		0	Однополярный
		1	Дифференциальный. Не может быть включен одновременно с дифференциальным режимом блока SHA1
	21	Бит всегда установлен	
	20	Режим функционирования блока SHA1	
		0	Однополярный
		1	Дифференциальный. Не может быть включен одновременно с дифференциальным режимом блока SHA2
	19	Разрядность	
		0	12
1		10	
18-16	Режим модуля АЦП		
	000	Powerdown. Модуль выключен	
	001	StandBy	
	011	Модуль включен	
	Остальные комбинации зарезервированы.		
TS	15	Индикатор наличия температурного сенсора на одном из каналов АЦП. В настоящей версии сенсор отсутствует.	
RSL	14-10	Разрешающая способность модулей АЦП	
		0Ah	10 разрядов
		0Ch	12 разрядов (частота)
TYPE	9-8	Тип архитектуры модулей АЦП	
		00	SAR
		Остальные значения зарезервированы	
MSR	3-0	Производительность модулей АЦП в измерений/сек	
		9h	2М
		Bh	4М

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

		Остальные значения зарезервированы
--	--	------------------------------------

Таблица А1.23– Регистр синхронизации секвенсоров

ADCPSSI		8000_03F8h	Сброс: 00000000h																																																																																																
<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 2.5%;">31</td><td style="width: 2.5%;">30</td><td style="width: 2.5%;">29</td><td style="width: 2.5%;">28</td><td style="width: 2.5%;">27</td><td style="width: 2.5%;">26</td><td style="width: 2.5%;">25</td><td style="width: 2.5%;">24</td><td style="width: 2.5%;">23</td><td style="width: 2.5%;">22</td><td style="width: 2.5%;">21</td><td style="width: 2.5%;">20</td><td style="width: 2.5%;">19</td><td style="width: 2.5%;">18</td><td style="width: 2.5%;">17</td><td style="width: 2.5%;">16</td> </tr> <tr> <td colspan="2">G SYNC</td> <td colspan="14">-</td> </tr> <tr> <td colspan="16">3 ч</td> </tr> <tr> <td style="width: 2.5%;">15</td><td style="width: 2.5%;">14</td><td style="width: 2.5%;">13</td><td style="width: 2.5%;">12</td><td style="width: 2.5%;">11</td><td style="width: 2.5%;">10</td><td style="width: 2.5%;">9</td><td style="width: 2.5%;">8</td><td style="width: 2.5%;">7</td><td style="width: 2.5%;">6</td><td style="width: 2.5%;">5</td><td style="width: 2.5%;">4</td><td style="width: 2.5%;">3</td><td style="width: 2.5%;">2</td><td style="width: 2.5%;">1</td><td style="width: 2.5%;">0</td> </tr> <tr> <td colspan="8">-</td> <td>SS7</td><td>SS6</td><td>SS5</td><td>SS4</td><td>SS3</td><td>SS2</td><td>SS1</td><td>SS0</td> </tr> <tr> <td colspan="8"></td> <td>3</td><td>3</td><td>3</td><td>3</td><td>3</td><td>3</td><td>3</td><td>3</td> </tr> </table>				31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	G SYNC		-														3 ч																15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-								SS7	SS6	SS5	SS4	SS3	SS2	SS1	SS0									3	3	3	3	3	3	3	3
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																				
G SYNC		-																																																																																																	
3 ч																																																																																																			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																				
-								SS7	SS6	SS5	SS4	SS3	SS2	SS1	SS0																																																																																				
								3	3	3	3	3	3	3	3																																																																																				
Поле	Биты	Описание																																																																																																	
GSYNC	31	Бит синхронного запуска секвенсоров. Запись единицы запускает одновременно все разрешенные (битами SS7-SS0) секвенсоры. Секвенсоры будут запущены со следующим системным тактом. Сбрасывается аппаратно.																																																																																																	
SSn	7-0	Бит разрешения запуска секвенсора n (n от 0 до 7)																																																																																																	
		0	Запрещено																																																																																																
	1	Запись единицы разрешает запуск, если установлен соответствующий бит ASENn в регистре ADCACTSS																																																																																																	
–	30-8	Зарезервировано																																																																																																	

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата	

A2 Регистры GPIO и общего назначения

Таблица A2.1 – 16-разрядные регистры порта

Регистр	Обращение к регистру	Описание	Сброс
1	2	3	4
DATA Регистр входных данных порта	Чтение	Данные на входе порта	----h
	Запись	Значение выхода порта. Чтение записанного значения возможно после задержки в 2 такта системной частоты из-за пересинхронизации входного значения.	
DATAOUT Выходной регистр данных порта	Чтение	Текущее значение регистра	0000h
	Запись	Запись значения регистра данных	

16-разрядные регистры, представленные в таблице A2.2 управляют выводами порта. Каждому биту регистра соответствует один вывод порта – нулевому биту соответствует нулевой вывод, 15 биту соответствует 15 вывод.

Таблица A2.2 – 16-разрядные регистры порта

Регистр	Обращение к биту регистра		Описание	Сброс
1	2		3	4
OUTENSET Регистр разрешения выходов порта	Чтение	0	Вывод в состоянии вход	0000h
		1	Вывод в состоянии выход	
	Запись	0	Перевод вывода в третье состояние	
		1	Перевод вывода в состояние выход	
OUTENCLR Регистр сброса разрешения выходов порта	Чтение	0	Вывод в состоянии вход	0000h
		1	Вывод в состоянии выход	
	Запись	0	Состояние вывода не изменяется	
		1	Перевод вывода в третье состояние	
ALTFUNCSET Регистр включения альтернативной функции порта	Чтение	0	Вывод в режиме GPIO	Порт A: 0000h Порт B: 0007h Порт C: 0000h Порт D: 0800h Порт E: 0403h Порт F: 0000h Порт G: 0000h Порт H: 0000h
		1	Вывод в режиме альтернативной функции	
	Запись	0	Состояние вывода не изменяется	
		1	Перевод вывода в режим альтернативной функции	

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № подл.	Подп. и дата

Окончание таблицы А2.2

1	2	3	4	
ALTFUNCCLR Регистр выключения альтернативной функции порта	Чтение	0	Вывод в режиме GPIO	0000h
		1	Вывод в режиме альтернативной функции	
	Запись	0	Состояние вывода не изменяется	
		1	Перевод вывода в режим GPIO	
INTENSET Регистр разрешения прерываний порта	Чтение	0	Прерывания запрещены	0000h
		1	Прерывания разрешены	
	Запись	0	Состояние вывода не изменяется	
		1	Разрешение прерываний	
INTENCLR Регистр сброса разрешения прерываний порта	Чтение	0	Прерывания запрещены	0000h
		1	Прерывания разрешены	
	Запись	0	Состояние вывода не изменяется	
		1	Запрещение прерываний	
INTTYPESET Регистр типа прерываний порта	Чтение	0	Прерывания по уровню	0000h
		1	Прерывания по фронту	
	Запись	0	Состояние вывода не изменяется	
		1	Установка типа прерываний	
INTTYPECLR Регистр сброса типа прерываний порта	Чтение	0	Прерывания по уровню	0000h
		1	Прерывания по фронту	
	Запись	0	Состояние вывода не изменяется	
		1	Сброс типа прерываний	
INTPOLSET Регистр полярности события прерывания порта	Чтение	0	Прерывания по низкому уровню или отрицательному фронту	0000h
		1	Прерывания по высокому уровню или положительному фронту	
	Запись	0	Состояние вывода не изменяется	
		1	Установка полярности события прерываний	
INTPOLCLR Регистр сброса полярности события прерывания порта	Чтение	0	Прерывания по низкому уровню или отрицательному фронту	0000h
		1	Прерывания по высокому уровню или положительному фронту	
	Запись	0	Состояние вывода не изменяется	
		1	Сброс полярности события прерываний	
INTSTATUS, INTCLEAR Регистр состояния и сброса прерываний порта	Чтение	Статус прерывания		0000h
	Запись	0	Состояние вывода не изменяется	
		1	Сброс прерывания	
MASKLOWBYTE Регистр маски младшего байта порта	Чтение	Доступ по маске для младших восьми бит порта. Биты с 9 по 2 адреса регистра используются как битовая маска. Биты с 7 по 0 совместно с битами адреса 9-2 используются как маска для битов данных порта ввода-вывода. Биты с 15 по 8 не используются		----h
	Запись			
MASKHIGHBYTE Регистр маски старшего байта порта	Чтение	Доступ по маске для старших восьми бит порта. Биты с 9 по 2 адреса регистра используются как битовая маска. Биты с 7 по 0 совместно с битами адреса 9-2 используются как маска для битов данных порта ввода-вывода. Биты с 15 по 8 не используются		----h
	Запись			

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № подл.	Подп. и дата

Часть регистров портов условно собраны в четыре группы. Каждая группа позволяет управлять парой портов. На рисунке А2.1 показано какие порты образуют пары и соответствие битов регистров и выводов портов. Биты 31–16 регистра соответствуют битам 15–0 одного порта. Аналогично биты 15–0 регистра соответствуют битам 15–0 другого порта.

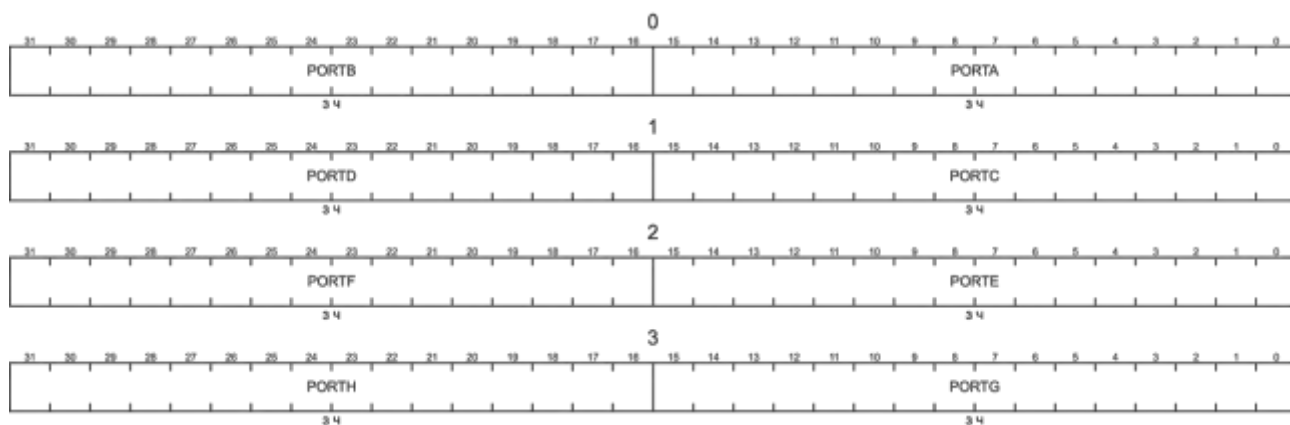


Рисунок А2.1 – Форматы регистров управления портами

Индекс в конце мнемонического названия регистра указывает на группу и может иметь четыре значения:

- 0 – группа портов А и В;
- 1 – группа портов С и D;
- 2 – группа портов Е и F;
- 3 – группа портов G и H.

Таблица А2.3 – 32-разрядные регистры портов ($i = 0, 1, 2, 3$)

Мнемоника	Состояние бита	Описание состояния вывода, которым управляет бит
		3
GPIODEN_i Регистр разрешения выходов портов	0	Вывод находится в третьем состоянии
	1	Вывод активен
GPIOODCTL_i Регистр включения режима открытого коллектора портов	0	Нормальная работа вывода
	1	Вывод находится в режиме открытого коллектора
GPIOODSCTL_i Регистр управления нагрузочной способностью выходов портов	0	Нагрузочная способность вывода 8 мА
	1	Нагрузочная способность вывода 16 мА
GPIOPUCTL_i Регистр управления схемой «PullUp» портов	0	Схема «Pull-up» вывода отключена
	1	Схема «Pull-up» вывода включена
GPIOSE_i Регистр управления пересинхронизацией входов портов	0	Сигнал со входа передается без изменений
	1	Сигнал со входа пересинхронизируется через два триггера
GPIOQE_i Регистр включения фильтров GPIO портов	0	Фильтр вывода отключен
	1	Фильтр вывода подключен

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А2.3

GPIOQMi Регистр режимов работы фильтров портов	0	Включена фильтрация по трем отсчетам входного сигнала. Если все три отсчета имеют одинаковое значение, то данное значение подается на выход, иначе остается предыдущее
	1	Включена фильтрация по шести отсчетам входного сигнала. Если все шесть отсчета имеют одинаковое значение, то данное значение подается на выход, иначе остается предыдущее
Примечание – Состояние всех регистров после сброса микроконтроллера 00000000h. Исключение составляют три регистра: GPIO DEN0 – 00020062h; GPIO DEN1 – 08000000h; GPIO DEN2 – 00000400h.		

Таблица А2.4. – Регистр выбора функции порта x (x – название порта от А до Н)

GPIO PCTLx												Сброс: 00000000h											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
Pin15			Pin14			Pin13			Pin12			Pin11			Pin10			Pin9			Pin8		
3 4			3 4			3 4			3 4			3 4			3 4			3 4			3 4		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Pin7			Pin6			Pin5			Pin4			Pin3			Pin2			Pin1			Pin0		
3 4			3 4			3 4			3 4			3 4			3 4			3 4			3 4		
Поле	Биты	Описание																					
Pinn	31-0	Поле выбора альтернативной функции вывода порта																					
		00		Функция 1																			
		01		Функция 2																			
		10		Функция 3																			
		11		Зарезервировано																			
Примечание – n – порядковый номер вывода порта от 0 до 15;																							

Таблица А2.5 – Регистры настройки фильтров портов

GPIO PAD												8003_0110h				Сброс: 00000000h			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
SPRDD						SPRDC													
3 4						3 4													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
SPRDB						SPRDA													
3 4						3 4													

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата
Ив. № подл.	Подп. и дата

Окончание таблицы А2.5

GPIOEN		8003_0114h	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SPRDH								SPRDG							
3 4								3 4							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPRDF								SPRDE							
3 4								3 4							

Буква в конце названия битового поля указывает на порт, которым оно управляет. Битовое поле задает временной интервал (в тактах системной частоты) между отсчетами фильтров соответствующего порта. Временной интервал задается одновременно для всех выводов порта.

Таблица А2.6 – Регистр управления настройками PLL

PLL_CTRL		8003_0094h	Сброс: 00000000h														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
PD		-															
3 4																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PLL_DIV												-			REFSEL		
3 4												3 4					

Поле	Биты	Описание	
PD	31	Бит включения режима PowerDown	
		0	Нет действий.
		1	Запись единицы включает режим
PLL_DIV	15-8	Поле задания значения делителя сигнала на выходе блока PLL	
REFSEL	1-0	Поле выбора источника опорного сигнала PLL	
		00	Сигнал на входе микроконтроллера XI OSC
		01	Сигнал на выводе микроконтроллера A0 (альтернативная функция CLK_USB)
		10 11	Сигнал на выходе блока USB (60 МГц). При переходе USB в режим Suspend сигнал может быть нестабильным
-	30-2	Зарезервировано	

Таблица А2.7 – Регистр задания выходного делителя PLL

PLL_OD		8003_0098h	Сброс: 00000000h
--------	--	------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

1	2	3
F_PLL	8-0	<p>Значение делителя обратной связи. Вычисляется по формуле $NF = F_PLL + 2$</p> <p>Значение выходной частоты PLL вычисляется с использованием значений опорного и выходного делителей, а также делителя обратной связи по формуле $FOUT = (FIN \times NF) / (NO \times NR)$, где FIN – входная частота PLL</p>

Окончание таблицы А2.9

1	2	3
		<p>При расчете коэффициентов деления PLL должны выполняться следующие условия:</p> <ul style="list-style-type: none"> - $3,2 \text{ МГц} < fin < 150 \text{ МГц}$; - $800 \text{ КГц} < fref < 8 \text{ МГц}$; - $200 \text{ МГц} < fvco < 500 \text{ МГц}$, <p>где частота фазового детектора вычисляется по формуле $fref = fin / (2 \times NR)$, а частота VCO вычисляется по формуле $fvco = fin \times (NF / NR)$</p>
–	31-9	Зарезервировано

Таблица А2.10 – Регистр настройки контроллера внешней памяти

EXT_MEM_CFG		8003_00A4h	Сброс: 80000007h
Поле	Биты	Описание	
8/16BIT	31	Бит задания разрядности контроллера внешней памяти	
		0	8-разрядный режим работы
		1	16-разрядный режим работы
CE_MASK	17-9	<p>Маска адреса для сигналов RamCen [1] и RamOen [1]. Сигналы RamCen вычисляются по следующей схеме: $RamCen[1] = \text{not} \{ \text{ExtMemCE_MASK} \& \text{ExtMem_ADDR}[19 : 11] \}$ $RamCen[0] = \text{not} RamCen[1]$ ExtMem_ADDR[17 : 10] – выходной адрес контроллера внешней памяти.</p>	
RWWS	8-6	<p>Длительность цикла переключения шины. Поле задает паузу между циклами чтения и записи на внешней шине в количестве тактов сигнала системной частоты. Значение 000b соответствует одному такту, значение 111b – восьми.</p>	
WRITEWS	5-2	<p>Длительность цикла записи слова данных. Поле задает длительность цикла записи на внешней шине в</p>	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

		количестве тактов сигнала системной частоты. Значение 000b соответствует одному такту, значение 111b – восьми
READWS	2-0	Длительность цикла чтения слова данных. Поле задает длительность цикла чтения на внешней шине в количестве тактов сигнала системной частоты. Значение 000b соответствует одному такту, значение 111b – восьми
–	30-18	Зарезервировано

Таблица А2.11 – Регистры 1, 2 и 3 настройки блоков АЦП

ADC_CTRL1			8003_00A8h	Сброс: 00000000h
ADC_CTRL2			8003_00ACh	Сброс: 00000000h
ADC_CTRL3			8003_013Ch	Сброс: 00000000h
Поле	Биты	Описание		
DIV_ADCn	31-26, 23-18, 15-10, 7-2	Поле задания коэффициента делителя частоты тактового сигнала, подаваемого на АЦП		
DIVEN_	25,17,	Бит включения делителя		

Инва. № дубл.	Подп. и дата
Взам. инв. №	
Подп. и дата	
Инва. № подл.	

ADCn	9,1	0	Частота тактового сигнала равна системной частоте
		1	Частота тактового сигнала определяется по формуле $F_{\text{sysclk}}/(2 \times (X+1))$, X – значение поля DIV_ADCn
CLKEN_ADCn	24,16,8,0	Бит включения тактового сигнала (n от 0 до 11)	
		0	Выключен
		1	Включен

Таблица А2.12 – Регистр синхронизации блоков ШИМ

PWM_SYNC		8003_00B0h	Сброс: 00000000h
Поле	Биты	Описание	
TBCLKSYNC	8-0	Биты сброса счетчиков предварительных делителей блоков ШИМ. Нулевой бит поля TBCLKSYNC сбрасывает счетчик блока ШИМ0, восьмой бит – сбрасывает счетчик блока ШИМ8.	
		0	Сброс бита сбрасывает соответствующий счетчик
		1	Установка бита задает режим счета
–	31-9	Зарезервировано	

Таблица А2.13 – Регистр настройки синхронизации блоков ШИМ

PWM_CTRL		8003_00B4h	Сброс: 00000000h
Поле	Биты	Описание	
SYNC REG	3	Генератор импульса синхронизации	
		0	Нет действий
		1	Запись единицы генерирует импульс синхронизации SYNCI на входе блока ШИМ1
CAP	2	Бит выбора источника синхронизации	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата
Инд. № подл.	Инд. № дубл.

SYNC SEL		0	Синхронизация от модуля захвата CAP3
		1	Синхронизация от модуля ШИМ1
SYNC SELECT	1-0	Поле выбора синхронизации модулей ШИМ	
		00	Последовательное включение
		01	Зарезервировано
		10	Синхронизация от модуля ШИМ1
–	31-4	Зарезервировано	

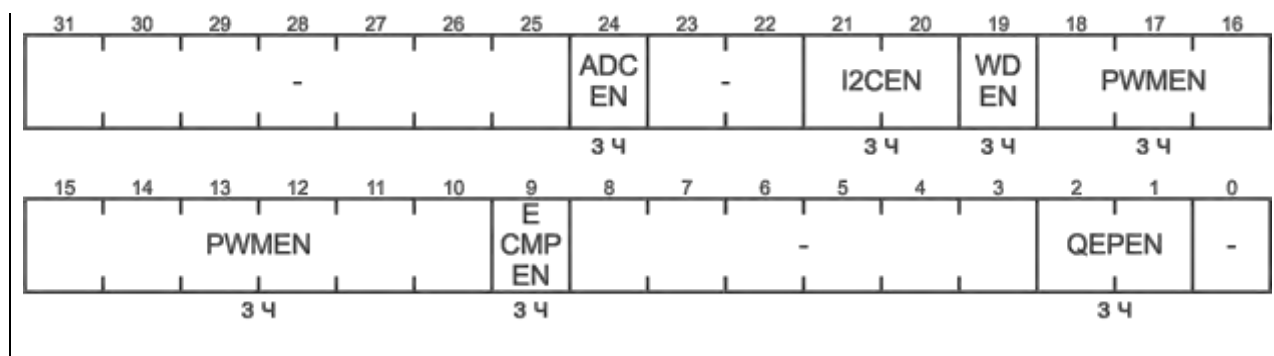
Таблица А2.14 – Регистр настройки системной частоты микроконтроллера

SYS_CLK		8003_00B8h	Сброс: 00000000h
Поле	Биты	Описание	
CURR_SRC	10-8	Поле-индикатор источника синхросигнала. Значение поля указывает на блок, который в текущий момент времени является источником синхросигнала (см. SEL_SRC).	
SEL_SRC	2-0	Поле выбора источника синхросигнала	
		000	Выбор источника зависит от состояния сигнала на входе микроконтроллера CPE_pad
		0	Блок POR
		1	Вход микроконтроллера XI_OSC
		001	Блок POR
		010	Вход микроконтроллера XI_OSC
		011	Блок PLL
		100	Блок PLL с делителем PLLDIV (см. регистр PLL_CTRL)
101	Блок USB (60 МГц)		
110	Вывод микроконтроллера A0 (для вывода должна быть включена альтернативная функция CLK_USB)		
111	Вывод микроконтроллера A8 или B3 (для вывода должна быть включена альтернативная функция MII_TXCLK)		
–	31-16, 15-11, 7-3	Зарезервировано	

Таблица А2.15 – Регистр настройки разрешения тактовых сигналов периферии

APB_CLK	8003_00BCh	Сброс: 00000000h
----------------	------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата



Окончание таблицы А2.15

Поле	Биты	Описание	
ADCEN	24	Бит разрешения тактирования контроллера АЦП	
		0	Запрещено
		1	Разрешено
I2CEN	21-20	Бит разрешения тактирования блоков I2C Младший бит поля управляет тактированием блока I2C0, старший бит – блоком I2C1.	
		0	Запрещено
		1	Разрешено
WDEN	19	Бит разрешения тактирования сторожевого таймера	
		0	Запрещено
		1	Разрешено
PWMEN	18-10	Биты разрешения тактирования блоков ШИМ. Младший бит поля PWMEN управляет тактированием блока ШИМ0, старший бит – блоком ШИМ8.	
		0	Запрещено
		1	Разрешено
ECMPEN	8	Бит разрешения тактирования аналогового компаратора	
		0	Запрещено
		1	Разрешено
QEPEN	2-1	Биты разрешения тактирования квадратурных декодеров	
		00	Тактирование обоих декодеров запрещено
		01	Разрешено тактирование декодера 1
		10	Разрешено тактирование декодера 2
		11	Тактирование обоих декодеров разрешено
-	31-22, 8-3	Зарезервировано	

Таблица А2.16 – Регистр настройки тактовых сигналов блоков UART

UART_CLK	8003_00C0h	Сброс: 00000000h
-----------------	------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

Поле	Биты	Описание													
DIV_UARTn	31-26, 23-18, 15-10, 7-2	Поле задания коэффициента делителя частоты тактового сигнала, подаваемого на UARTn													
DIVEN_UARTn	25,17,9, 1	Бит включения делителя													
		0	Частота тактового сигнала равна системной частоте												
		1	Частота тактового сигнала определяется по формуле $F_{osc}/(2 \times (X+1))$, X – значение поля DIV_UARTn												
CLKEN_UARTn	24,16,8, 0	Бит включения тактового сигнала (n от 0 до 11)													
		0	Выключен												
		1	Включен												

Таблица А2.17 – Регистр настройки тактовых сигналов блоков SPI

<p>SPI_CLK 8003_00C4h Сброс: 00000000h</p>															
Поле	Биты	Описание													
DIV_SPIn	31-26, 23-18, 15-10, 7-2	Поле задания коэффициента делителя частоты тактового сигнала, подаваемого на SPIн													
DIVEN_SPIn	25,17,9,1	Бит включения делителя													
		0	Частота тактового сигнала равна системной частоте												
		1	Частота тактового сигнала определяется по формуле $F_{osc}/(2 \times (X+1))$, X – значение поля DIV_SPIн												
CLKEN_SPIn	24,16,8,0	Бит включения тактового сигнала (n от 0 до 11)													
		0	Выключен												
		1	Включен												

Таблица А2.18 – Регистр сброса блоков периферии

PER_RST1	8003_00C8h	Сброс: 00000000h
-----------------	-------------------	-------------------------

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																	
-																	
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
ETHERNET RST				SPIRST				UARTRST				USB PHY RST		I2C RST		WDRST	
3 4				3 4				3 4				3 4		3 4		3 4	

Поле	Бит	Описание
1	2	3
ETHERNET RST	15	Бит сброса контроллера Ethernet
SPIRST	14	Бит сброса контроллера SPI3
	13	Бит сброса контроллера SPI2
	12	Бит сброса контроллера SPI1
	11	Бит сброса контроллера SPI0
UARTRST	10	Бит сброса блока UART3
	9	Бит сброса блока UART2
	8	Бит сброса блока UART1
	7	Бит сброса блока UART0

Окончание таблицы А2.18

1	2	3
TIMERRST	6	Бит сброса таймера 2
	5	Бит сброса таймера 1
	4	Бит сброса таймера 0
USBPHYRST	3	Бит сброса контроллера USB
	I2CRST	2
		1
WDRST	0	Бит сброса сторожевого таймера
-	31-15	Зарезервировано

Для всех битов справедливо: запись нуля в бит вызывает сброс соответствующего модуля, установка бита активирует соответствующий модуль

Таблица А2.19 – Регистр 2 сброса блоков периферии

PER_RST2																8003_00CCh				Сброс: 00000000h			
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																							
-																							
																E CMP RST		CAP RST					
																3 4		3 4					
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
CAPRST				PWMRST								QEPRST											
3 4				3 4								3 4											

Поле	Бит	Описание
------	-----	----------

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

ECMPRST	17	Бит сброса аналогового компаратора
CAPRST	16	Бит сброса модуля захвата CAP5
	15	Бит сброса модуля захвата CAP4
	14	Бит сброса модуля захвата CAP3
	13	Бит сброса модуля захвата CAP2
	12	Бит сброса модуля захвата CAP1
	11	Бит сброса модуля захвата CAP0
PWMRST	10	Бит сброса модуля ШИМ8
	9	Бит сброса модуля ШИМ7
	8	Бит сброса модуля ШИМ6
	7	Бит сброса модуля ШИМ5
	6	Бит сброса модуля ШИМ4
	5	Бит сброса модуля ШИМ3
	4	Бит сброса модуля ШИМ2
	3	Бит сброса модуля ШИМ1
QEPRST	1	Бит сброса квадратурного декодера 2
	0	Бит сброса квадратурного декодера 1
–	31-18	Зарезервировано

Для всех битов справедливо: запись нуля в бит вызывает сброс соответствующего модуля, установка бита активирует соответствующий модуль

Таблица А2.20 – Регистр настройки USB PHY

USB_CTRL		8003_0130h	Сброс: 00000000h
Поле	Бит	Описание	
CLKEN	2	Бит разрешения синхронизации USBPHY	
		0	Запрещено
	1	Разрешено	
CLKSEL	1	Бит выбор источника сигнала тактирования	
		0	Вход CLK_USB
	1	Сигнал OSC_CLK	
FSEL	0	Бит выбора фиксированной частоты сигнала на входе CLK_USB	
		0	12 МГц
	1	24 МГц	
–	31-3	Зарезервировано	

Таблица А2.21 – Регистр настройки тактовых сигналов блоков UART и SPI

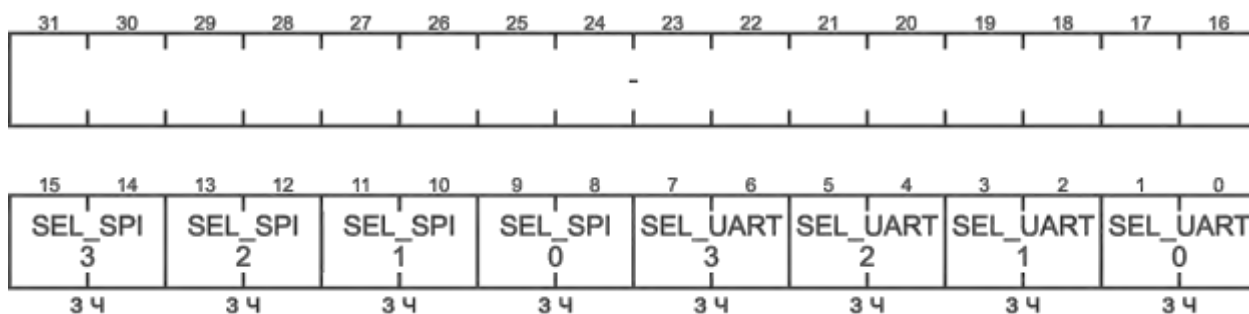
--	--

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

UART_SPI_CLK_SEL

8003_0138h

Сброс: 00000000h



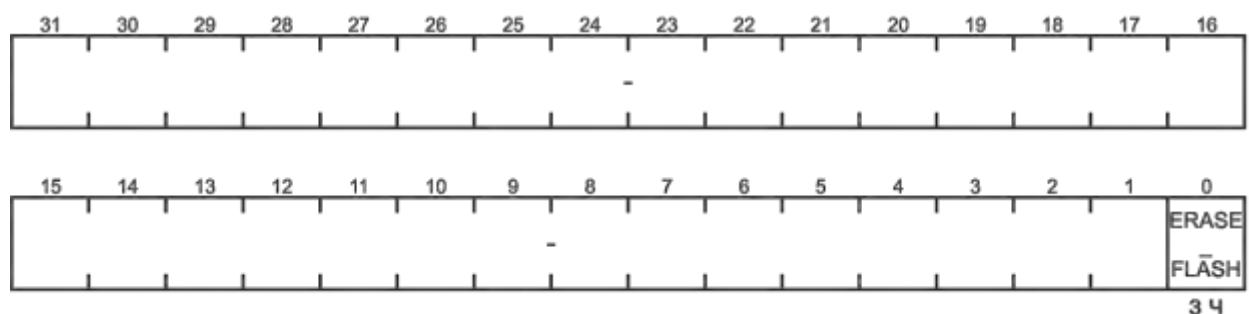
SEL_SPI _n	15-14,	Поле выбора источника тактового сигнала для блока SPI _n	
	13-12,	00	Системная частота
	11-10,	01	Осциллятор
	9-8	10	Частота контроллера USB (60 МГц)
		11	Вход GPIO
SEL_UART _n	7-6,	Поле выбора источника тактового сигнала для блока UART _n	
	5-4,	00	Системная частота
	3-2,	01	Осциллятор
	1-0	10	Частота контроллера USB (60 МГц)
		11	Вход GPIO
–	31-16	–	Зарезервировано

Таблица А2.22– Регистр стирания флеш-памяти

FLASH_FULL_ERASE

8003_0164h

Сброс: 00000000h



Поле	Бит	Описание
ERASE_FLASH	0	Бит полного стирания флеш-памяти. Запись единицы активирует стирание памяти.
–	31-1	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

А3 Регистры контроллера CAN

Таблица А3.1 – Регистр управления частотой

CLC		8007_0000h	Сброс: 00000003h
Поле	Бит	Описание	
DISS	1	Бит состояния контроллера CAN	
		0	Включен
		1	Выключен
DISR	0	Бит выключения контроллера CAN	
		0	Нет действий
		1	Запись единицы запускает механизм выключения
–	31-2	Зарезервировано	
Примечание – Когда контроллер CAN находится в выключенном состоянии только регистр CLC доступен для записи и чтения, доступ к остальным регистрам не возможен.			

Таблица А3.2 – Регистр идентификации

ID		8007_0008h	Сброс: 002BC051h
Поле	Биты	Описание	
MOD_NUMBER	31-16	Идентификационный номер контроллера CAN	
MOD_TYPE	15-8	Разрядность контроллера CAN	
MOD_REV	7-0	Число модификаций контроллера CAN	

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А3.3 – Регистр делителя

FDR		8007_000Ch										Сброс: 00000000h					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
DIS CLK		EN HW		-				RESULT									
3 4		3 4						4									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DM		-				STEP											
3 4						3 4											
Поле	Биты	Описание															
DISCLK	31	Бит запрета внутреннего тактирования															
		0 Генерирование сигнала Fscan разрешено															
		1 Генерирование сигнала Fscan запрещено															
ENHW	30	Бит контроля синхронизации. Это бит аппаратно удерживается в сброшенном состоянии и не может быть установлен															
RESULT	25-16	Счетчик делителя частоты															
DM	15-14	Поле задания режима делителя частоты															
		00 Счетчик выключен. Синхросигнал Fout не генерируется. Сигнал сброса внешнего делителя в состоянии логической единицы. Поле RESULT не меняется.															
		01 Нормальный режим работы. Сигнал сброса внешнего делителя в состоянии логического нуля. При активации режима поле RESULT загружается значением 3FFh. Далее периодически загружается значением из STEP. Формируется сигнал Fout.															
		10 Режим дробного деления. Сигнал сброса внешнего делителя в состоянии логического нуля. При активации режима поле RESULT загружается значением 3FFh. Далее периодически загружается значением из STEP. Формируется сигнал Fout.															
STEP	9-0	Шаг делителя. Поле хранит значение, которое загружается в RESULT при переполнении счетчика делителя															
-	29-26, 13-10	Зарезервировано															

Таблица А3.4 – Регистр списка №0 и регистр свободного списка x (x от 1 до 7)

LIST0		8007_0100h										Сброс: 007F7F00h			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-							EMPTY		SIZE						
							4		4						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
END							BEGIN								
4							4								

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А3.4

LISTx		Сброс: 01000000h
Поле	Биты	Описание
EMPTY	24	Индикатор пустого списка
		0 В списке есть как минимум один элемент
		1 Список пуст
SIZE	23-16	Размер списка. Количество элементов (объектов сообщений) в списке. Значение поля SIZE всегда на единицу меньше числа элементов. Если список пуст, SIZE = 00h
END	15-8	Номер объекта сообщения, находящегося последним в списке. Поле может принимать значения от 00h до FFh, согласно количеству объектов сообщений (256)
BEGIN	7-0	Номер объекта сообщения, находящегося первым в списке. Поле может принимать значения от 00h до FFh, согласно количеству объектов сообщений
–	31-25	Зарезервировано

Таблица А3.5 – Регистр ждущих прерываний (x от 0 до 7)

MSPNDx		Сброс: 00000000h
Поле	Биты	Описание
PND	31-0	Поле ждущих битов сообщений. Каждому объекту сообщения выделяется один бит. Биты устанавливаются только аппаратно. Установленные биты сбрасываются аппаратно по окончании обслуживания запроса прерывания или могут быть сброшены в любой момент программно

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А3.6 – Регистр индекса сообщения (x – от 0 до 7)

MSID _x		Сброс: 00000020h
Поле	Биты	Описание
INDEX	5-0	Поле номера ждущего бита. Если в регистре MSPND есть установленные биты, которые не маскируются соответствующими битами регистра MSIMASK, то поле INDEX будет указывать на самый старший из них. Если в регистре MSPND нет установленных битов или они замаскированы, то в поле INDEX будет находиться значение 20h, указывающее на бит 31 регистра MSPND
–	31-6	Зарезервировано

Таблица А3.7 – Регистр маски индекса сообщения

MSIMASK		8007_01C0h	Сброс: 00000000h
Поле	Биты	Описание	
IM	31-0	Маска для ждущих битов сообщений. Учитывается состояние только тех бит регистра MSPND, для которых в поле IM установлены соответствующие биты	
–	31-6	Зарезервировано	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А3.8 – Регистр панели команд

PANCTR		8007_01C4h	Сброс: 00000301h
Поле	Биты	Описание	
PANAR2	31-24	Панель аргумента 2 (см. таблицу А3.9)	
PANAR1	23-16	Панель аргумента 1 (см. таблицу А3.9)	
RBUSY	9	Флаг занятости панелей аргументов	
		0	Нет действий
	1	Выполняется команда списка, результат выполнения которой будет записан в PANAR1 и PANAR2	
BUSY	8	Флаг занятости панелей аргументов	
		0	Панели готовы для записи
	1	Панели заняты – ожидают записи по окончании выполнения команды	
PANCMD	7-0	Поле команды (см. таблицу А3.9). После выполнения команды в это поле записывается 00h	
–	15-10	Зарезервировано	

Таблица А3.9 – Коды команд работы со списками

PANCMD	Поле PANAR 2	Поле PANAR 1	Описание команды
1	2	3	4
00h	–	–	Нет операции. Никаких действий не выполняется
01h	Результат: бит 7 – ошибка, бит 6 – не определен	–	Инициализация списков. Запуск инициализации для очистки битовых полей CTRL и LIST всех объектов сообщений. Регистры LIST0 – LIST8 устанавливаются в свои значения после сброса. Это приводит к переносу всех объектов сообщений в список №0 (список нераспределенных объектов сообщений). Инициализация списков требует, чтобы биты INIT и SSE регистра NCR были установлены для обоих узлов. Бит 7 поля PANAR2 сигнализирует о результате операции: - 0 – Инициализация завершена успешно; - 1 – Инициализация не завершена, поскольку не все биты INIT и SSE были установлены. Команда инициализации списков автоматически запускается при каждом сбросе контроллера CAN, за исключением случая, когда все регистры объектов сообщений уже сброшены

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

Окончание таблицы А3.9

1	2	3	4
02h	Аргумент: номер списка	Аргумент: номер объекта сообщения	Статическое занесение объекта сообщения в список. Объект сообщения переносится из текущего списка в список, указанный полем PANAR2 и добавляется в его конец. Эта команда также используется для дераспределения объекта сообщения, т.е. переноса его в список № 0 (если PANAR2 равно 00h)
03h	Аргумент: номер списка Результат: бит 7 – ошибка, бит 6– не определен	Результат: номер объекта сообщения	Динамическое занесение объекта сообщения в список. Первый объект сообщения списка №0 переносится в список, указанный полем PANAR2, и добавляется в его конец. Номер объекта сообщения возвращается полем PANAR1. Бит 7 поля PANAR2 сигнализирует о результате операции: - 0 – Операция выполнена; - 1 – Операция не выполнена – список №0 пуст
04h	Аргумент: номер объекта сообщения	Аргумент: текущий номер объекта сообщения	Перемещение по списку вверх. Перенос объекта сообщения с номером PANAR1 на одну позицию выше, чем расположен объект сообщения с номером PANAR2
05h	Аргумент: номер объекта сообщения Результат: бит 7 – ошибка, бит 6 – не определен	Результат: номер добавлен- ного объекта сообщения	Динамическая вставка в список. Первый объект сообщений списка №0 вставляется на одну позицию выше, чем расположен объект сообщения с номером PANAR2. Номер добавленного объекта сообщения возвращается полем PANAR1. Бит 7 поля PANAR2 сигнализирует о результате операции: - 0 – Операция выполнена; - 1 – Операция не выполнена – список №0 пуст
06h	Аргумент: номер объекта сообщения	Аргумент: текущий номер объекта сообщения	Перемещение по списку вниз. Перенос объекта сообщения с номером PANAR1 на одну позицию ниже, чем расположен объект сообщения с номером PANAR2
07h	Аргумент: номер объекта сообщения Результат: бит 7– ошибка, бит 6 – не определен	Результат: номер добавлен- ного объекта сообщения	Динамическая вставка в список. Первый объект сообщения списка №0 вставляется на одну позицию ниже, чем расположен объект сообщения с номером PANAR2. Номер добавленного объекта сообщения возвращается полем PANAR1. Бит 7 поля PANAR2 сигнализирует о результате операции: - 0 – Операция выполнена; - 1 – Операция не выполнена – список №0 пуст
08h – FFh	–	–	Зарезервировано

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Таблица А3.10 – Регистр управления

MCR		8007_01C8h	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPSEL															
3 4															
Поле	Биты	Описание													
MPSEL	15-12	Поле задания позиции ждущего бита сообщения после приема/передачи сообщения													
–	31-16, 11-0	Зарезервировано													

Таблица А3.11 – Регистр прерываний

MITR		8007_01CCh	Сброс: 00000000h												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IT															
3															
Поле	Биты	Описание													
IT	15-0	Поле генератора прерываний. Каждый бит поля связан с одной из линий прерываний. Номера битов от 0 до 15 соответствуют номерам линий прерываний. Для того, чтобы сгенерировать одно или несколько прерываний, следует установить соответствующие биты. Установленные биты сбрасываются аппаратно													
–	31-16	Зарезервировано													

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А3.12 – Регистр управления узла

NCR		Сброс: 00000001h										
												
Поле	Бит	Описание										
1	2	3										
SUSEN	8	Бит разрешения режима приостановки работы узла										
		0 Отладочная система не может перевести узел в режим Suspend										
		1 Отладочная система может перевести узел в режим Suspend. При активации режима узел перейдет в состояние «простоя» или «отключен от шины», после чего аппаратно установится бит INIT и будет находиться в этом состоянии до выхода из режима										
		Бит сбрасывается при сбросе системы отладки										
CALM	7	Бит включения режима анализа узла										
		0 Режим выключен										
		1 Установка бита включает режим анализа узла. В этом режиме сообщения могут только приниматься, бит подтверждения не посылается после успешного приема сообщения, флаг активной ошибки посылается рецессивным вместо доминантного. На линии отправки сообщений поддерживается высокий уровень сигнала										
		Бит может быть установлен только, если установлен бит INIT										
CCE	6	Бит разрешения изменения конфигурации узла. Управляет доступом к регистрам NBTRx, NPCRx и NECNTx										
		0 Только чтение										
		1 Полный доступ										
CANDIS	4	Бит выключения узла										
		0 Сброс бита включает узел										
		1 Установка бита выключает узел. Сначала узел переходит в состояние «простоя» или «отключен от шины», далее аппаратно устанавливается бит INIT и, если разрешено, генерируется прерывание ALERT										
ALIE	3	Бит разрешения прерывания ALERT от узла										
		0 Запрещено										
		1 Разрешено										
LECIE	2	Бит разрешения прерывания от узла при обнаружении кода последней ошибки										
		0 Запрещено										
		1 Разрешено										
TRIE	1	Бит разрешения прерывания от узла по окончании передачи/приема										
		0 Запрещено										
		1 Разрешено										

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Продолжение таблицы А3.13

1	2	3
BOFF	7	Флаг состояния «отключен от шины»
		0 Узел не находится в состоянии «отключен от шины»
		1 Узел находится в состоянии «отключен от шины»
EWRN	6	Флаг критического количества ошибок
		0 Лимит ошибок еще не достигнут
		1 По крайней мере, один из счетчиков ошибок (REC, TEC) достиг лимита ошибок, заданного полем EWRNLVL регистра NECNT узла
ALERT	5	Флаг предупреждения ALERT
		0 Нет событий
		1 Произошло одно или несколько не взаимоисключающих событий: - модификация бита BOFF; - модификация/установка бита LOE; - установка бита LLE; - аппаратная установка бита INIT
		Бит должен сбрасываться программно записью нуля
RXOK	4	Флаг успешного приема сообщения
		0 Полученных сообщений нет
		1 Сообщение получено
		Бит должен сбрасываться программно записью нуля
TXOK	3	Флаг успешной передачи сообщения
		0 Переданных сообщений нет
		1 Сообщение передано без ошибок с получением подтверждения
		Бит должен сбрасываться программно записью нуля
LEC	2-0	Код последней ошибки. Поле хранит код последней из обнаруженных ошибок работы узла
		000 Ошибок нет
		001 Ошибка стаффинга (заполнения, STUFF ERROR). Может быть обнаружена во время передачи шестого бита из последовательности шести одинаковых бит в поле сообщения, которое должно быть кодировано методом разрядного заполнения (заключается в том, что после передачи пяти битов одинаковой полярности, шестой бит должен иметь противоположную полярность и вставляться передатчиком в поток данных автоматически, приемник пропускает этот бит)
		010 Ошибка формы (FORM ERROR). Обнаруживается, если: - в битовом поле фиксированного формата содержится количество битов, отличающееся от установленного; - на месте рецессивного бита находятся доминантный или наоборот. Исключение – для приемника доминантный бит в течение последнего бита поля «конец кадра» не интерпретируется как ошибка формы
		011 Ошибка подтверждения (ACKNOWLEDGMENT ERROR). Обнаруживается передатчиком всякий раз, когда он не обнаруживает доминантный бит ACK в «области подтверждения»

Ивв. № подл.	Подп. и дата
Взам. инв. №	Ивв. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А3.13

1	2	3	
LEC	2-0	100	Разрядная ошибка или ошибка бита 1 (BIT 1 ERROR). Узел, который передает данные на шину, осуществляет мониторинг шины. Ошибка бита 1 имеет место, если при передаче рецессивного «1» бита (за исключением битов полей арбитража и подтверждения) на шине обнаруживается доминантный «0» бит
		101	Разрядная ошибка или ошибка бита 0 (BIT 0 ERROR). Ошибка возникает в случаях: - во время передачи сообщения (или бита подтверждения, флага активной ошибки, флага перезагрузки), узел передает доминантный бит «0», но на шине обнаруживается рецессивный «1»; - во время выхода из состояния «отключен от шины» при каждом обнаружении последовательности из 11 рецессивных битов. В этом случае, ЦП может использовать код 101 для отслеживания длительного простоя шины
		110	Ошибка циклического избыточного кода (CRC ERROR). Передатчик по установленному алгоритму вычисляет значение контрольной суммы (CRC) для передаваемых данных и вставляет ее в сообщение. Приемник, после получения данных, вычисляет CRC по тому же алгоритму, что и передатчик, и сравнивает вычисленное значение с принятым значением. В случае не совпадения фиксируется ошибка
		111	Код разрешения аппаратной записи в поле LEC
		После аппаратной записи в поле LEC значения кода, отличного от 111b, поле становится закрытым для записи и далее центральный процессор не может изменить его состояние до тех пор, пока в это поле не будет программно записано значение 111b	
–	31-11	Зарезервировано	

Таблица А3.14 – Регистр указателя прерываний узла

Поле	Биты	Описание
1	2	3
CFCINP	15-12	Указатель линии прерывания для прерывания при переполнении счетчика фреймов узла
TRINP	11-8	Указатель линии прерывания для прерывания по окончании передачи/приема сообщения

NIPR		Сброс: 00000000h													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFCINP				TRINP				LECINP				ALINP			
3 4				3 4				3 4				3 4			

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А3.14

1	2	3
LECINP	7-4	Указатель линии прерывания для прерывания при записи кода последней ошибки
ALINP	3-0	Указатель линии прерывания для прерывания ALERT
–	31-16	Зарезервировано

Примечания
каждый из указателей позволяет задать номер одной из 16 линий прерываний для каждого из четырех источников. Значение 00h соответствует нулевой линии прерываний, значение 01h – первой и так далее до значения FFh, которое соответствует линии 15 прерываний

Таблица А3.15 – Регистр управления портом узла

NPCR		Сброс: 00000000h		
Поле	Бит	Описание		
LBM	8	Бит включения режима обратной петли (Loop-Back)		
		<table border="1"> <tr> <td>0</td> <td>Режим выключен</td> </tr> <tr> <td>1</td> <td>Включен режим обратной петли. В этом режиме узел подсоединяется к внутренней виртуальной CAN шине. Если для обоих узлов включен режим обратной петли, то они объединяются виртуальной CAN шиной и могут взаимодействовать друг с другом. При этом на внешних выводах узлов, соединенных с внешней физической CAN шиной, поддерживается рецессивный уровень сигнала, т.е. узлы не активны</td> </tr> </table>	0	Режим выключен
0	Режим выключен			
1	Включен режим обратной петли. В этом режиме узел подсоединяется к внутренней виртуальной CAN шине. Если для обоих узлов включен режим обратной петли, то они объединяются виртуальной CAN шиной и могут взаимодействовать друг с другом. При этом на внешних выводах узлов, соединенных с внешней физической CAN шиной, поддерживается рецессивный уровень сигнала, т.е. узлы не активны			
–	31-9, 7-0	Зарезервировано		

Таблица А3.16 – Регистр синхронизации битов

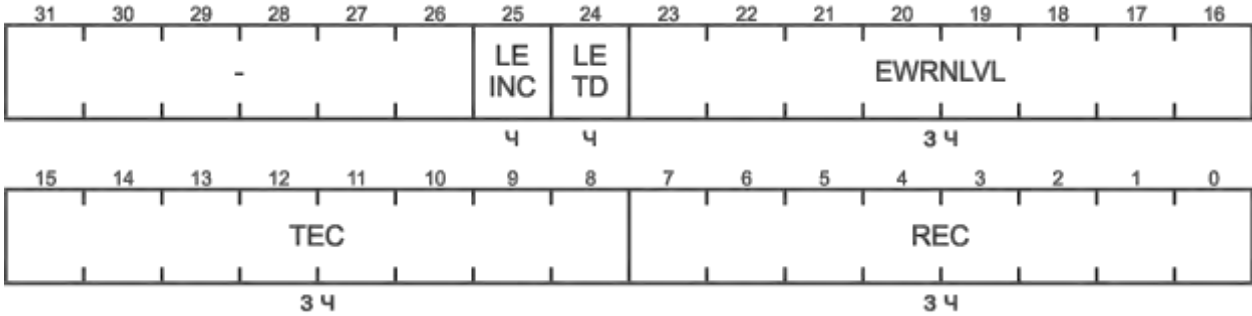
NBTR		Сброс: 00000000h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А3.16

Поле	Биты	Описание	
DIV8	15	Делитель частоты на восемь	
		0	Длительность кванта времени (BRP + 1), тактов частоты
		1	Длительность кванта времени $8 \times (BRP + 1)$, тактов частоты
TSEG2	14-12	Параметр 2. Временной промежуток от точки выборки до точки передачи, определяемый пользователем. Длительность сегмента равна $tq \times (TSEG2 + 1)$ и может быть уменьшена за счет ресинхронизации. Допустимые значения для TSEG1: от 01h до 07h	
TSEG1	11-8	Параметр 1. Временной промежуток от сегмента синхронизации до точки выборки, определяемый пользователем и включающий в себя сегмент распространения. Длительность равна $tq \times (TSEG1 + 1)$ и может быть увеличена за счет ресинхронизации. Допустимые значения для TSEG1: от 02h до 0Fh	
SJW	7-6	Ширина перехода ресинхронизации. Длительность равна $tq \times (SJW + 1)$	
BRP	5-0	Пределитель скорости передачи. Если DIV8 = 0b, тогда длительность одного кванта времени равна (BRP + 1) тактам частоты. Если DIV8 = 1b, тогда длительность одного кванта времени равна $8 \times (BRP + 1)$ тактам частоты	
–	31-16	Зарезервировано	

Таблица А3.17 – Регистр счетчика ошибок узла

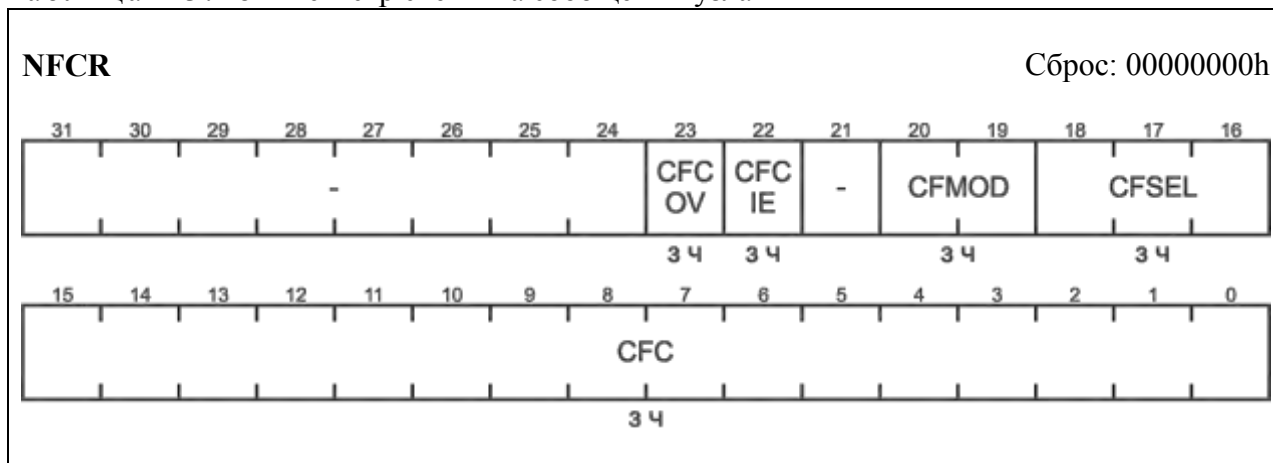
Поле	Биты	Описание	
NECNT		Сброс: 00600000h	
			
1	2	3	
LEINC	25	Индикатор инкрементирования при последней ошибке	
		0	Обнаруженная ошибка приводит к инкрементированию счетчика ошибок на единицу
		1	Обнаруженная ошибка приводит к инкрементированию счетчика ошибок на восемь
LETD	24	Флаг последней ошибки передачи	
		0	При приеме сообщения обнаружена ошибка, и произошло инкрементирование поля REC
		1	При передаче сообщения обнаружена ошибка, и произошло инкрементирование поля TEC

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А3.17

1	2	3
EWRNLVL	23-16	Поле задания лимита ошибок, по достижении которого выставляется флаг EWRN в регистре NSR (по умолчанию, количество ошибок –96)
TEC	15-8	Поле счетчика ошибок передачи сообщений
REC	7-0	Поле счетчика ошибок приема сообщений
–	31-26	Зарезервировано

Таблица А3.18 – Регистр счетчика сообщений узла



Поле	Биты	Описание
CFCOV	23	Флаг переполнения счетчика сообщений
		0 Счетчик не переполнен
		1 Счетчик переполнился. В режиме синхросчетчика этот флаг устанавливается при изменении поля CFC и, если установлен бит CFCIE, формируется прерывание
Бит сбрасывается программно		
CFCIE	22	Бит разрешения прерывания от счетчика сообщений
		0 Запрещено
		1 Разрешено
CFMOD	20-19	Поле задания режима работы счетчика сообщений
		00 Счетчик сообщений. Инкрементируется после каждого успешного приема/передачи сообщения
		01-11 Зарезервировано. Не использовать!
CFSEL	18-16	Поле задания параметров выбранного режима счетчика сообщений (см. таблицу А3.19)
CFC	15-0	Поле счетчика сообщений Хранит значение счетчика сообщений при CFMOD = 00b
–	31-24, 21	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	
Инд. № дубл.	Подп. и дата
Подп. и дата	

Таблица А3.19 – Коды задания параметров режима счетчика сообщений

CFSEL	Действия
** 1b	Счетчик инкрементируется каждый раз при получении сообщения, не имеющего объекта сообщения
* 1 *b	Счетчик инкрементируется каждый раз при получении сообщения, имеющего соответствующий объект сообщения
1 * *b	Счетчик инкрементируется каждый раз при успешной отправке сообщения
0 0 0b	Зарезервировано. Не использовать!

Примечание – «*» указывает на то, что состояние этого бита поля CFSEL не важно для включения параметра режима. Все три параметра могут комбинироваться между собой (например, 110b или 101b)

Каждый из 256 объектов сообщений имеет набор из восьми регистров: MOFCR, MOFGPR, MOIPR, MOAMR, MODATAL, MODATAH, MOAR и МОСТР/MOSTAT (при записи данные попадают в МОСТР, а при чтении возвращается значение из MOSTAT).

Таблица А3.20 – Регистр управления функционированием объекта сообщения

Поле	Бит	Описание
1	2	3
DLC	27-24	Код длины данных. Показывает количество байт данных, находящихся в объекте сообщения. Диапазон – значение от 0 до 8. Если значение DLC больше 8, это автоматически указывает на 8 байт. Значение DLC полученного сообщения сохраняется таким, каким было получено
STT	23	Бит задания однократной пересылки данных 0 Нет действий 1 Если бит установлен, тогда бит TXRQ сбрасывается после начала передачи объекта сообщения n. В связи с этим, в случае неудачной передачи, повторной передачи сообщения не будет
SDT	22	Бит задания однократного участия объекта сообщения n в пересылке 0 Нет действий 1 Если бит установлен и объект сообщения n не является объектом FIFO, тогда бит MSGVAL сбрасывается после успешного приема данных.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы А3.20

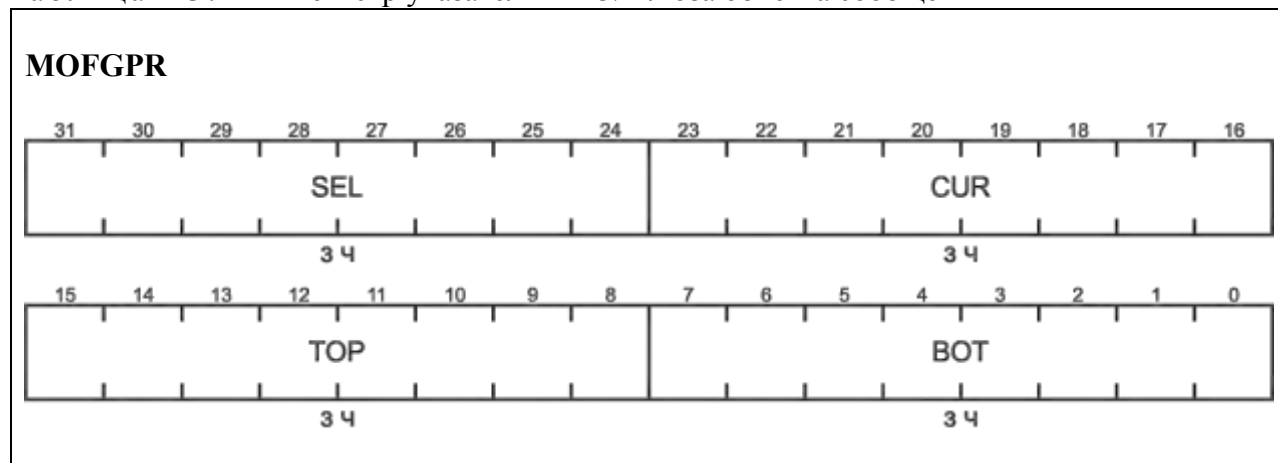
1	2	3	
RMM	21	Бит включения удаленного мониторинга объекта передачи	
		0	Выключен. Идентификатор, бит IDE и поле DLC объекта сообщения n остаются без изменений до получения корректного фрейма удаленного запроса
		1	Включен. Идентификатор, бит IDE и поле DLC корректного фрейма удаленного запроса копируются в объект передачи n в порядке получения битов фрейма удаленного запроса монитора
		Состояние бита оказывает влияние только на объекты передач	
FRREN	20	Бит разрешения удаленного запроса. Определяет, будет ли устанавливаться бит TXRQ в объекте сообщения n или в другом объекте сообщения, на который указывает CUR	
		0	Бит TXRQ объекта сообщения n устанавливается после получения корректного фрейма удаленного запроса
		1	Бит TXRQ другого объекта сообщения (на который указывает CUR) устанавливается после получения им корректного фрейма удаленного запроса
OVIE	18	Бит разрешения прерывания по заполнению FIFO объекта сообщения n. Прерывание генерируется, когда указатель CUR (указатель на текущий объект) достигает значения SEL регистра MOFGPRn	
		0	Запрещено
		1	Разрешено
		Если объект сообщения n является объектом приема FIFO, то поле TXINP (регистр MOIPRn) указывает на одну из 16 линий прерываний. Если объект сообщения n является объектом передачи FIFO, то поле RXINP (регистр MOIPRn) указывает на одну из 16 линий прерываний. Для всех других режимов объекта сообщения состояние бита OVIE не важно	
TXIE	17	Бит разрешения прерывания по окончании передачи сообщения	
		0	Запрещено
		1	Разрешено. Прерывание генерируется, если сообщение из объекта сообщения n было успешно передано. Поле TXINP (регистр MOIPRn) указывает на одну из 16 линий прерываний
RXIE	16	Бит разрешения прерывания по окончании приема сообщения	
		0	Запрещено
		1	Разрешено. Прерывание генерируется, если сообщение было успешно принято объектом сообщения n (напрямую или через шлюз). Поле RXINP (регистр MOIPRn) указывает на одну из 16 линий прерываний
DATC	11	Индикатор копирования данных	
		0	Данные не копируются
		1	Данные в регистрах MODATAn и MODATAn объекта-источника шлюза (после сохранения принятого фрейма в источнике) копируются через шлюз в объект-приемник
		Бит DATC используется только объектом-источником в режиме шлюза. Во всех остальных случаях бит не функционирует	

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инв. № дубл.	Инд. № подл.
Подп. и дата	Взам. инв. №

Окончание таблицы А3.20

1	2	3
DLCC	10	Индикатор копирования кода длины данных DLC
		0 Код не копируется
		1 Код длины данных объекта-источника шлюза (после сохранения принятого фрейма в источнике) копируется через шлюз в объект-приемник
		Бит DLCC используется только объектом-источником в режиме шлюза. Во всех остальных случаях бит не функционирует
IDC	9	Индикатор копирования идентификатора
		0 Идентификатор не копируется
		1 Идентификатор объекта-источника шлюза (после сохранения принятого фрейма в источнике) копируется через шлюз в объект-приемник
		Бит IDC используется только объектом-источником в режиме шлюза. Во всех остальных случаях бит не функционирует
GDFS	8	Индикатор отправки фрейма через шлюз
		0 Состояние бита TXRQ объекта-приемника без изменений
		1 Установлен бит TXRQ объекта-приемника после внутренней передачи из объекта-источника
		Бит GDFS используется только объектом-источником в режиме шлюза. Во всех остальных случаях бит не функционирует
MMC	3-0	Задание режима объекта сообщения n
		0000 Стандартный объект сообщения
		0001 Базовый объект приемной структуры FIFO
		0010 Базовый объект передающей структуры FIFO
		0011 Вспомогательный объект передающей структуры FIFO
		0100 Объект-источник шлюза
		Остальные комбинации зарезервированы
–	31–28, 19, 15–12, 7–4	Зарезервировано
Примечание – Под корректным фреймом удаленного запроса подразумевается фрейм, идентификатор которого совпадает с идентификатором объекта сообщения.		

Таблица А3.21 – Регистр указателя FIFO/шлюза объекта сообщения



Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

Окончание таблицы А3.21

Поле	Биты	Описание
SEL	31-24	Указатель объекта сообщения. Второй (программный) указатель в дополнение к аппаратному указателю CUR при работе с FIFO. Поле SEL используется для общего мониторинга (генерирование прерываний FIFO)
CUR	23-16	Указатель на текущий объект в пределах FIFO или шлюза. После каждой операции FIFO или передачи через шлюз указатель CUR обновляется – в него заносится номер следующего объекта сообщения в списке (поле PNEXT регистра MOSTATn) – до тех пор, пока не будет достигнут верхний элемент FIFO (поле TOP), после чего CUR сбрасывается, и в него загружается номер нижнего элемента списка (из поля BOT)
TOP	15-8	Указатель верхнего элемента FIFO. В поле находится номер последнего элемента
BOT	7-0	Указатель нижнего элемента FIFO. В поле находится номер первого элемента

Таблица А3.22 – Регистр указателя прерываний объекта сообщения

Поле	Биты	Описание
<p>MOIPR</p>		
CFCVAL	31-16	Количество фреймов. Каждый раз после записи принятого сообщения в объект сообщения n или успешной передачи объекта сообщения n, значение счетчика фреймов CFC (регистр NFCCRn) копируется в CFCVAL
MPN	15-8	Номер ждущего бита сообщения. Указывает позицию бита, соответствующего объекту сообщения n в регистре MSPNDx
TXINP	7-4	Указатель линии прерываний для прерывания после передачи. Всего доступно 16 линий прерываний с номерами от 0 до 15. Значение 0000b, записанное в TXINP, выбирает нулевую линию прерываний, 0001b – первую, 0010b – вторую и т.д. Дополнительно бит TXINP используется для выбора позиции ждущего бита объекта сообщения n.
RXINP	3-0	Указатель линии прерываний для прерывания после приема. Всего доступно 16 линий прерываний с номерами от 0 до 15. Значение 0000b, записанное в TXINP, выбирает нулевую линию прерываний, 0001b – первую, 0010b – вторую и т.д. Дополнительно бит RXINP используется для выбора позиции ждущего бита объекта сообщения n

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А3.23 – Регистр маски объекта сообщения

МОАМР				
Поле	Биты	Описание		
MIDE	29	Маска бита IDE сообщения		
		<table border="1"> <tr> <td>0</td> <td>Объект сообщения n может принимать как стандартные, так и расширенные фреймы</td> </tr> <tr> <td>1</td> <td>Объект сообщения n может принимать только те фреймы, у которых состояние бита IDE совпадает с его битом IDE</td> </tr> </table>	0	Объект сообщения n может принимать как стандартные, так и расширенные фреймы
0	Объект сообщения n может принимать как стандартные, так и расширенные фреймы			
1	Объект сообщения n может принимать только те фреймы, у которых состояние бита IDE совпадает с его битом IDE			
AM	28-0	Маска идентификатора. При приеме расширенного сообщения используется вся маска. При приеме стандартного сообщения используются биты 28–18, при этом состояние битов 17–0 не важно		
–	31, 30	Зарезервировано		

Таблица А3.24 – Регистры данных объекта сообщения

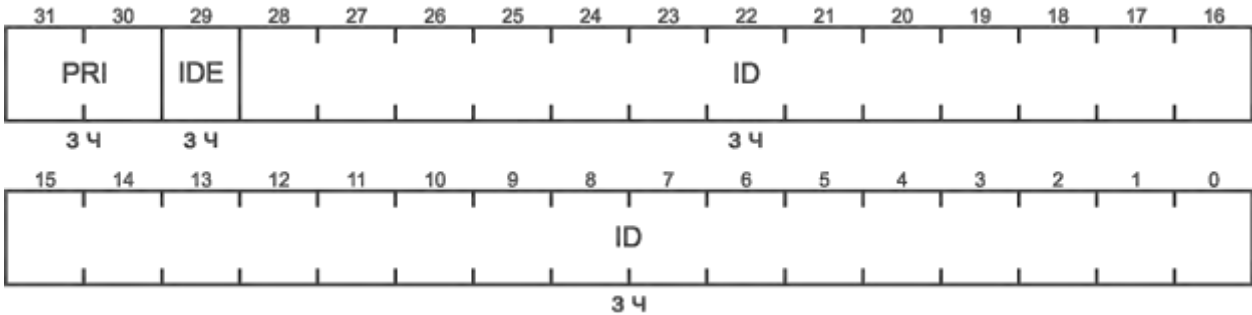
MODATAH		
MODATAL		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А3.24

Поле	Биты	Описание
DB7	31-24	Седьмой байт данных
DB6	23-16	Шестой байт данных
DB5	15-8	Пятый байт данных
DB4	7-0	Четвертый байт данных
DB3	31-24	Третий байт данных
DB2	23-16	Второй байт данных
DB1	15-8	Первый байт данных
DB0	7-0	Нулевой байт данных

Таблица А3.25 – Регистр арбитража объекта сообщения

Поле	Биты	Описание	
<p>MOAR</p> 			
1	2	3	
PRI	31-30	Класс приоритета. Поле определяет один из четырех классов (0, 1, 2 и 3) приоритета объекта сообщения n. Нулевой класс устанавливает наивысший приоритет. Объекты сообщений с нулевым классом всегда выигрывают арбитраж при передаче и приеме сообщений. Фильтрация сообщений на основе идентификатора (маскируемого) и позиции в списке организуются только для объектов сообщений с равным приоритетом. Кроме этого, поле PRI определяет метод фильтрации	
		00	Зарезервировано
		01	Фильтрация в зависимости от положения объекта сообщения в списке. Объект сообщения n получает приоритет на передачу сообщения только в случае, если нет других объектов сообщений с установленными битами MSGVAL, TXEN0 и TXEN1, стоящих выше по списку
		10	Фильтрация в зависимости от значения идентификатора. Объект сообщения n получает приоритет на передачу сообщения только в случае, если в списке нет других объектов сообщений с «Идентификатор + IDE + DIR» более высокого приоритета (согласно правилам арбитража в таблице А3.26)
		11	Фильтрация в зависимости от положения объекта сообщения в списке (как при PRI = 01b)
IDE	29	Бит расширения идентификатора объекта сообщения n	
		0	Объект сообщения n оперирует с фреймами со стандартным 11-битным идентификатором
		1	Объект сообщения n оперирует с фреймами с расширенным 29-битным идентификатором

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А3.25

1	2	3
ID	28-0	Идентификатор объекта сообщения n. При оперировании с расширенными фреймами используются биты 28–0. При оперировании со стандартными фреймами используются биты 28–18, при этом состояние битов 17–0 не важно

Таблица А3.26 – Распределение приоритета между объектами сообщений согласно правилам арбитража

Установки для объектов сообщений 0 и 1, которые участвуют в арбитраже (приоритет объекта 0 выше приоритета объекта 1)	Пояснение
MOAR0[28:18] < MOAR1[28:18] (11-битный стандартный идентификатор объекта 0 меньше по числовому значению, чем 11-битный идентификатор объекта 1)	Стандартный фрейм с идентификатором, имеющим меньшее значение, обладает более высоким приоритетом
MOAR0[28:18] = MOAR1[28:18]. В регистре MOAR0 бит IDE = 0. В регистре MOAR1 бит IDE = 1.	При равенстве значений стандартных идентификаторов, стандартный фрейм имеет приоритет перед расширенным
MOAR0[28:18] = MOAR1[28:18]. Биты IDE обоих объектов сброшены. В регистре MOSTAT0 бит DIR = 1. В регистре MOSTAT1 бит DIR = 0.	При равенстве значений идентификаторов стандартный фрейм данных имеет приоритет перед стандартным фреймом удаленного запроса
MOAR0[28:0] = MOAR1[28:0] Биты IDE обоих объектов установлены. В регистре MOSTAT0 бит DIR = 1. В регистре MOSTAT1 бит DIR = 0.	При равенстве значений идентификаторов расширенный фрейм данных имеет приоритет перед расширенным фреймом удаленного запроса
MOAR0[28:0] < MOAR1[28:0] Биты IDE обоих объектов установлены. (29-битный идентификатор объекта 0 меньше по числовому значению, чем 29-битный идентификатор объекта 1)	Расширенный фрейм с идентификатором, имеющим меньшее значение, обладает более высоким приоритетом

Таблица А3.27 – Регистр управления объектом сообщения

МОСТР															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		-		SET DIR	SET TXEN 1	SET TXEN 0	SET TXRQ	SET RXEN	SET RT SEL	SET MSG VAL	SET MSG LST	SET NEW DAT	SET RXUP D	SET TXPN D	RES RXPN D
				3	3	3	3	3	3	3	3	3	3	3	3
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		-		RES DIR	RES TXEN 1	RES TXEN 0	RES TXRQ	RES RXEN	RES RT SEL	RES MSG VAL	RES MSG LST	RES NEW DAT	RES RXUP D	RES TXPN D	RES RXPN D
				3	3	3	3	3	3	3	3	3	3	3	3
Биты регистра работают попарно. Комбинация состояний бит каждой пары оказывает влияние на один (соответствующий этой паре) бит регистра MOSTATn того же объекта сообщения. Так, пара SETDIR-RESDIR устанавливает и сбрасывает бит DIR, пара SETTXN1-RESTXN1 устанавливает и сбрасывает бит TXEN1 и т.д.															

Инд. № дубл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № подл.	

Окончание таблицы А3.27

После записи старшего или младшего слова регистра МОСТRn аппаратная часть проверяет состояние бит каждой пары и, в зависимости от обнаруженной комбинации, выполняет соответствующее действие		
Бит SET***	Бит RES***	Действие над битом ***
0	0	Нет
1	1	
1	0	Установка
0	1	Сброс
Биты 31–26 и 15–12 являются зарезервированными		

Таблица А3.28 – Регистр состояния объекта сообщения

MOSTAT															
Поле	Бит	Описание													
1	2	3													
PNEXT	31-24	Указатель на следующий элемент списка. В поле находится номер объекта сообщения, расположенного выше по списку относительно текущего													
PPREV	23-16	Указатель на предыдущий элемент списка. В поле находится номер объекта сообщения, расположенного ниже по списку относительно текущего													
LIST	15-12	Номер списка, которому принадлежит объект сообщения n. Поле обновляется аппаратно при распределении/перераспределении объекта сообщения.													
DIR	11	Бит распределения													
		0	Объект приема сообщения данных. Объект принимает сообщение данных. При установленном бите TXRQ объект формирует сообщение удаленного запроса с идентификатором объекта n, а затем передает его. Полученное в ответ сообщение данных с соответствующим идентификатором сохраняется в объекте сообщения n.												
		1	Объект передачи сообщения данных. При установленном бите TXRQ объект формирует, а затем передает сообщение данных. Если объект n получает сообщение удаленного запроса с соответствующим идентификатором, то устанавливается флаг TXRQ его регистра MOSTATn, после чего в ответ передается сообщение данных, содержащихся в объекте n.												

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы А3.28

1	2	3
TXEN1	10	Бит разрешения передачи фрейма
		0 Запрещено
		1 Передача фрейма разрешена. Объект сообщения n может участвовать в передаче только, если установлены оба бита – TXEN1 и TXEN0. Контроллер CAN использует бит TXEN1 для выбора активного объекта передачи сообщения из FIFO
TXEN0	9	Бит разрешения передачи фрейма
		0 Запрещено
		1 Передача фрейма разрешена. Объект сообщения n может участвовать в передаче, только если установлены оба бита – TXEN0 и TXEN1. Контроллер CAN использует бит TXEN1 для выбора активного объекта передачи сообщения из FIFO. Можно программно очищать бит TXEN0 для запрета передачи сообщения, которое в настоящий момент формируется, или для запрета автоматической передачи в ответ на удаленный запрос
TXRQ	8	Бит инициации передачи
		0 Нет действий
		1 Установка бита инициирует передачу фрейма из объекта сообщения n. Инициация передачи фрейма возможна только в случае, если установлены биты TXRQ, TXEN0, TXEN1 и MSGVAL. Также бит TXRQ устанавливается аппаратно при получении фрейма удаленного запроса. Бит сбрасывается аппаратно при успешном завершении передачи и если при этом не был повторно программно установлен бит NEWDAT
RXEN	7	Бит разрешения приема
		0 Запрещено
		1 Объект сообщения может принимать сообщения Состояние бита учитывается только при фильтрации принимаемых сообщений
RTSEL	6	Индикатор возможности приема/передачи
		0 Объект сообщения не может принимать/передавать сообщения
		1 Объект сообщения может принимать/передавать сообщения Прием фрейма. Бит RTSEL устанавливается аппаратно после того, как выбран объект сообщения n для сохранения только что принятого фрейма. Прежде, чем записать принятые данные в объект сообщения n, аппаратная часть проверяет состояние бита RTSEL. ЦПУ может сбрасывать этот бит, чтобы запретить запись принятого фрейма в объект сообщения n. Передача фрейма. Бит RTSEL устанавливается аппаратно после того, как выбран следующий объект сообщения n для передачи фрейма. Аппаратная часть перед началом передачи проверяет: установлен ли бит RTSEL и сброшен ли бит NEWDAT. Бит RTSEL должен оставаться установленным до окончания передачи. Проверка состояния бита RTSEL производится только при попытке изменения содержимого объекта сообщения n во избежание одновременного выполнения операций передачи фрейма и его изменения. Бит не участвует в фильтрации сообщений, и не сбрасывается аппаратно

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А3.28

1	2	3
MSGVAL	5	Бит активности объекта сообщения n
		0 Не активен
		1 Активен
Только те объекты сообщений, для которых установлен этот бит, могут использоваться для операций приема и передачи		
MSGLST	4	Бит потери сообщения
		0 Ни одно сообщение не потеряно
		1 Принятое сообщение потеряно вследствие того, что контроллер CAN попытался установить бит NEWDAT по окончании приема сообщения при том, что флаг NEWDAT уже был установлен ранее после записи другого сообщения
NEWDAT	3	Индикатор новых данных
		0 С момента сброса бита NEWDAT никаких изменений объекта сообщения n не обнаружено
		1 Объект сообщения был изменен. Бит устанавливается аппаратно после того, как принятое сообщение было сохранено в объекте сообщения n. Бит сбрасывается аппаратно после начала передачи объекта сообщения n. Бит NEWDAT следует устанавливать программно после того, как новые данные для передачи будут сохранены в объекте сообщения n для предотвращения автоматического сброса бита TRXQ в конце текущей передачи
RXUPD	2	Индикатор изменений
		0 Нет текущих изменений
		1 Идентификатор сообщения, поле длины данных DLC и данные в объекте сообщения изменяются
TXPND	1	Индикатор окончания передачи
		0 Переданных сообщений нет
		1 Сообщение объекта n было успешно передано
RXPND	0	Индикатор окончания приема
		0 Принятых сообщений нет
		1 Сообщение было успешно принято объектом сообщения n (напрямую или через шлюз). Бит должен сбрасываться программно

Индв. № подл.	Подп. и дата	Взам. инв. №	Индв. № дубл.	Подп. и дата

А4 Регистры контроллера Ethernet 10/100

Компоненты дескриптора

Таблица А4.1 – Стартовый адрес для пакета данных

Поле	Биты	Описание
PACKET_START_ADDRESS	31-2	Стартовый адрес пакета данных
-	1-0	Зарезервировано

Таблица А4.2 – Размер пакета данных

Поле	Биты	Описание
EMPTYFLAG	31	<p>Для операций передачи этот бит указывает на доступность данных передачи, связанных с пакетом. Для операций приема, этот бит показывает наличие места для сохранения принимаемого пакета. Установка этого флага используется для проверки правильности дескриптора.</p> <p>При завершении операции передачи, контроллер DMA устанавливает этот бит, что говорит, что эти данные использованы для передачи. При успешном завершении операции приема, контроллер DMA сбрасывает этот бит, что указывает на то, что отведенное место использовано для сохранения пакета. Первое действие гарантирует, что данные не будут переданы дважды, второе – что сохраненные данные не будут заперчены записью следующего пакета.</p>
FTPP_OVERRIDES	3	

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А4.2

1	2	3		
FTPP_OVERRIDES	20-16	Флаги управления FIFO во время обмена пакетами		
		Номер бита	Название	Описание
		20	FTCFRM	FIFO передает Control Frame
		19-18	FTPPADMODE	FIFO передает пакет в режиме PADMode
		17	FTPPGENFCS	FIFO передает пакет с генерацией FCS
	16	FTPPEN	Разрешение FIFO на передачу пакета	
PACKET_SIZE	11-0	Поле для операций передачи. Содержит размер пакета передачи в байтах. При приеме это поле заполняет контроллер DMA. Значение этого поля до приёма будет контроллером проигнорировано.		
–	30-21, 15-12	Зарезервировано		

Таблица А4.3 – Адрес следующего дескриптора

NextDescriptor		
Поле	Биты	Описание
DESCRIPTOR_ADDRESS	31-2	Адрес следующего дескриптора
–	1-0	Зарезервировано

Регистры контроллера

Таблица А4.4. – Регистр 1 конфигурации MAC

MAC1		8008_0000h	Сброс: 00008000h

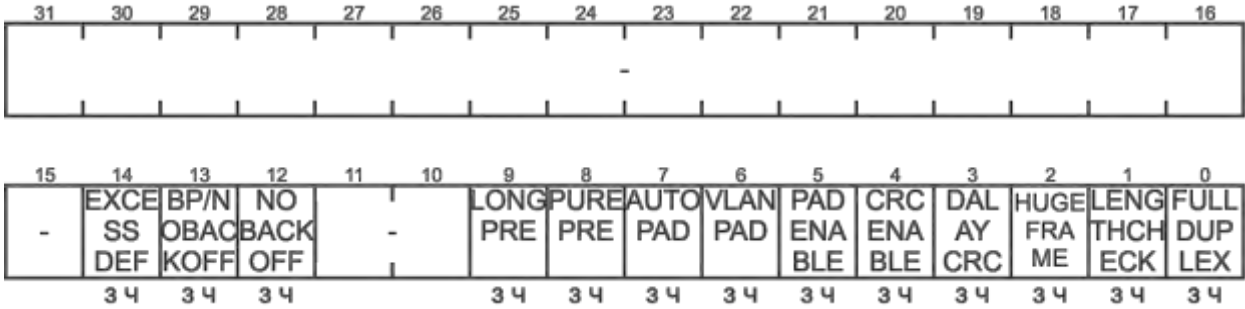
Ив. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Ив. № дубл.	Подп. и дата

Окончание таблицы А4.4

Поле	Бит	Описание
SOFTRESET	15	Бит сброса блока MAC контроллера Ethernet 10/100 кроме блока связи с процессором
		0 Нет действий
		1 Установка бита сбрасывает блок MAC
SIMRESET	14	Бит сброса генератора случайных чисел устройства передачи
		0 Нет действий
		1 Установка бита сбрасывает генератор
RESETRMCS	11	Бит сброса устройств MAC-уровня, отвечающих за управление фильтрацией адресов при приеме пакетов (контроль домена)
		0 Нет действий
		1 Установка бита сбрасывает устройства MAC-уровня
RESETRFUN	10	Бит сброса логики устройств приема пакетов
		0 Нет действий
		1 Установка бита сбрасывает логику устройств приема пакетов
RESETMCS	9	Бит сброса устройств MAC-уровня, отвечающих за управление адресами при передаче информации (контроль домена)
		0 Нет действий
		1 Установка бита сбрасывает устройства MAC-уровня
RESETTFUN	8	Бит сброса логики устройств передачи пакетов
		0 Нет действий
		1 Установка бита сбрасывает логику устройств передачи пакетов
LOOPBACK	4	Бит активации приема передаваемых пакетов обратно через MACReceive-интерфейс. Очистка бита не вызывает прием передаваемых пакетов обратно.
		0 Нет действий
		1 Установка бита вызывает прием передаваемых пакетов
TXPAUSE	3	Бит разрешения передачи пауз в Frame.
		0 Передача пауз в Frame заблокирована
		1 Разрешено
RXPAUSE	2	Бит разрешения приема паузы как части Frame
		0 Пауза игнорируется
		1 Разрешено
PASSALL	1	Бит управления PASS
		0 PASS подтверждается для текущего принимаемого Frame при успешной передаче Frame
		1 Блок MAC выдает PASS для текущего принимаемого Frame независимо от его типа (т.е. для всех Frame)
RXENABLE	0	Бит разрешения приема Frame
		0 Frame не принимаются
		1 Frame принимаются. Внутренняя MAC-синхронизация использует этот бит для приема потока и выхода SYNCHRONIZED RECEIVE ENABLE, используемого MAC для уточнения принимаемого фрейма
–	31-16, 15-6, 3	Зарезервировано

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Таблица А4.5 – Регистр 2 конфигурации MAC

MAC2		8008_0004h	Сброс: 00000000h
			
Поле	Бит	Описание	
1	2	3	
EXCESSDEF	14	Бит выбора режима обработки пакета	
		0	Обработка пакета прерывается в случае избыточной задержки, которая превышает установленный лимит
		1	Блок MAC будет неопределенно долго осуществлять обработку пакета (в соответствии со стандартом).
BP/NOBACKOFF	13	Бит разрешения повторной передачи при коллизии	
		1	В случае коллизии повторная передача будет повторена немедленно, без периода ожидания, с целью повышения вероятности успешной передачи пакета
NOBACKOFF	12	Бит задания параметра повторной передачи при коллизии	
		1	В случае коллизии период ожидания до повторной передачи определяется бинарно-экспоненциальным алгоритмом в соответствии со стандартом IEEE 802-3
LONGPRE	9	Бит выбора длины преамбулы принимаемых пакетов	
		1	Блок MAC позволяет принимать только пакеты, преамбула в которых менее 12 байт.
PUREPRE	8	Бит включения проверки преамбулы	
		1	Блок MAC верифицирует содержимое преамбулы на содержание ошибок. При обнаружении ошибки в преамбуле обработка пакета прекращается
AUTOPAD	7	Бит включения автоматического определения типа Frame. Бит игнорируется, если бит PADENABLE сброшен (см. таблицу А4.6)	
		1	Блок MAC автоматически определяет тип Frame (теговый или не теговый), сравнивая 2 октета адреса последующего источника с 8100h (VLAN протокол ID) или PAD, соответственно.

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата

Окончание таблицы А4.5

1	2	3
VLANPAD	6	Бит включения дополнения коротких Frame Бит игнорируется, если бит PADENABLE сброшен (см. таблицу А4.6)
		0
		1
		Блок MAC добавляет PAD ко всем коротким Frame, доводя их длину до 64 байт и присоединяет значение CRC
PADENABLE	5	Бит разрешения функционирования битов AUTOPAD и VLANPAD
		0
		1
		Бит следует сбросить если все Frame имеют правильную длину
		1
		Блок MAC добавляет PAD во все короткие Frame. Этот бит используется совместно с битами AUTO PAD ENABLE или VLAN PAD ENABLE (см. таблицу XX)
CRCENABLE	4	Бит разрешения вставки CRC
		0
		1
		Бит следует сбросить если CRC уже включен во Frame
		1
		CRC автоматически добавляется к Frame (в PAD), независимо от того, требовалось это или нет
DALAYCRC	3	Бит разрешения добавления 4 байт CRC
		0
		1
		Бит следует сбросить, если добавление CRC отсутствует
		1
		4 байта CRC поля служебной информации, которые расположены в начале Frame добавляются при передаче и вырезаются при приеме
HUGEFRAME	2	Бит разрешения приема и передачи Frame произвольной длины
		0
		1
		Запрещено
		1
		Разрешено
LENGTHCHECK	1	Бит разрешения компарации длины Frame
		0
		1
		Длина передаваемого и принимаемого Frame компарируется с полем Length/TypeFrame. При успешной компарации – проверка выполнена. О несовпадении выдается сообщение в Transmit/Receive Statistics Vector
FULLDUPLEX	0	Бит выбора режима выполнения MAC-операций
		0
		1
		Half-Duplex
		1
		Full-Duplex
–	31-15, 11-10	Зарезервировано

Таблица А4.6 – PAD-операции

Тип	Биты регистра MAC2			Вид Frame
	AUTO PAD	VLAN PAD	PAD ENABLE	
Все	X	X	0	Без PAD, проверка CRC
Все	0	0	1	PAD 60 бит, присоединено CRC
Все	X	1	1	PAD 64 бит, присоединено CRC
Все	1	0	1	Если безтеговый: PAD 60 бит, присоединено CRC. Если VLAN – теги: PAD 64 бит, присоединено CRC

Инва. № подл.	Подп. и дата
Взам. инв. №	Инва. № дубл.
Подп. и дата	Подп. и дата

Таблица А4.7 – Регистр Back-to-Back Inter-Packet-Gap

Поле	Биты	Описание
ВtBIPG_TRANS	6-0	Поле задания минимального времени от окончания передачи последнего полубайта пакета до начала передачи следующего пакета. В режиме Full-Duplex значение этого поля следует задавать равным периоду передачи полубайта минус 3. Рекомендуемое значение – 15h, которое обеспечивает минимальный IPG равный 0,96 мкс для 100 Мб/с и 9.6 мкс для 10 Мб/с. В Half-Duplex режиме значение поля следует задавать равным периоду передачи полубайта минус 6. Рекомендуемое значение – 12h, которое обеспечивает минимальный IPG равный 0,96 мкс для 100 Мб/с и 9.6 мкс для 10 Мб/с
–	31-7	Зарезервировано

Таблица А4.8 – Регистр Non-Back-to-Back Inter-Packet-Gap

Поле	Биты	Описание
NBtBIPG_TRANS_PART1	14-8	Поле представляет собой опцию carrierSense (определение несущей частоты), описанную в IEEE 802.3/4.2.3.2.1 «Carrier Deference». Если несущая частота идентифицирована во время синхронизации IPGR1, то блок MAC подстраивается под несущую частоту. Но, если несущая частота определена после IPGR1, то блок MAC в течении IPGR2 продолжает передачу, принудительно создавая коллизию, и таким образом, обеспечивая явный доступ к передающей среде. Поле может содержать значения 0h до NBtBIPG_TRANS_PART2. Рекомендуемое значение – 0Ch.

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А4.8

1	2	3
NBtBIPG_ TRANS_ PART2	6-0	Поле представляет собой non-back-to-back Inter-Packet-Gap. Рекомендуемое значение –12h (обеспечивает минимальное IPG равное 0,96 мкс для 100 Мб/с и 9.6 мкс для 10 Мб/с).
–	31- 15, 7	Зарезервировано

Таблица А4.9 – Регистр окна коллизий/повторов

Поле	Биты	Описание
COLLISION_ WINDOW	13-8	Поле содержит время слота или окна коллизий, во время которого возможны коллизии в конфигурированных сетях. Окно коллизий начинается с начала преамбулы, включая SFD. Значение окна коллизий, по умолчанию 37h, что соответствует числу байт в Frame в конце окна.
RETRANS_MAX	3-0	Поле задания числа попыток повторной передачи после коллизии, прежде чем передача пакета будет прервана из-за превышения числа коллизий. Рекомендуемое значение Fh.
–	31-14, 7-4	Зарезервировано

Таблица А4.10 – Регистр верхней границы размера Frame

Поле	Биты	Описание
MAXFRAME_LENGTH	31-0	Значение MAXFRAME_LENGTH определяет максимальную длину кадра (в байтах) для передачи по каналу. Значение по умолчанию 00000600h.

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А4.10

Поле	Биты	Описание
MAXFRAME_LENGTH	15-0	Поле задания максимальной длины Frame. По умолчанию, после содержит значение 0600h, что является максимально возможной длиной Frame равной 1536 октет. Безтеговый максимальный размер Frame равен 1518 октет. Теговый – на 4 октета больше и составляет 1522 октета. Примечание – Для VLAN тегового Frame к его размеру следует прибавлять 4 байта.
–	31-16	Зарезервировано

Таблица А4.11 – Регистр поддержки PHY-интерфейса

Поле	Бит	Описание
SUPP 8008_0018h Сброс: 00001000h		
1	2	3
RESETINT	15	<p>Бит сброса физического интерфейса. Если подключен один модуль физического интерфейса, то бит можно использовать вместо битов RESETRMII, RESET100X и RESET10T.</p> <p>0 Нормальные операции с модулем физического интерфейса 1 Установка сбрасывает выбранный модуль физического интерфейса (устройство связи с физической линией)</p>
PHYMODE	12	<p>Бит конфигурации последовательного MI с подключенными SMI-устройствами (используется при подключении SMIPHY)</p> <p>0 Активны функции SMIMAC. Если выбран SMIMAC, то операции приема/передачи пакетов выполняются в режиме Full Duplex на частоте 100 Мб/с 1 </p>
RESETRMII	11	<p>Бит сброса логики упрощенного MII</p> <p>0 Нет действий 1 Установка бита активирует сброс</p>
SPEED	8	<p>Бит задания рабочей скорости упрощенного MII</p> <p>0 10 Мб/с 1 100 Мб/с</p>
RESET100X	7	<p>Бит сброса модуля, который содержит логику шифратора/дешифратора символов 4 бит/5 бит (4B/5B).</p> <p>0 Нет действий 1 Установка бита активирует сброс</p>

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Подп. и дата	Подп. и дата

Окончание таблицы А4.11

1	2	3
FORCEQUIET	6	Бит включения шифрации
		0 Выполняется нормальная операция (без шифрации)
		1 На выход передаются зашифрованные (4В/5В) данные
NOCIPHER	5	Бит выбора режима шифрования
		0 Передача с нормальным шифрованием
		1 Передача 5В символов без шифрования
LINKFAIL	4	Бит разрешения моделирования
		0 Выполняется нормальная операция
		1 330 мс LinkFail таймер отключается для разрешения короткого моделирования
RESET10T	3	Бит сброса модуля, который преобразует потоки полубайт МП в последовательный поток двоичных сигналов приемопередатчика режима 10Т
		0 Нет действий
		1 Установка бита активирует сброс
ENBLJABER	1	Бит включения защиты от неправильных данных при передаче в режиме 10Т ENDEC. Условием защиты является передача одного значения в линию более 50 мс и служит для устранения этого условия для передач другими станциями.
		0 Выключено
		1 Включено
BITMODE	0	Блок активации режима 10BASE-T ENDEC
		0
		1 Блок MAC работает в режиме 10BASE-T ENDEC, при котором синхронизация происходит по фактическим данным битов, а не на основе тактового генератора полубайт.

Таблица А4.12 – Регистр управления конфигурацией МП

1	2	3
РЕSETMGMT	15	Бит сброса модуля управления МП
		0 Нет действий
		1 Установка бита активирует сброс
CLOCK_SELECT	4-2	Поле выбора делителя частоты. Делитель используется при делении частоты для формирования управляющей частоты (MDC) модуля МП, значение которой определено в стандарте

Поле	Биты	Описание
РЕSETMGMT	15	Бит сброса модуля управления МП
		0 Нет действий
		1 Установка бита активирует сброс
CLOCK_SELECT	4-2	Поле выбора делителя частоты. Делитель используется при делении частоты для формирования управляющей частоты (MDC) модуля МП, значение которой определено в стандарте

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата
Инд. № подл.	Инд. № дубл.

		IEEE 802.3u как не превышающее 2,5 МГц. Примечание – Некоторые PHY поддерживают частоту до 12,5 МГц.
	000, 001	1/4
	010	1/6
	011	1/8
	100	1/10
	101	1/14
	110	1/20
	111	1/28

Окончание таблицы А4.12

1	2	3
NOPRE	1	Бит управления преамбулой
		0 Поддерживаются нормальные циклы чтения/записи. Некоторые PHY поддерживают работу без преамбулы.
		1 Модуль управления МП выполняет циклы чтения/записи без 32-битного поля преамбулы
SCANINC	0	Непрерывное чтение одного PHY
		1 Модуль МП выполняет чтение всех адресов PHY начиная с адреса 1 (поле возможных адресов, биты с 4 по 0)
–	31-16, 14-5	Зарезервировано

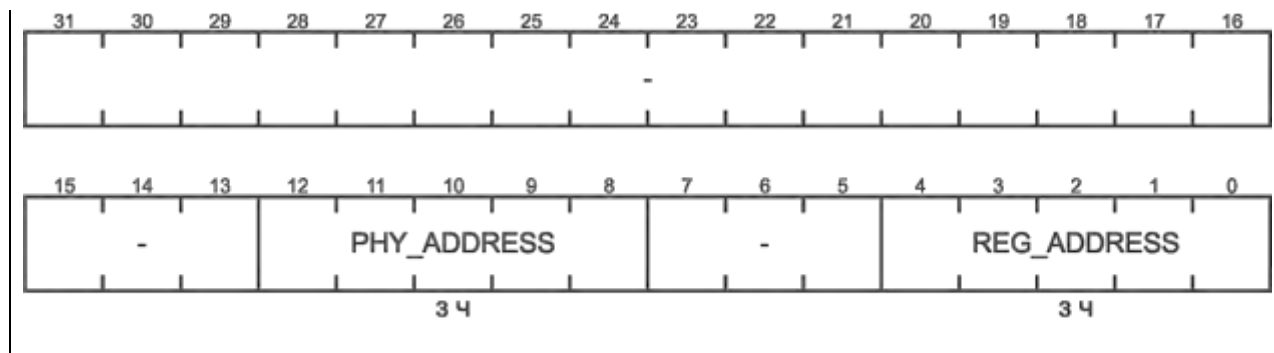
Таблица А4.13 – Регистр команд МП

MCMD		8008_0024h	Сброс: 00000000h
Поле	Бит	Описание	
SCAN	1	0	
		1	Модуль управления МП выполняет циклы чтения непрерывно. Это полезно, к примеру, для мониторинга сбоя LinkFail.
READ	0	0	
		1	Модуль управления МП выполняет одиночные циклы чтения. Прочитанные данные возвращаются в регистр MRDD.
–	31-2	Зарезервировано	

Таблица А4.14 – Регистр адреса МП

MADR	8008_0028h	Сброс: 00000000h
-------------	------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата



Окончание таблицы А4.14

Поле	Биты	Описание
PHY_ADDRESS	12-8	Поле содержит 5-битный адрес PHY-устройства для циклов управления от МП. Можно адресовать до 31 PHY. Значение 00h является зарезервированным
REG_ADDRESS	4-0	Поле содержит 5-битный адрес регистра PHY-устройства для циклов управления от МП. Можно адресовать до 32 регистров
–	31-13, 7-5	Зарезервировано

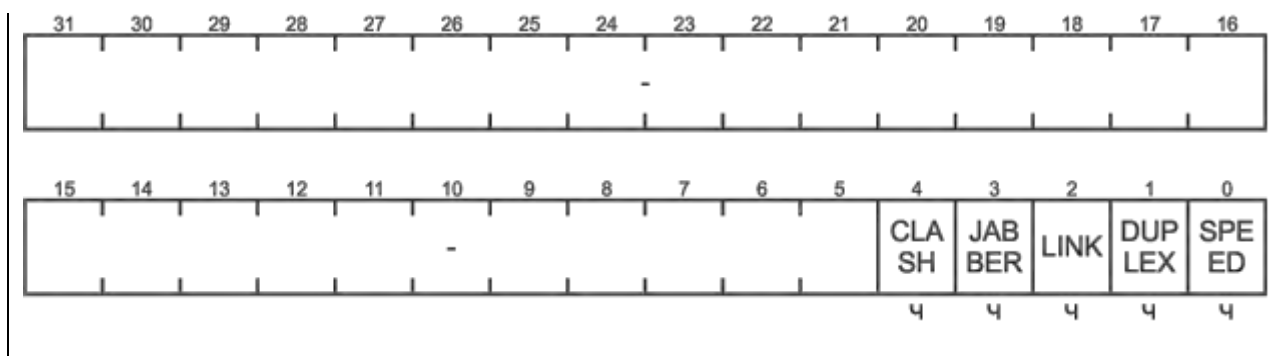
Таблица А4.15 – Регистр записываемых данных в МП

Поле	Биты	Описание
WRITE_DATA	15-0	Поле данных. При записи модуль управления МП использует данные этого регистра и предварительно сконфигурированные адрес PHY и МП для записи в PHY устройство
–	31-16	Зарезервировано

Таблица А4.16 – Регистр считываемых данных из МП

Поле	Биты	Описание
MRDD	31-0	Зарезервировано

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

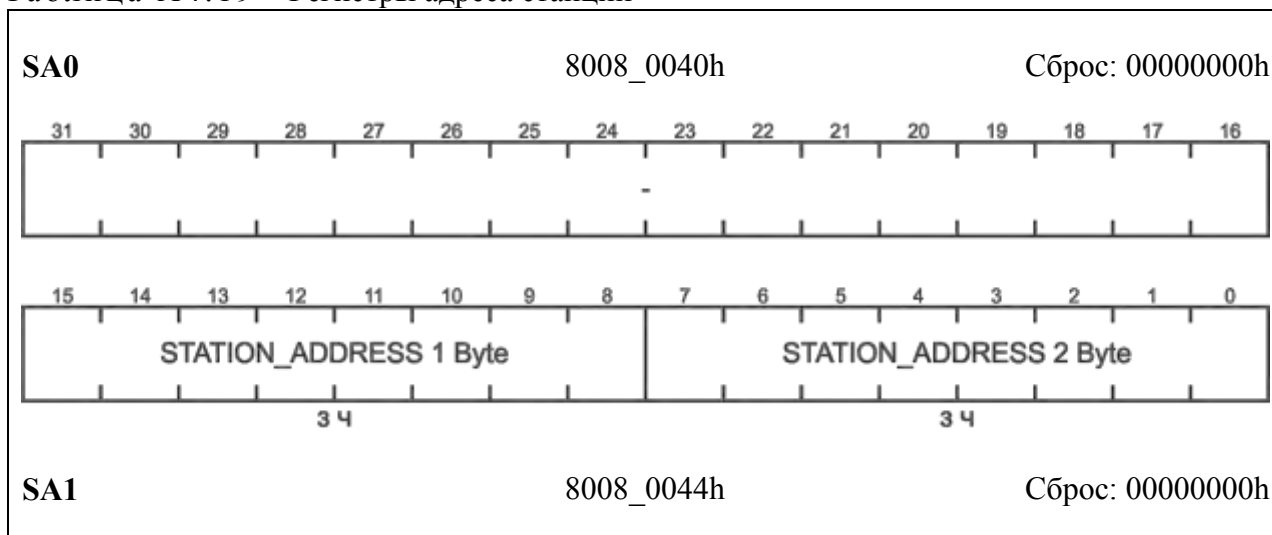


Поле	Бит	Описание
1	2	3
CLASH	4	Флаг выбранного режима
		0 1 MAC-to-MAC, за исключением, если обнаружен PHY
JABBER	3	Флаг возникновения условия Jabber
		0 1 Нет / Условие обнаружено

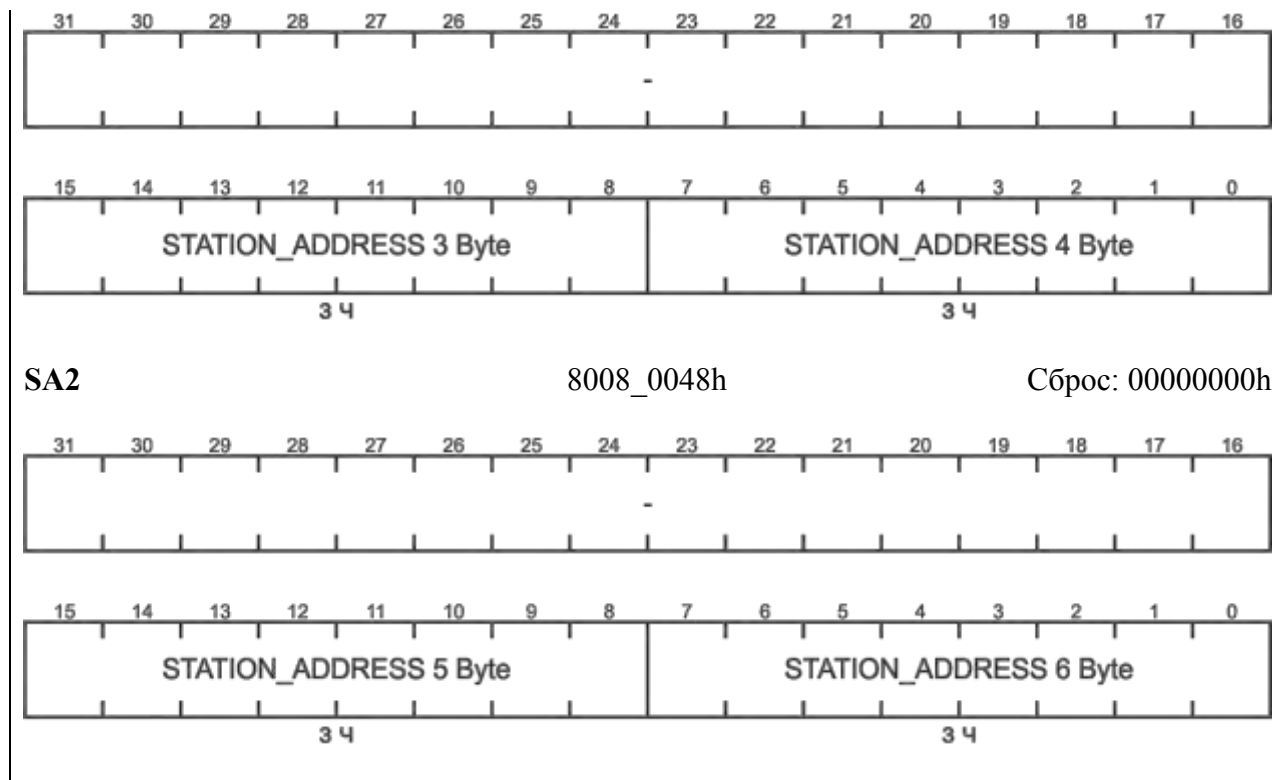
Окончание таблицы А4.18

1	2	3
LINK	2	Индикатор состояния LINK
		0 1 Выключено / Включено
DUPLEX	1	Индикатор режима
		0 1 Half-Duplex / Full-Duplex
SPEED	0	Индикатор скорости
		0 1 10Мбит/с / 100Мбит/с
-	31-5	Зарезервировано

Таблица А4.19 – Регистры адреса станции



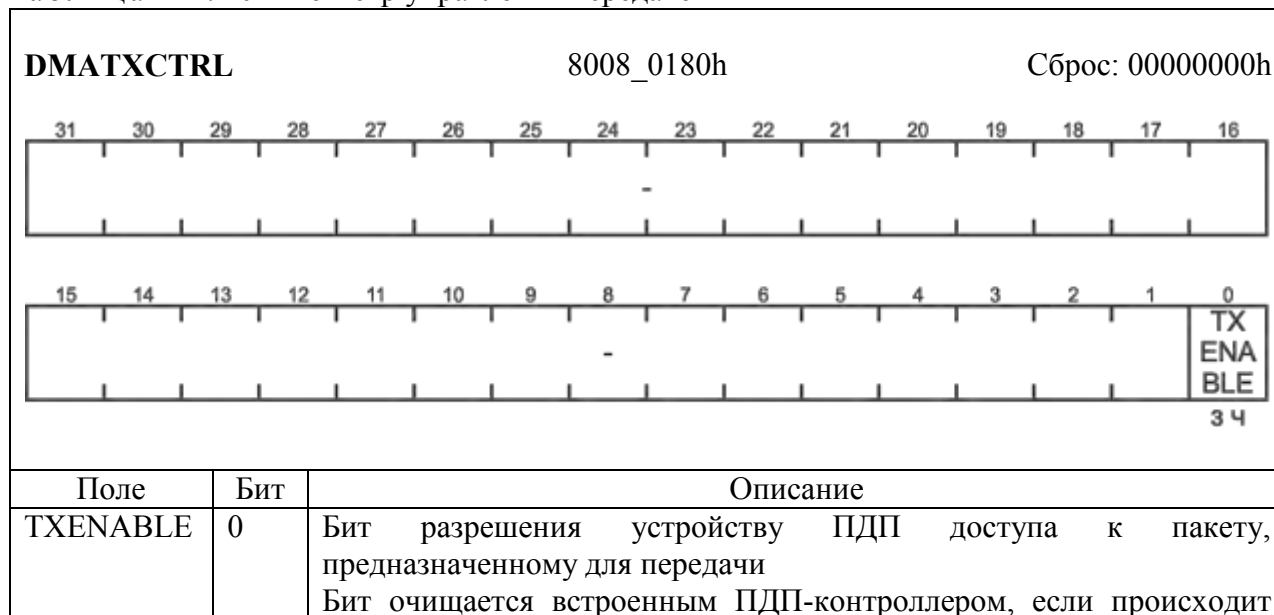
Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата



Окончание таблицы А4.19

Поле	Биты	Описание
STATION_ADDRESS 1 Byte	15-8	Поле содержит 1-й октет адреса станции
STATION_ADDRESS 2 Byte	7-0	Поле содержит 2-й октет адреса станции
STATION_ADDRESS 3 Byte	15-8	Поле содержит 3-й октет адреса станции
STATION_ADDRESS 4 Byte	7-0	Поле содержит 4-й октет адреса станции
STATION_ADDRESS 5 Byte	15-8	Поле содержит 5-й октет адреса станции
STATION_ADDRESS 6 Byte	7-0	Поле содержит 6-й октет адреса станции
Биты 31-16 каждого регистра зарезервированы		

Таблица А4.20 – Регистр управления передачей



Инд. № подл.	
Подп. и дата	
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	

		единицу, если головной процессор записывает единицу в бит TXPKTSENT
BUS ERROR	3	Флаг ошибки на шине либо в режиме обмена данными процессором с регистрами устройства, либо в режиме прямого доступа к памяти.
		0 Нормальная работа
		1 Ошибка
TXUNDER RUN	1	Индикатор обработки данных
		0
		1 ПДП контроллер читает и устанавливает флаг Empty в дескрипторе
TXPKT SENT	0	Флаг успешной передачи одного или более пакетов
		0 Бит сбрасывается всякий раз, когда счетчик TX_PKT_COUNT обнуляется
		1 Установка бита приводит к уменьшению значения TX_PKT_COUNT на единицу
–	31-24, 15-4, 2	Зарезервировано

Таблица А4.23 – Регистр управления приемом

DMARXCTRL		8008_018Ch	Сброс: 00000000h
Поле	Бит	Описание	
RXENABLE	0	Бит разрешения устройству ПДП принимать пакеты. При установленном бите	
		Бит очищается в случае обнаружения состояния RxOverflow или BusError	
		0	Запрещено
	1	Разрешено. Встроенный ПДП-контроллер готов начать принимать новый пакет, как только FIFO покажет, что новый пакет доступен (FRSOF подтвержден)	
–	31-1	Зарезервировано	

Таблица А4.24 – Регистр указателя дескриптора приема

--	--	--

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

DMARXDSCR	8008_0190h	Сброс: 00000000h
Поле	Биты	Описание
DESCRIPTOR_ADDRESS	31-2	Поле адреса регистра памяти, в который будут записаны данные о первом принятом пакете. Встроенный ПДП контроллер читает этот регистр с целью получения адреса только в том случае, если процессором установлен бит RXENABLE в регистре DMATRCtrl
-	31-1	Состояние этого поля игнорируется с целью соответствия стандарту IEEE 802-3

Таблица А4.25 – Регистр статуса приема

DMARXSTAT	8008_0194h	Сброс: 00000000h	
Поле	Биты	Описание	
RX_PKT_COUNT	23-16	8-битный счетчик принятых пакетов. Увеличивается на единицу каждый раз, когда встроенный ПДП контроллер успешно завершает транзакцию пакета, и уменьшается на единицу, если головной процессор записывает единицу в бит RXPKTSENT	
BUSERROR	3	0	Нормальная работа
		1	Ошибка
RXOVERFLOW	1	0	Индикатор обработки данных
		1	ПДП контроллер прочитал «0» из флага Empty в

Индв. № подл.	Подп. и дата	Взам. инв. №	Индв. № дубл.	Подп. и дата

		дескрипторе приема во время обработки данных
RXPKTREC	0	Флаг успешного приема одного или более пакетов
	0	Бит сбрасывается всякий раз, когда счетчик RX_PKT_COUNT обнуляется
	1	Установка бита приводит к уменьшению значения RX_PKT_COUNT на единицу
–	31-24, 15-4, 2	Зарезервировано

Таблица А4.26 – Регистр маски прерываний

DMAINTMASK																8008_0198h				Сброс: 00000000h			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- -----																							
----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- -----																							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	BUS	RX	-	RX	BUS	-	TXUN	TX
----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- -----																							
----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- ----- -----																							
																34	34	34	34	34	34		

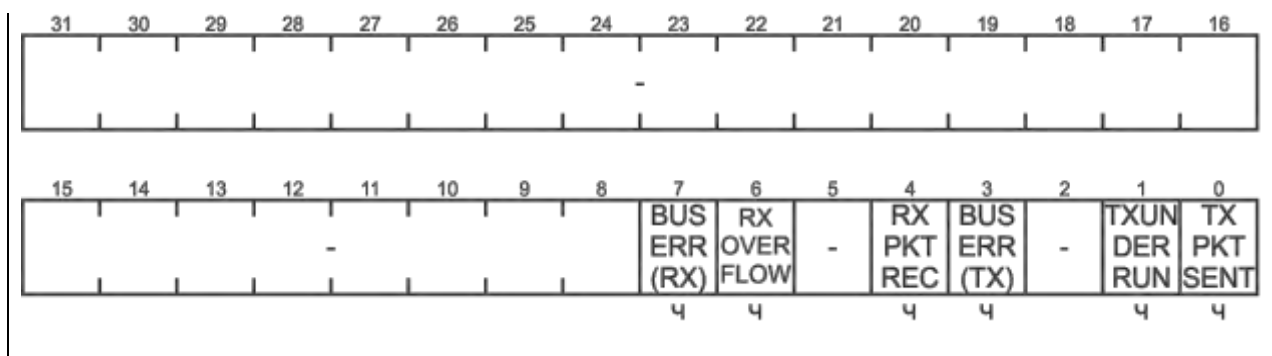
Окончание таблицы А4.26

Поле	Бит	Описание
BUSERROR(RX)	7	Бит разрешения прерывания при установке бита BUSERROR регистра DMARxStatus
RXOVERFLOW	6	Бит разрешения прерывания при установке бита RXOVERFLOW регистра DMARxStatus
RXPKTREC	4	Бит разрешения прерывания при установке бита RXPKTREC регистра DMARxStatus
BUSERROR(TX)	3	Бит разрешения прерывания при установке бита BUSERROR регистра DMATxStatus
TXUNDERRUN	1	Бит разрешения прерывания при установке бита TXUNDERRUN регистра DMATxStatus
TXPKTSENT	0	Бит разрешения прерывания при установке бита TXPKTSENT регистра DMATxStatus
–	31-8, 5, 2	Зарезервировано
Примечание – Для разрешения прерывания следует установить соответствующий бит. Сброшенный бит запрещает установку соответствующего флага в регистре DMAInterrupt (т.е. запрещает генерирование прерывания).		

Таблица А4.27 – Регистр прерываний

DMAINT	8008_019Ch	Сброс: 00000000h
---------------	------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата



Поле	Бит	Описание
BUSERROR(RX)	7	Флаг прерывания при установке бита BUSERROR регистра DMARxStatus
RXOVERFLOW	6	Флаг прерывания при установке бита RXOVERFLOW регистра DMARxStatus
RXPKTREC	4	Флаг прерывания при установке бита RXPKTREC регистра DMARxStatus
BUSERROR(TX)	3	Флаг прерывания при установке бита BUSERROR регистра DMATxStatus
TXUNDERRUN	1	Флаг прерывания при установке бита TXUNDERRUN регистра DMATxStatus
TXPKTSENT	0	Флаг прерывания при установке бита TXPKTSENT регистра DMATxStatus
–	31-8, 5, 2	Зарезервировано

Примечание – Флаг прерывания устанавливается только в том случае, если оба бита – бит-источник прерывания и соответствующий бит регистра маски прерываний – установлены

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

А5 Регистры контроллера USB (В РАЗРАБОТКЕ)

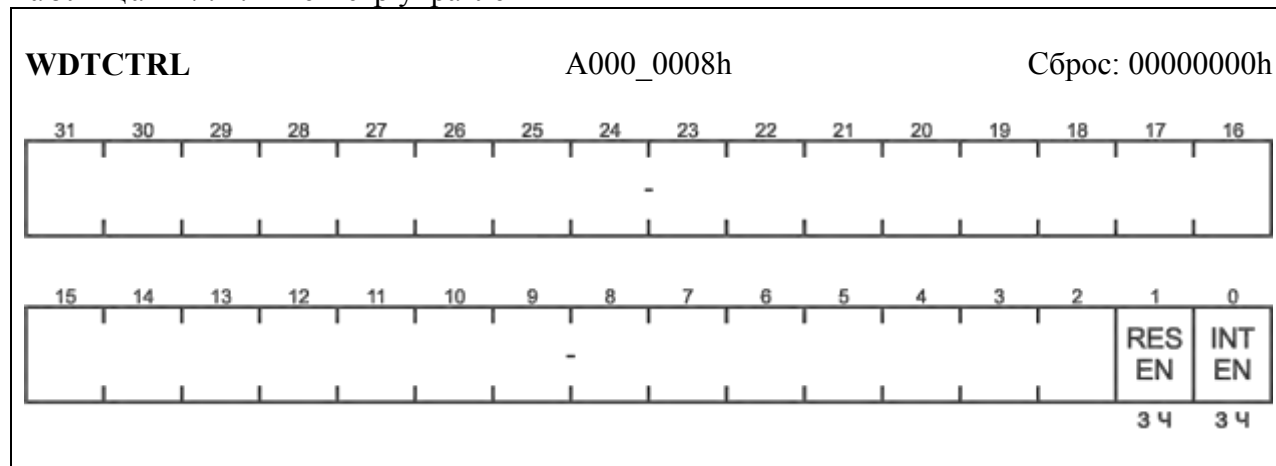
Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

А7 Регистры сторожевого таймера

Таблица А7.1 – Регистры

Регистр	Адрес регистра	Доступ к регистру	Описание	Сброс
LOAD	A0000000h	Запись Чтение	32-разрядный регистр, хранящий начальное значение счетчика. Когда происходит запись в этот регистр, счетчик сразу иницируется этим новым значением. Минимальное допустимое значение 0000_0001h	FFFF_ FFFFh
WDTVAL	A0000004h	Чтение	32-разрядный регистр текущего значения счетчика	FFFF_ FFFFh
INTCLR	A000000Ch	Запись	32-разрядный регистр сброса сторожевого таймера. Запись любого значения в этот регистр приводит к сбросу прерывания сторожевого таймера и загрузке счетчика значением из регистра LOAD	0000_ 0000h
PERIPID5	A000FD4h	Чтение	32-разрядный периферийный регистр ID5	0000_ 0000h
PERIPID6	A000FD8h	Чтение	32-разрядный периферийный регистр ID6	0000_ 0000h
PERIPID7	A000FDCh	Чтение	32-разрядный периферийный регистр ID7	0000_ 0000h
PCELLID0	A000FE0h	Чтение	32-разрядный компонентный регистр ID0	0000_ 000Dh
PCELLID1	A000FE4h	Чтение	32-разрядный компонентный регистр ID1	0000_ 00F0h
PCELLID2	A000FE8h	Чтение	32-разрядный компонентный регистр ID2	0000_ 0005h
PCELLID3	A000FECh	Чтение	32-разрядный компонентный регистр ID3	0000_ 00B1h

Таблица А7.2. – Регистр управления



Инд. № дубл.	Подп. и дата
Инд. № подл.	Подп. и дата
Взам. инв. №	

Окончание таблицы А7.2

Поле	Бит	Описание
RESEN	1	Бит разрешения сброса микроконтроллера по сторожевому таймеру. Работает по функции «Логическое И» с битом INTEN регистра WDTCTRL.
		0 Сброс бита выключает сброс
		1 Установка включает сброс
INTEN	0	Бит включения счета и разрешения прерывания сторожевого таймера
		0 Сброс бита выключает счетчик и снимает прерывание
		1 Установка бита включает счетчик и генерирует прерывание. Если счетчик был включен на момент установки бита, то он иницируется значением из регистра LOAD
–	31-2	Зарезервировано

Таблица А7.3. – Регистр прерывания

Поле	Бит	Описание
RAWWDTINT	0	Индикатор состояния немаскированного бита прерывания
	0	Сброшен
	1	Установлен
–	31-1	Зарезервировано

Таблица А7.4 – Регистр маскированного прерывания

Поле	Бит	Описание
RAWWDTINT	0	Индикатор состояния немаскированного бита прерывания
	0	Сброшен
	1	Установлен
–	31-1	Зарезервировано

Окончание таблицы А7.4

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Поле	Бит	Описание	
WDTINT	0	Индикатор состояния маскированного бита прерывания. Сигнализирует о появлении маскированного прерывания от счетчика. Состояние бита WDTINT это «логическое И» битов RAWWDTINT и INTEN	
		0	Сброшен
		1	Установлен
–	31-1	Зарезервировано	

Таблица А7.5 – Регистр блокировки

Поле	Бит	Описание
<p>LOCK A000_0C00h Сброс: 00000000h</p>		
REG_WR_DIS	0	Бит запрета записи во все регистры сторожевого таймера (кроме LOCK) Функция необходима для предотвращения отключения сторожевого таймера сбойными программами.
	0	Разрешена (по умолчанию). Для сброса бита следует записать в регистр WDTLOCK значение 1ACCE551h.
	1	Запрещена. Для установки бита следует записать в регистр WDTLOCK любое значение, кроме 1ACCE551h.
–	31-1	Зарезервировано

Таблица А7.6 – Периферийный регистр ID4

Поле	Бит	Описание
<p>PERIPID4 A000_0FD0h Сброс: 00000004h</p>		
COUNTER	7-4	Счетчик блока
JEP106_C_CODE	3-0	Jep106_c code
–	31-8	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А 7.7 – Периферийный регистр ID0

PERIPID0		A000_0FF0h	Сброс: 00000024h
Поле	Биты	Описание	
SERIAL_NUM	7-0	Номер серии (24h)	
–	31-8	Зарезервировано	

Таблица А 7.8 – Периферийный регистр ID1

PERIPID1		A000_0FF4h	Сброс: 000000B8h
Поле	Биты	Описание	
JEP106_ID_3_0	7-4	Jep106_id_3_0 (Bh)	
SERIAL_NUM	3-0	Номер серии (8h)	
–	31-8	Зарезервировано	

Таблица А 7.9 – Периферийный регистр ID2

PERIPID2		A000_0FF8h	Сброс: 0000000Bh
Поле	Биты	Описание	
REVISION	7-4	Номер ревизии (4h)	
JEDEC_US	3-2	JEDEC_US (2h)	
JEP106_ID_6_4	1-0	Номер серии (2h)	
–	31-8	Зарезервировано	

Инов. № дубл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инов. № подл.	Подп. и дата

Окончание таблицы А7.11

Поле	Биты	Описание
REVISION	7-4	Ревизия (0h)
JEDEC_USED	3	Jedec_used (1b)
JEP106_ID_6_4	2-0	Jep106_id_6_4 (011b)
–	31-8	Зарезервировано

Таблица А7.10 – Периферийный регистр ID3

Поле	Биты	Описание
ECO REVISION	7-4	ECO ревизия
CUSTOMER_MODNUM	3-0	Номер модификации заказчиком
–	31-8	Зарезервировано

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

A8 Регистры контроллера I2C

Таблица А8.1 – Сдвиговый регистр данных

SDA		Сброс: 00XXh
Поле	Биты	Описание
DATA	7-0	Поле данных
–	15-8	Зарезервировано

Таблица А8.2 – Регистр состояния

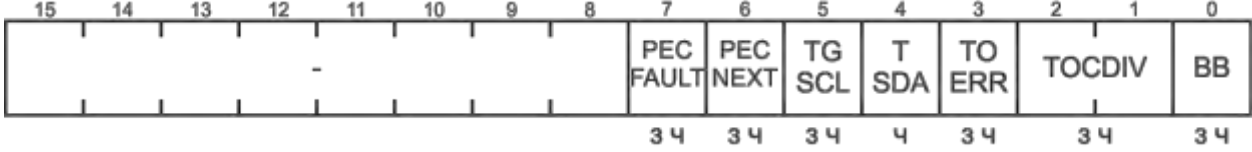
ST		Сброс: 0000h
Поле	Бит	Описание
1	2	3
INT	7	<p>Флаг прерывания.</p> <p>Устанавливается после девятого такта сигнала SCL (когда SCL = 0) в любое запрограммированное время. Условия выставления флага INT:</p> <ul style="list-style-type: none"> - во время приема/передачи как в режиме мастера, так и в режиме ведомого; - при совпадении адреса (адреса ведомого, адреса отклика или адреса общего вызова) содержимое регистра SMBSDA должно контролироваться программно для определения типа полученного адреса; - после успешного формирования стартового состояния или состояния повторного старта; - в случае не квитирования переданной информации; - при потере арбитража во время передачи последнего бита; - при обнаружении валидного состояния останова или состояния повторного старта; - при обнаружении ошибки на шине. <p>Пока установлен флаг INT, на линии SCL удерживается низкий уровень сигнала.</p> <p>Флаг INT может быть сброшен установкой бита CLRST в регистре SMBCTRL1 или выключением модуля I2C (обнуление бита ENABLE в регистре SMBCTRL2).</p> <p>Условия выставления флага INT (не влияющие на уровень сигнала на линии SCL):</p> <ul style="list-style-type: none"> - простой на линии SCL; - состояние останова в режиме ведомого (MODE = 1Ch); - потеря арбитража, вследствие чего ведомый переключился в безадресный режим (MODE = 03h или MODE = 23h); - не квитированная передача байта данных (MODE = 17h)

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А8.2

1	2	3
MODE	5-0	Код состояния. Возникновение того или иного состояния в течение функционирования модуля I2C сопровождается записью соответствующего кода в поле MODE
–	15-8, 6	Зарезервировано

Таблица А8.3 – Регистр управления и статуса

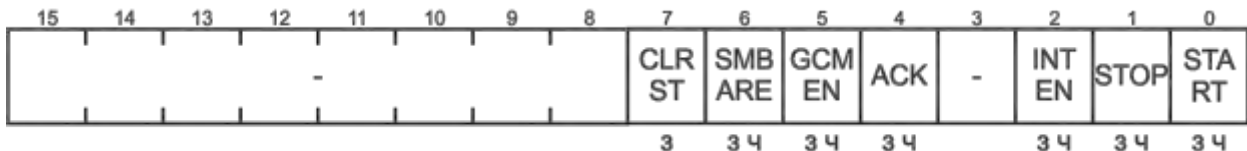
CST		Сброс: 0000h
		
Поле	Бит	Описание
1	2	3
PECFAULT	7	Флаг ошибки. Устанавливается в случае, если после расчета контрольной суммы для пакета данных и сравнения ее с полученной суммой, значение во внутреннем регистре ошибок не нулевое
PECNEXT	6	Бит управления отправкой байта контрольной суммы. Установка бита указывает на то, что следующий передаваемый байт будет байтом CRC (байт контрольной суммы). Реакция на установку бита PECNEXT зависит от режима работы. В режиме мастера передатчика установка бита PECNEXT вызовет загрузку результата вычисления CRC в регистр SMBSDA. После сброса флага INT начнется передача байта CRC. В режиме приемника установка этого бита будет указывать логике управления на то, что следующий байт, который будет принят, будет байтом CRC. В режиме ведомого приемника модуль I2C автоматически будет квитировать или не квитировать прием байта CRC, в зависимости от того, будет ли выявлена ошибка пакета данных или нет. В режиме мастера приемника по окончании приема байта CRC, будет отправлено значение бита ACK регистра SMBCTRL1
TGSCL	5	Бит переключения SCL. Бит позволяет переключать вывод SCL во время восстановления после ошибки. Когда на выводе SDA – низкий уровень сигнала, запись «1» в бит TGSCL переключит вывод SCL на один такт. Когда на SDA высокий уровень сигнала, запись «1» в бит TGSCL игнорируется. Бит очищается аппаратно по окончании такта
TSDA	4	Бит тестирования SDA. Содержит текущее значение SDA. Этот бит можно использовать для отслеживания окончания процесса восстановления после ошибки, в течение которого ведомый постоянно поддерживает низкий уровень сигнала на выводе SDA

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата

Окончание таблицы А8.3

1	2	3
TOERR	3	Флаг ошибки простоя на шине. Если TOERR = 1b, это указывает на то, что на линии SCL был обнаружен простой. Флаг TOERR выставляется по обнулению основного счетчика времени простоя и может быть сброшен записью «1» в бит CLRST регистра SMBCTRL1
TOCDIV	2-1	Поле коэффициента делителя. Устанавливает коэффициент деления системного тактового сигнала, подаваемого на предделитель времени простоя линии SCL
		00 Тактовый сигнал отсутствует
		01 Деление на 4
		10 Деление на 8
	11 Деление на 16	
BB	0	Флаг занятости шины. Если BB = 1b, это указывает на то, что шина занята. Устанавливается, как только шина переходит в активное состояние (одновременное появление низкого уровня сигнала на выводах SDA и SCL или хотя бы на одном из них) или в стартовое состояние. Сбрасывается при выключении интерфейса I2C, либо при обнаружении состояния останова.
–	15-8	Зарезервировано

Таблица А8.4 – Регистр управления 1

Поле	Бит	Описание
1	2	3
<p>CTL1 Сброс: 0000h</p> 		
CLRST	7	Бит сброса флага прерывания INT. Запись «0» в бит CLR игнорируется. Запись «1» в бит CLR сбросит флаг INT в регистре SMBST. Чтение этого бита всегда возвращает «0»
SMBARE	6	Бит управления реакцией на получение адреса отклика
		0 Полученный адрес не проверяется на совпадение с адресом отклика
		1 Адрес, полученный сразу после старта, проверяется на совпадение с адресом отклика (0001_100b)
		Бит очищается при выходе ведомого из режима IDLE
GCMEN	5	Бит управления реакцией на получение адреса общего вызова
		0 Полученный адрес не проверяется на совпадение с адресом общего вызова
		1 Адрес, полученный сразу после старта, проверяется на совпадение с адресом общего вызова (0000_000b)
		Бит очищается при выходе ведомого из режима IDLE

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № подл.	Подп. и дата

Окончание таблицы А8.4

1	2	3
ACK	4	Бит квитирования приема. В режиме передатчика не используется. В режиме приемника (мастера/ведомого) содержит значение, которое передается в течение цикла отклика на запрос передатчика подтвердить прием. Передача нуля по окончании передачи байта (квитирование) означает, что данные успешно получены. Передача единицы (неквитирование) означает, что приемник не может продолжать работу по каким-либо причинам. Бит ACK очищается аппаратно по окончании цикла отклика
INTEN	2	Бит разрешения прерывания
		0 Запрещено
		1 Разрешено
STOP	1	Бит останова. В режиме мастера установка бита STOP генерирует состояние останова, которое завершает или прерывает текущую передачу. После прекращения передачи бит STOP очищается аппаратно
START	0	Бит старта. Этот бит устанавливается, когда требуется сформировать стартовое состояние на шине. Бит START очищается аппаратно по окончании цикла стартового состояния, а также при обнаружении ошибки на шине (состояние с кодом 1Fh)
–	15-8, 3	Зарезервировано

Таблица А8.5 – Регистр собственного адреса

ADDR		Сброс: 0000h
Поле	Бит	Описание
SAEN	7	Бит разрешения распознавания адреса
		0 Безадресный режим
		1 Включена функция распознавания принятого адреса
ADDR	6–0	Поле собственного 7-битного адреса. При работе в режиме ведомого первые 7 бит, принятые после стартового состояния, сравниваются со значением ADDR. Если обнаружено совпадение и установлен бит SAEN, ведомый переходит в режим приемника или передатчика (в зависимости от состояния бита направления R/W#)
–	15-8	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А8.6 – Регистр управления 2

CTL2		Сброс: 0000h
Поле	Биты	Описание
SCLFRQ	7-1	Поле выбора частоты f_{SCL} сигнала на выводе SCL в режиме мастера. Длительности высокого (T_{SCLH}) и низкого (T_{SCLL}) уровней сигнала SCL зависят от тактовой частоты f_{osc} модуля I2C и рассчитываются по формуле $T_{SCLH} = T_{SCLL} = 2 \times SCLFRQ \times (1/f_{osc}).$ Таким образом, частота сигнала на выводе SCL равна $f_{SCL} = 1/(T_{SCLH} + T_{SCLL}).$ В поле SCLFRQ можно записать любое значение в диапазоне от 04h до 7Fh. При попытке записи любого значения меньше «04h», оно будет записано со смещением 04h. Например, при записи числа 02h, к нему будет аппаратно добавлено смещение 04h и, в итоге, в поле SCLFRQ окажется значение «06h»
ENABLE	0	0 Модуль выключен. Тактирование не осуществляется. Регистры SMBCTRL1, SMBST, SMBCST сброшены
		1 Модуль включен
–	15-8	Зарезервировано

Таблица А8.7 – Регистр загрузки предделителя

TOPR		Сброс: 0000h
Поле	Биты	Описание
SMBTOPR	7-0	Поле значения перезагрузки предделителя
–	15-8	Зарезервировано

Таблица А8.8 – Регистр управления 3

CTL3		Сброс: 0000h
Поле	Биты	Описание
HSDIV	7-4	Поле выбора делителя частоты сигнала S10
S10 EN	3	Бит включения модуля S10
S10ADR	2-0	Поле выбора адреса модуля S10
–	15-8	Зарезервировано

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А8.8

Поле	Биты	Описание	
HSDIV	7-4	<p>Поле выбора частоты f_{SCL} сигнала на выводе SCL в режиме HS мастера. Длительности высокого (T_{HSCLH}) и низкого (T_{HSCLL}) уровней сигнала на выводе SCL зависят от тактовой частоты f_{osc} модуля I2C и рассчитываются по формулам</p> $T_{HSCLH} = HSDIV \times (1/f_{osc}), \quad (A.15)$ $T_{HSCLL} = 2 \times HSDIV \times (1/f_{osc}). \quad (A.16)$ <p>Таким образом, частота сигнала на выводе SCL равна $f_{SCL} = 1/(T_{HSCLH} + T_{HSCLL})$. (A.17)</p> <p>В поле HSDIV можно записать любое значение в диапазоне от 2h до Fh. При попытке записи любого значения меньше «2h» в поле HSDIV, оно будет записано со смещением 2h. Например, при записи числа 1h к нему будет аппаратно добавлено смещение 2h и, в итоге, в поле SCLFRQ окажется значение «3h»</p>	
S10EN	3	0	Запрещена
		1	Разрешена при условии, что установлен бит SAEN в регистре SMBADDR
S10ADR	2-0	<p>Поле старших битов 10-битного адреса ведомого. Поле содержит старшие три разряда адреса ведомого при 10-битной адресации. Первый принятый байт адреса сравнивается со значением [11110b, S10ADR[2:1]], второй байт адреса – со значением [S10ADR[0], ADDR]</p>	
–	15-8	Зарезервировано	

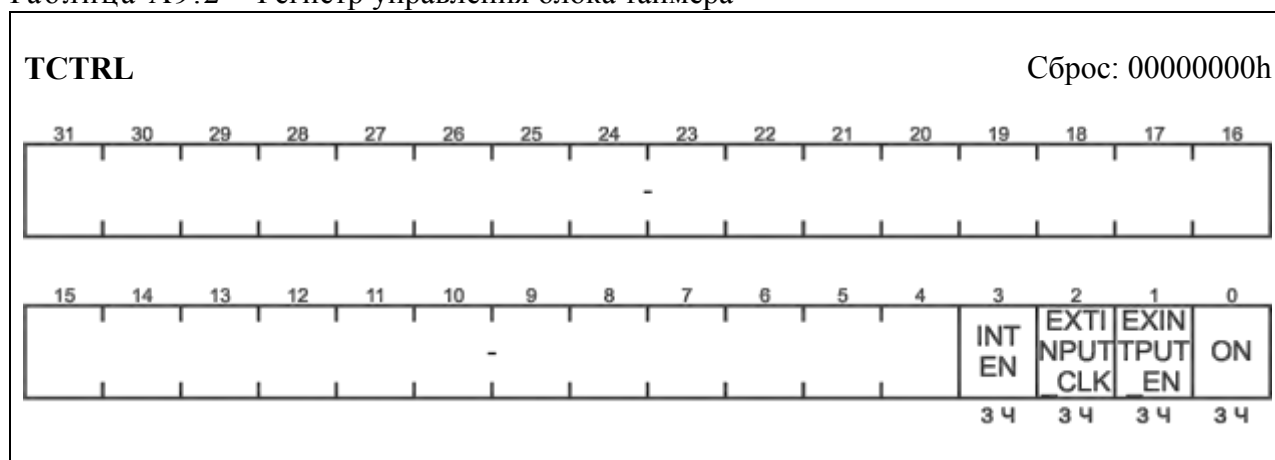
Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

А9 Регистры Таймеров

Таблица А9.1 – Регистры блока таймера

Регистр	Назначение	Сброс
TIMER	32-разрядный регистр текущего значения таймера	00000000h
RELOAD	32-разрядный регистр начального значения счетчика таймера	00000000h
PID5	8-разрядный периферийный регистр ID5 блока таймера	00h
PID6	8-разрядный периферийный регистр ID6 блока таймера	00h
PID7	8-разрядный периферийный регистр ID7 блока таймера	00h
CID0	8-разрядный компонентный регистр ID0 блока таймера	0Dh
CID1	8-разрядный компонентный регистр ID1 блока таймера	F0h
CID2	8-разрядный компонентный регистр ID2 блока таймера	05h
CID3	8-разрядный компонентный регистр ID3 блока таймера	B1h

Таблица А9.2 – Регистр управления блока таймера



Поле	Бит	Описание
INTEN	3	Бит разрешения прерывания таймера
		0 Запрещено
		1 Разрешено
EXTINPUT_CLK	2	Бит включения внешнего входа синхронизации как тактового
		0 Нет действий
		1 Сигнал на входе EXTIN является тактовым
EXTINPUT_EN	1	Бит разрешения работы таймера если сигнал на соответствующем входе равен единице
		0 Запрещено
		1 Разрешено. Таймер декрементируется с частотой синхросигнала микроконтроллера.
ON	0	Бит включения таймера
		0 Выключен
		1 Включен. Таймер декрементируется с частотой синхросигнала микроконтроллера.
–	31-4	Зарезервировано

	Подп. и дата
	Инва. № дубл.
	Взам. инв. №
	Подп. и дата
	Инва. № подл.

Таблица А9.3 – Регистр прерывания таймера

INTSTATUS_INTCLEAR		Сброс: 0000h													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-															INT
3 4															
Поле	Бит	Описание													
INT	0	Флаг прерывания таймера													
		0	Нет прерывания												
		1	Запрос на прерывание.												
		Для сброса бита следует записать в него единицу													
-	31-1	Зарезервировано													

Таблица А9.4 – Периферийный регистр ID4

PID4		Сброс: 0000h													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-								COUNTER				JEP106_C_CODE			
								4				4			
Поле	Биты	Описание													
COUNTER	7-4	Счетчик блока таймера													
JEP106_C_CODE	3-0	Jep106_c_code													
-	31-8	Зарезервировано													

Таблица А9.5 – Периферийный регистр ID0

PID0		Сброс: 0022h													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-								SERIAL_NUM							
								4							

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А9.5

Поле	Биты	Описание
SERIAL_NUM	7-0	Номер серии. По умолчанию 22h
–	31-8	Зарезервировано

Таблица А9.6 – Периферийный регистр ID1

Поле	Биты	Описание
JEP106_ID_3_0	7-4	jep106_id_3_0 По умолчанию Bh
SERIAL_NUM	3-0	Номер серии. По умолчанию 8h
–	31-8	Зарезервировано

PID1 Сброс: 00B8h

Таблица А9.7 – Периферийный регистр ID2

Поле	Биты	Описание
REVISION	7-4	Ревизия
JEDEC_USED	3	Jedec_used. По умолчанию 1b
JEP106_ID_6_4	2-0	jep106_id_3_0 По умолчанию 011b
–	31-8	Зарезервировано

PID2 Сброс: 000Bh

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А9.8 – Периферийный регистр ID3

PID3		Сброс: 0000h
Поле	Биты	Описание
ECO REVISION	7-4	Номер ревизии ECO
CUSTOMER_M ODNUM	3-0	Номер модификации
–	31-8	Зарезервировано

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

A10 Регистры контроллера DMA

Таблица A10.1 – Регистр статуса DMA

STATUS		A000_6000h				Сброс: 0nnn0000h																									
31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16	
TEST_STATUS												-												CHNLS-1							
4												4												4							
15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0	
-												STATE												-				MASTER_ENBL			
4												4												4							
Поле	Биты	Описание																													
TEST_STATUS	31-28	0h	Контроллер не имеет интегрированной схемы тестирования																												
		1h	Контроллер имеет интегрированную схему тестирования																												
		2h-Fh	Зарезервировано																												
CHNLS-1	20-16	Количество доступных каналов DMA минус один																													
		00h	1 канал																												
		01h	2 канала																												
		02h	3 канала																												
		1Fh	32 канала																												
STATE	7-4	Текущее состояние конечного автомата управления контроллера																													
		0h	В покое																												
		1h	Чтение управляющих данных канала																												
		2h	Чтение указателя конца данных источника																												
		3h	Чтение указателя конца данных приемника																												
		4h	Чтение данных источника																												
		5h	Запись данных в приемник																												
		6h	Ожидание запроса на выполнение прямого доступа																												
		7h	Запись управляющих данных канала																												
		8h	Приостановлен																												
		9h	Выполнен																												
MASTER_ENBL	0	Состояние контроллера DMA																													
		0	Работа контроллера запрещена																												
		1	Работа контроллера разрешена																												
-	27-21 15-8, 3-1	Зарезервировано																													
Примечание – Регистр доступен только для чтения. Возвращает состояние контроллера DMA. Во время сброса чтение регистра запрещено.																															

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А10.2 – Регистр конфигурации DMA

CFG		A000_6004h													
Поле	Биты	Описание													
CHNL_PROT_CTRL	7-5	Задаёт параметры защиты шины АНВ-Lite при обращении контроллера к структурам управляющих данных каналов													
		Биты поля CHNL_PROT_CTRL													
		7			6			5							
		0	Доступ не кэшируется	Доступ не буферизуется	Доступ непривилегированный										
1	Доступ кэшируется	Доступ буферизуется	Доступ привилегированный												
MASTER_ENBL	0	Бит разрешения работы контроллера DMA													
		0	Запрещена												
		1	Разрешена												
–	31-8, 4-1	Зарезервировано													

Таблица А10.3 – Регистр базового адреса управляющих данных каналов

CTRL_BASE_PTR		A000_6008h														Сброс: 00000000h	
Поле	Биты	Описание															
CTRL_BASE_PTR	31-10	Указатель на базовый адрес первичной структуры управляющих данных															
–	9-0	Зарезервировано															
Примечание																	
Регистр доступен для чтения и записи и определяет базовый адрес системной памяти размещения управляющих данных каналов. Во время сброса чтение регистра запрещено.																	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А10.4 – Регистр базового адреса альтернативных управляющих данных каналов

ALT_CTRL_BASE_PTR		A000_6008h	Сброс: 00000000h
Поле	Биты	Описание	
ALT_CTRL_BASE_PTR	31-0	Указатель базового адреса альтернативной структуры управляющих данных каналов	
Примечания			
1 Регистр доступен только для чтения. Возвращает указатель базового адреса альтернативных управляющих данных каналов. Во время сброса чтение регистра запрещено.			
2 Регистр позволяет не производить вычисления базового адреса альтернативных управляющих данных каналов.			

Таблица А10.5 – Регистры управления каналами

		Подп. и дата		Инва. № дубл.		Взам. инв. №		Подп. и дата		Инва. № подл.		Формат регистров											
Каждый бит связан с одним из 24 каналов. Нулевой бит связан с каналом 0, 23-й бит – с каналом 23. i – порядковый номер канала от 0 до 23.																							
Регистр						Назначение																	
1						2																	
WAITONREQ_STATUS Только чтение по адресу A0006010h						Регистр статуса ожидания запросов для передачи. Информация, получаемая при чтении бита Ci:																	
						0						Доступны только BREQ запросы от периферии											
						1						Доступны BREQ и SREQ запросы от периферии											

Продолжение таблицы А10.5

1	2
CHNL_SW_REQUEST Только запись по адресу А0006014h	Регистр программного запроса на обработку каналов DMA Запись в бит Ci:
	0 Нет запроса
	1 Устанавливает запрос на выполнение цикла DMA по каналу i Запись бита, который соответствует нереализованному каналу, означает, что запрос на выполнение цикла DMA не будет установлен
CHNL_USEBURST_SET Запись и чтение по адресу А0006018h	Регистр установки пакетного обмена каналов DMA. Отключает выполнение одиночных запросов по запросу SREQ и поэтому будут обрабатываться и исполняться только запросы по BREQ. Информация, получаемая при чтении бита Ci:
	0 Канал DMA i выполняет циклы DMA в ответ на запросы на одиночную передачу SREQ и пакетный обмен BREQ.
	1 Канал DMA i выполняет циклы DMA только в ответ на запросы пакетного обмена (BREQ).
	Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_USEBURST_CLR и сбросить в нем соответствующий бит Ci
	1 Отключает возможность обрабатывать запросы одиночного обмена SREQ на выполнение циклов DMA.
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта
CHNL_USEBURST_CLR Только запись по адресу А000601Ch	Регистр сброса пакетного обмена каналов DMA Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_USEBURST_SET для отключения обработки запросов одиночного обмена SREQ.
	1 Разрешает обрабатывать одиночные запросы SREQ на выполнение циклов DMA.
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта
CHNL_REQ_MASK_SET Запись и чтение по адресу А0006020h	Регистр маскирования запросов от периферии на обслуживание каналов DMA. При чтении возвращает состояние установок маскирования запросов SREQ и BREQ на обслуживание каналов. Информация, получаемая при чтении бита Ci:
	0 Канал i выполняет циклы DMA в ответ на поступающие запросы
	1 Канал i не выполняет циклы DMA в ответ на поступающие запросы
	Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_REQ_MASK_CLR для разрешения установки запросов
	1 Отключает выполнение циклов DMA по запросам SREQ и BREQ.
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы А10.5

1	2
CHNL_REQ_MASK_CLR Только запись по адресу A0006024h	Регистр очистки маскирования запросов на обслуживание каналов DMA. Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_REQ_MASK_SET для отключения установки запросов
	1 Разрешает выполнение циклов DMA по запросам SREQ и BREQ.
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта
CHNL_ENABLE_SET Запись и чтение по адресу A0006028h	Регистр установки разрешения работы каналов DMA. Информация, получаемая при чтении бита Ci:
	0 Канал DMA i отключен
	1 Работа канала DMA i разрешена
	Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_ENABLE_CLR для отключения канала i
	1 Разрешает работу канала i
CHNL_ENABLE_CLR Только запись по адресу A000602Ch	Регистр сброса разрешения работы каналов DMA. Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_ENABLE_SET для разрешения работы канала i
	1 Запрещает работу канала i
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта.
	Примечание – Контроллер может отключить канал DMA i, в следующих случаях: - при завершении цикла DMA; - при чтении из channel_cfg с полем cycle_ctrl установленным в 000b; - при появлении ошибки на шине АНВ-Lite
CHNL_PRI_ALT_SET Запись и чтение по адресу A0006030h	Регистр установки первичной/альтернативной структуры управляющих данных каналов DMA. Информация, получаемая при чтении бита Ci:
	0 Канал DMA i использует первичную структуру управляющих данных
	1 Канал DMA i использует альтернативную структуру управляющих данных
	Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_PRI_ALT_CLR для сброса бита Ci
1 Включает использование альтернативной структуры управляющих данных каналом DMA i	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А10.5

1	2
CHNL_PRI_ALT_SET Запись и чтение по адресу A0006030h	Запись в бит, который соответствует нереализованному каналу, не дает эффекта. Примечание – Контроллер может переключить состояние бита Ci в следующих случаях: - при завершении четырех передач DMA указанных в первичной структуре управляющих данных при выполнении цикла DMA в режимах работы с памятью или периферией «разборка-сборка»; - при завершении всех передач DMA указанных в первичной структуре управляющих данных при выполнении цикла DMA в режиме «Пинг-понг»; - при завершении всех передач DMA указанных в альтернативной структуре управляющих данных при выполнении цикла DMA в режимах: - «пинг-понг»; - работа с памятью и периферией в режиме «разборка-сборка»;
CHNL_PRI_ALT_CLR Только запись по адресу A0006034h	Регистр сброса первичной/альтернативной структуры управляющих данных каналов DMA Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_PRI_ALT_SET для выбора альтернативных управляющих данных
	1 Включает использование первичной структуры управляющих данных каналом DMA i
CHNL_PRIORITY_SET Запись и чтение по адресу A0006038h	Регистр установки приоритета каналов DMA Информация, получаемая при чтении бита Ci:
	0 Каналу DMA i присвоен уровень приоритета по умолчанию
	1 Каналу DMA i присвоен высокий уровень приоритета
	Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_PRIORITY_CLR для присвоения каналу i уровня приоритета по умолчанию
	1 Присваивает каналу DMA i высокий уровень приоритета
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта
CHNL_PRIORITY_CLR Только запись по адресу A000603Ch	Регистр сброса установок приоритета каналов DMA Запись в бит Ci:
	0 Нет эффекта. Необходимо использовать регистр CHNL_PRIORITY_SET для присвоения каналу i высокого уровня приоритета
	1 Присваивает каналу DMA i уровень приоритета по умолчанию
	Запись в бит, который соответствует нереализованному каналу, не дает эффекта

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А10.6 – Регистр сброса флага ошибки DMA

ERR_CLR		8000_604Ch	Сброс: 00000000h
Поле	Биты	Описание	
ERR_CLR	0	Флаг ошибки по шине АНВ-Lite	
		Информация, получаемая при чтении:	
		0	Ошибок не обнаружено
		1	Произошла ошибка
		Запись в регистр:	
		0	Нет эффекта
1	Сброс флага ошибки ERR_CLR		
		Примечание - При сбросе флага ERR_CLR одновременно с появлением ошибки на шине АНВ-Lite, приоритет отдается ошибке и, следовательно, бит ERR_CLR остается установленным.	
-	31-1	Зарезервировано	

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

A11 Регистры контроллера UART

Таблица A11.1 – Регистр данных

DR		Сброс: 00000000h
Поле	Биты	Описание
OE, BE, PE, FE	11, 10, 9, 8	См. описание бит в регистре RSR_ECR
DATA	7-0	Поле данных. Результатом записи в поле DATA является размещение байта в буфере передатчика, а результатом чтения – считывание байта из буфера приемника.
–	31-12	Зарезервировано

Таблица A11.2 – Регистр состояния приемника и сброса ошибки приемника

RSR_ECR		Сброс: 00000000h
Поле	Биты	Описание
1	2	3
OE	3	Флаг переполнения буфера приемника
		0 В буфере есть свободное место или бит был сброшен после записи в регистр RSR_ECR. Содержимое буфера остается верным, так как перезаписан был только сдвиговой регистр. Центральный процессор должен считать данные для того, чтобы освободить буфер
		1 Буфер заполнен, а данные продолжают поступать

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А11.2

1	2	3
BE	2	Флаг разрыва линии
		0 Нормальная работа или бит был сброшен после записи в регистр RSR_ECR
		1 Обнаружен признак разрыва линии, то есть наличие низкого логического уровня на входе приемника в течение времени, большего, чем длительность передачи полного кадра данных (включая стартовый, стоповый биты и бит проверки на четность). При включенном режиме FIFO данная ошибка ассоциируется с последним байтом, поступившим в буфер. В случае обнаружения разрыва линии в буфер загружается только один нулевой кадр. Прием данных возобновляется только после перехода линии в логическую единицу и последующего обнаружения корректного стартового бита
PE	1	Флаг ошибки контроля четности
		Нормальная работа или бит был сброшен после записи в регистр RSR_ECR
		Четность принятого кадра данных не соответствует установкам битов EPS и SPS в регистре управления линией LCR_H. При включенном режиме FIFO данная ошибка ассоциируется с байтом, находящимся на вершине буфера.
FE	0	Флаг ошибка в структуре кадра
		Нормальная работа или бит был сброшен после записи в регистр RSR_ECR
		В принятом символе не обнаружен корректный стоповый бит (единица). При включенном режиме FIFO данная ошибка ассоциируется с байтом, находящимся на вершине буфера
–	31-4	Зарезервировано

Таблица А11.3 – Регистр флагов

<div style="display: flex; justify-content: space-between;"> FR Сброс: 00000090h </div>		<div style="display: flex; justify-content: space-between; border-bottom: 1px solid black; margin-bottom: 5px;"> 31302928272625242322212019181716 </div> <div style="display: flex; justify-content: space-between; border-bottom: 1px solid black; margin-bottom: 5px;"> 1514131211109876543210 </div> <div style="display: flex; justify-content: space-between; border-bottom: 1px solid black; margin-bottom: 5px;"> RITXFERXFFTXFFRXFEBUSYDCDDSRCST </div> <div style="display: flex; justify-content: space-between; border-bottom: 1px solid black;"> 444444444 </div>															
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Поле</th> <th>Бит</th> <th>Описание</th> </tr> <tr> <th>1</th> <th>2</th> <th>3</th> </tr> </thead> <tbody> <tr> <td>RI</td> <td>8</td> <td>Инверсия линии UARTR1</td> </tr> <tr> <td></td> <td>0</td> <td>Выключено</td> </tr> <tr> <td></td> <td>1</td> <td>Включено</td> </tr> </tbody> </table>	Поле	Бит	Описание	1	2	3	RI	8	Инверсия линии UARTR1		0	Выключено		1	Включено
Поле	Бит	Описание															
1	2	3															
RI	8	Инверсия линии UARTR1															
	0	Выключено															
	1	Включено															

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А11.4

FBRD		Сброс: 00000000h
Поле	Биты	Описание
BAUDDIV_INT	15-0	Целая часть коэффициента деления частоты для формирования тактового сигнала передачи данных. Минимальное значение 0001h.
BAUDDIV_FRAC	5-0	Дробная часть коэффициента деления частоты для формирования тактового сигнала передачи данных. При BAUDDIV_INT = FFFFh, значение BAUDDIV_FRAC может быть только 00h. Невыполнение этого условия приведет к прерыванию приема/передачи.
Остальные биты регистров зарезервированы		

Таблица А11.5 – Регистр управления линией

LCR_H		Сброс: 00000000h
Поле	Биты	Описание
1	2	3
SPS	7	Бит разрешения передачи бита четности с фиксированным значением. Состояние бита не важно, если бит PEN сброшен
		0 Запрещено
	1	На месте бита четности передается инверсное значение бита EPS, оно же проверяется при приеме данных. При EPS = 0 на месте бита четности передается единица. При EPS = 1 на месте бита четности передается ноль.
WLEN	6-5	Поле количества передаваемых/принимаемых информационных бит
		00 5 бит
		01 6 бит
		10 7 бит
	11 8 бит	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А11.5

1	2	3
FEN	4	Бит включения режима FIFO буфера приемника и передатчика
		0 Выключен
		1 Включен
STP2	3	Бит выбора режима передачи стопового бита
		0 Один стоповый бит
		1 Два стоповых бита
		Примечание – Приемник не проверяет наличие дополнительного стопового бита в кадре
EPS	2	Бит паритета Состояние бита не важно, если бит PEN сброшен
		0 Бит четности дополняет количество единиц в информационной части кадра до нечетного числа
		1 Бит четности дополняет количество единиц в информационной части кадра до четного числа
PEN	1	Бит включения проверки четности
		0 Выключена. Кадр не содержит бита четности
		1 Включена. Бит четности передается в кадре и проверяется при приеме данных
BRK	0	Флаг разрыва линии
		0 Нормальная работа
		1 Если бит установлен, то по завершении передачи текущего символа на выходе передатчика устанавливается низкий уровень сигнала. Для правильного выполнения этой операции программное обеспечение должно обеспечить передачу сигнала разрыва в течение, как минимум, времени передачи двух информационных кадров.
–	31-8	Зарезервировано
Примечание – Дополнительная информация о комбинациях состояний битов SPS, EPS и PEN для контроля паритета представлена в таблице А11.6		

Таблица А11.6 – Зависимость бита паритета от состояния битов регистра LCR_H

Биты регистра LCR_H			Наличие и состояние бита паритета
SPS	EPS	PEN	
Не важно	Не важно	0	Не передается, не проверяется
0	0	1	Проверка нечетности слова данных
0	1	1	Проверка четности слова данных
1	0	1	Бит четности постоянно равен единице
1	1	1	Бит четности постоянно равен нулю

Инд. № подл.	Подп. и дата
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	

Таблица А11.7 – Регистр управления

CR		Сброс: 00000000h													
Поле	Биты	Описание													
1	2	3													
CTSEN	15	Бит разрешения управления потоком данных по линии CTS													
		0	Запрещено												
		1	Разрешено. Данные передаются в линию только при активном значении сигнала UART_CTS												
RTSEN	14	Бит разрешения управления потоком данных по линии RTS													
		0	Запрещено												
		1	Разрешено. Запрос данных от внешнего устройства осуществляется только при наличии свободного места в буфере приемника												
OUT2	13	Бит включения инверсии сигнала на линии состояния модема UART_OUT2. В режиме оконечного устройства эта линия может использоваться в качестве линии «сигнал вызова».													
		0	Прямой сигнал												
		1	Инвертированный сигнал												
OUT1	12	Бит включения инверсии сигнала на линии состояния модема UART_OUT1. В режиме оконечного устройства эта линия может использоваться в качестве линии «обнаружен информационный сигнал».													
		0	Прямой сигнал												
		1	Инвертированный сигнал												
RTS	11	Бит включения инверсии сигнала на линии состояния модема UART_RTS													
		0	Прямой сигнал												
		1	Инвертированный сигнал												
DTS	10	Бит включения инверсии сигнала на линии состояния модема UART_DTR													
		0	Прямой сигнал												
		1	Инвертированный сигнал												
RXE/ TXE	9/ 8	Бит разрешения приема/передачи													
		0	Запрещено												
		1	Разрешено												

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А11.7

1	2	3
UARTEN	0	Бит разрешения работы приемопередатчика
		0 Запрещено
		1 Разрешено
–	31-16, 7-1	Зарезервировано

Таблица А11.8 – Регистр порога прерывания по заполнению буфера в режиме FIFO

IFLS		Сброс: 00000012h
Поле	Биты	Описание
RXIFLSEL/ TXIFLSEL	5-4/ 2-0	Порог заполнения буфера приемника/передатчика, по достижении которого будет генерироваться прерывание
		000 Заполнение на 1/8
		001 Заполнение на 1/4
		010 Заполнение на 1/2 (по умолчанию)
		011 Заполнение на 3/4
		100 Заполнение на 7/8
		Остальные комбинации зарезервированы
–	31-6	Зарезервировано

Таблица А11.9 – Регистр прерываний

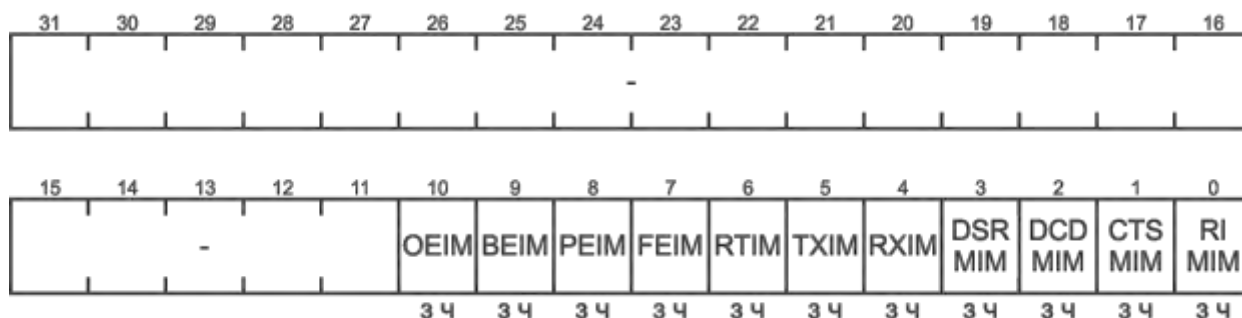
Регистр состояния прерываний		Сброс: 0000000xh
RIS		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

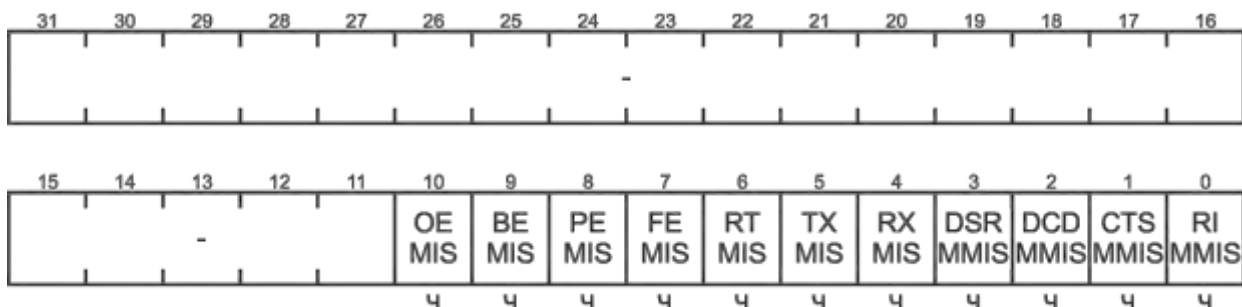
Продолжение таблицы А11.9

Регистр маски прерываний
IMSC

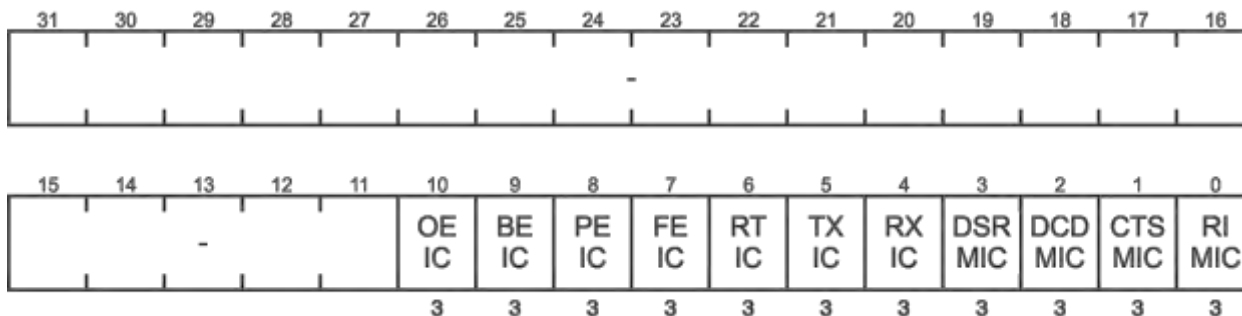
Сброс: 00000000h

Регистр состояния прерываний с маскированием
MIS

Сброс: 00000000h

Регистр сброса прерываний
ICR

Сброс: 00000000h



Поле	Бит	Описание
OE	10	Переполнение буфера приемника
BE	9	Разрыв линии
PE	8	Ошибка контроля четности
FE	7	Ошибка в структуре кадра
RT	6	Таймаут приема данных
TX	5	Порог опустошения буфер передатчика
RX	4	Порог переполнения буфера приемника
DSR	3	Изменение состояния линии UART_DSR
DCD	2	Изменение состояния линии UART_DCD
CTS	1	Изменение состояния линии UART_CTS
RI	0	Изменение состояния линии UART_RI

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А11.9

–	31-11	Зарезервировано
<p>Функционирование регистров. При возникновении прерываний устанавливаются соответствующие им немаскируемые флаги в регистре RIS. Установка бит в регистре IMSC формирует маску. В регистре MIS устанавливаются только те флаги, которые не закрыты маской регистра IMSC. Запись единиц в биты регистра ICR сбрасывает соответствующие им флаги в регистрах RIS и MIS, а также прерывания, вызвавшие установку этих флагов.</p>		

Таблица А11.10 – Регистр управления прямым доступом к памяти

DMACR		Сброс: 00000000h
Поле	Бит	Описание
DMAONERR	2	Бит управления блокированием запросов DMA от приемника RXDMASREQ и RXDMABREQ в случае возникновения прерывания по ошибке
		0 Выключено 1 Включено
TXDMAE/ RXDMAE	1/ 0	Бит разрешения формирования запросов DMA для обслуживания буфера передатчика/приемника
		0 Запрещено 1 Разрешено
–	31-3	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

A12 Регистры контроллера ШИМ

Таблица А12.1. – Регистр управления таймером

ТВCTL		Сброс: 00000000h	
<div style="text-align: center;"> 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 </div> <div style="text-align: center; border: 1px solid black; height: 20px; width: 100%; margin: 5px 0;">-</div> <div style="text-align: center;"> 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 </div> <div style="display: flex; justify-content: space-between; text-align: center; border: 1px solid black; padding: 2px;"> FREE/SOFT PHS DIR CLKDIV HSPCLKDIV HSP CLK DIV SWF SYNC SYNCOSEL PRD LD PHS EN CTRMODE </div> <div style="display: flex; justify-content: space-between; text-align: center; border: 1px solid black; padding: 2px;"> 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3 4 </div>			
Поле	Биты	Описание	
1	2	3	
FREE/ SOFT	15-14	Режим программной эмуляции. Поле задания поведения таймера по заданным событиям.	
		00	Останавливает счетчик Таймера со следующего такта ТВCLK
		01	Останавливает счетчик Таймера в конце периода
		10, 11	Зарезервировано
PHSDIR	13	Индикатор фазового направления (используется только при двунаправленном счете). Показывает направление счета после синхронизации. Загружается вместе с регистром фазы ТВPHS	
		0	Вверх
		1	Вниз
CLKDIV	12-10	Поле задания первого делителя тактовой частоты	
		000	1
		001	1/2
		010	1/4
		011	1/8
		100	1/16
		101	1/32
		110	1/64
HSPCLKDIV	9-7	Поле задания второго делителя тактовой частоты. Конечное значение делителя является произведением значений делителей, задаваемых полями CLKDIV и HSPCLKDIV	
		000	1
		001	1/2
		010	1/4
		011	1/6
		100	1/8
		101	1/10
		110	1/12
	111	1/14	

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А12.1

1	2	3	
SWFSYNC	6	Бит программной эмуляция появления синхроимпульса	
		0	Нет действий
		1	Запись единицы вызывает появление синхроимпульса в цепи PWM_SYNCI
SYNCOSEL	5-4	Поле выбора источника для выходного сигнала синхронизации PWM_SYNCO	
		00	PWM_SYNCI
		01	CTR = 0000h
		10	CTR = CMPB
		11	Выдача синхроимпульса запрещена
PRDL D	3	Бит управления загрузкой регистра TBPRD	
		0	Режим отложенной загрузки регистра TBPRD разрешен
		1	Запись в TBPRD будет произведена сразу в активный регистр
PHSEN	2	Бит разрешения загрузки счетчика таймера	
		0	Запрещено
		1	Разрешена загрузка счетчика TBCTR значением регистра фазы TBPHS при получении события синхронизации (импульс на входе PWM_SYNCI или запись в бит SWFSYNC)
CTRM ODE	1-0	Поле задания направления счета	
		00	Вверх
		01	Вниз
		10	Вверх-вниз
		11	Счетчик остановлен
–	31-16	Зарезервировано	

Таблица А12.2 – Регистр статуса таймера

Поле	Бит	Описание
1	2	3
CTRMAX	2	Флаг достижения счетчиком таймера своего максимального значения FFFFh
	0	Значение не достигнуто или флаг был сброшен
	1	Значение было достигнуто
		Запись единицы сбрасывает флаг

TBSTS		Сброс: 00000000h													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-													CTR MAX	SYN CI	CTR DIR
													4	4	4

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата
Инд. № подл.	Инд. № дубл.

Окончание таблицы А12.2

1	2	3
SYNCI	1	Флаг синхронизации
		0 Синхронизация не достигнута или флаг был сброшен
		1 Синхронизация произошла
		Запись единицы сбрасывает флаг
CTRDIR	0	Флаг направление счета таймера
		0 Вниз
		1 Вверх
–	31-3	Зарезервировано

Таблица А12.3 – Регистр фазы

Поле	Биты	Описание
<p>ТВРНС Сброс: 00000000h</p> <p>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <p>ТВРНС</p> <p>3 ч</p> <p>15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>ТВРНСHR</p> <p>3 ч</p>		
ТВРНС	31-16	Поле задания начальной фазы таймера при получении сигнала синхронизации
ТВРНСHR	15-8	Поле дополнительных разрядов начальной фазы таймер. Доступен в блоке ШИМ высокого разрешения. Если бит PHSEN сброшен, то синхронизация отключена, и таймер не будет загружаться значением ТВРНС. Если бит PHSEN установлен, то по получению события синхронизации в счетчик таймера ТВСТР будет загружено значение ТВРНС.
–	7-0	Зарезервировано

Таблица А12.4 – Регистр текущего значения таймера

Поле	Биты	Описание
<p>ТВСТР Сброс: 00000000h</p> <p>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <p>ТВСТР</p> <p>3 ч</p> <p>15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>ТВСТР</p> <p>3 ч</p>		
–	–	–

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

Окончание таблицы А12.4

Поле	Биты	Описание
TBCTR	15-0	Текущее значение счетчика таймера. Запись в регистр изменяет значение таймера. Запись происходит асинхронно с TBLK и не использует отложенный механизм загрузки
–	7-0	Зарезервировано

Таблица А12.5 – Регистр максимального значения таймера

Поле	Биты	Описание
TBPRD	15-0	Период таймера (максимальное значение счета таймера). Отложенная загрузка в этот регистр программируется битом PRDLД регистра TBCTL. По умолчанию бит PRDLД сброшен и запись в регистр TBPRD приводит к записи в теневой регистр. Активный регистр будет загружен по событию TBCTR = Zero. Если бит PRDLД установлен, то запись выполняется напрямую в активный регистр.
–	31-16	Зарезервировано

TBPRD

Сброс: 00000000h

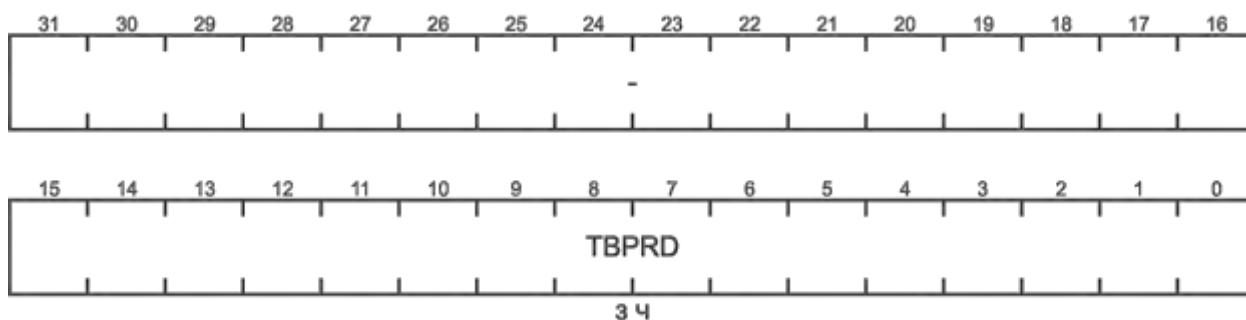
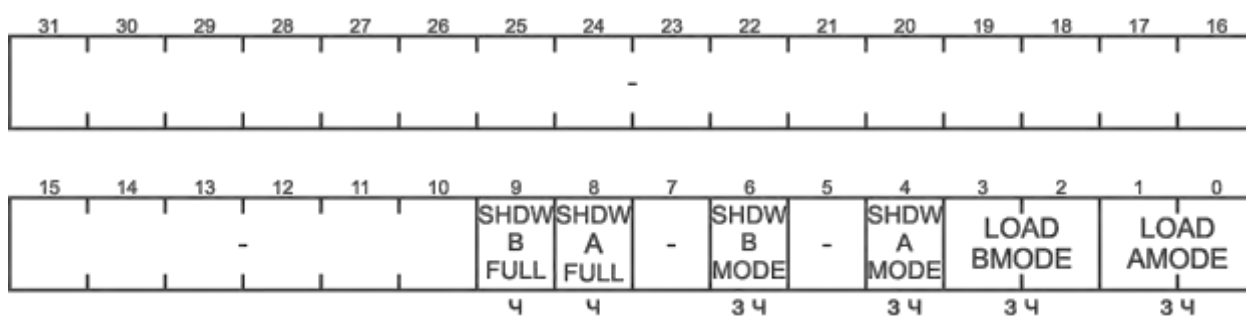


Таблица А12.6 – Регистр управления компаратором

Поле	Биты	Описание
SHDWB FULL	9	Флаг отложенной загрузки в регистр CMPB 0 Нет действий 1 Активный регистр загружен значением из теневого регистра
SHDWA FULL	8	Флаг отложенной загрузки в регистр CMPA 0 Нет действий 1 Активный регистр загружен значением из теневого регистра

CMPCTL

Сброс: 00000000h



Инд. № подл.	Взам. инв. №	Инд. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------

Окончание таблицы А12.6

1	2	3
SHDWBMODE	6	Бит управления загрузкой регистра CMPB
		0 Значение, записываемое в регистр CMPB, размещается в теновом регистре (отложенная загрузка)
		1 Производится загрузка напрямую в активный регистр
SHDWAMODE	4	Бит управления загрузкой регистра CMPA
		0 Значение, записываемое в регистр CMPA, размещается в теновом регистре (отложенная загрузка)
		1 Производится загрузка напрямую в активный регистр
LOADBMODE	3-2	Поле задания события загрузки отложенного значения в регистр CMPB (при условии, что бит SHDWBMODE сброшен)
		00 CTR = Zero
		01 CTR = PRD
		10 CTR = Zero или CTR = PRD
		11 Загрузка запрещена
LOADAMODE	1-0	Поле задания события загрузки отложенного значения в регистр CMPA (при условии, что бит SHDWAMODE сброшен)
		00 CTR = Zero
		01 CTR = PRD
		10 CTR = Zero или CTR = PRD
		11 Загрузка запрещена
–	31-10, 7, 5	Зарезервировано

Таблица А12.7 – Регистр порога срабатывания А

Поле	Биты	Описание
<p>СМРА Сброс: 00000000h</p> <p>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <p style="text-align: center;">СМРА</p> <p style="text-align: center;">34</p> <p>15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p style="text-align: center;">СМРАНР</p> <p style="text-align: center;">34</p>		
СМРА	31-16	Активное значение порога срабатывания канала А, которое сравнивается со значением счетчика таймера. При совпадении значений формируется событие CTR = СМРА, которое влияет на поведение сигналов на линиях РWМА и РWМВ.
СМРАНР	15-8	Дополнительные младшие биты значения порога срабатывания канала А (используются только для блока ШИМ высокого разрешения). Отложенная загрузка включается и работает также как и для поля СМРА.
–	7-0	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А12.8 – Регистр порога срабатывания В

CMPB		Сброс: 00000000h
Поле	Биты	Описание
CMPB	15-0	Активное значение порога срабатывания канала В, которое сравнивается со значением счетчика таймера. При совпадении значений формируется событие $CTR = CMPB$, которое влияет на поведение сигналов на линиях PWMA и PWMB.
–	31-16	Зарезервировано

Таблица А12.9 – Регистр обработчика для выхода А/В

AQCTLA / AQCTLB		Сброс: 00000000h
Поле	Биты	Описание
CBD	11-10	Действие на выводе PWMA/PWMB при $CTR = CMPB$ при счете вниз
CBU	9-8	Действие на выводе PWMA/PWMB при $CTR = CMPB$ при счете вверх
CAD	7-6	Действие на выводе PWMA/PWMB при $CTR = CMPA$ при счете вниз
CAU	5-4	Действие на выводе PWMA/PWMB при $CTR = CMPA$ при счете вверх
PRD	3-2	Действие на выводе PWMA/PWMB при $CTR = PRD$
ZRO	1-0	Действие на выводе PWMA/PWMB при $CTR = Zero$
–	31-12	Зарезервировано
<p>Для каждого события может быть задано одно из четырех действий:</p> <ul style="list-style-type: none"> 00 – Нет реакции; 01 – Переключение PWMA/PWMB в ноль; 10 – Переключение PWMA/PWMB в единицу; 11 – Инверсия PWMA/PWMB. 		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А12.10 – Регистр программного управления однократным действием

AQSFRC		Сброс: 00000000h																											
														31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
														15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														3 4		3 4		3 4		3 4		3 4							
Поле	Биты	Описание																											
RLDCSF	7-6	Выбор действия с выходным сигналом на выводе																											
		00	Загрузка по значению счетчика равного нулю																										
		01	Загрузка по значению счетчика, равного периоду																										
		10	Загрузка по значению счетчика равного нулю или периоду																										
		11	Немедленное обновление																										
OTSFB	5	Запись единицы инициирует однократный импульс – событие для формирования выхода																											
ACTSFB	4-3	Выбор действия с выходным сигналом на выводе																											
		00	Нет действий																										
		01	PWMB = 0																										
		10	PWMB = 1																										
		11	Инверсия EPWMB																										
OTSFA	2	Запись единицы инициирует однократный импульс – событие для формирования выхода																											
ACTSFA	4-3	Выбор действия с выходным сигналом на выводе																											
		00	Нет действий																										
		01	PWMA = 0																										
		10	PWMA = 1																										
		11	Инверсия PWMA																										
–	31-16	Зарезервировано																											

Таблица А12.11 – Регистр обработчика для циклического программного управления

AQCSFRC		Сброс: 00000000h																											
														31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
														15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														3 4		3 4													

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А12.11

Поле	Биты	Описание
CSFB/ CSFA	3-2/ 1-0	Поле задания циклического воздействия на выход PWMB/PWMA
–	31-4	Зарезервировано

Может быть задано одно из четырех воздействий:
00 – Нет реакции;
01 – Значение 0 на выходе PWMB/PWMA;
10 – Значение 1 на выходе PWMB/PWMA;
11 – Нет реакции.

Таблица А12.12 – Регистр управления генератором мертвого времени ШИМ

Поле	Биты	Описание
DBCTL		Сброс: 00000000h
IN_MODE	5-4	Поле выбора источника для контроля по фронту и срезу. Старший бит поля управляет ключом S5, младший – ключом S4 (см. рисунок 14.12)
	00	Сигнал PWMA используется для контроля по переднему и заднему фронтам
	01	Сигнал PWMA используется для контроля по заднему фронту, а сигнал PWMB – по переднему
	10	Сигнал PWMA используется для контроля по переднему фронту, а сигнал PWMB – по заднему
	11	Сигнал PWMB используется для контроля по переднему и заднему фронтам
POLSEL	3-2	Поле задания полярности сигнала на выходе. Старший бит поля управляет ключом S3, а младший – ключом S2 (см. рисунок 14.12)
	00	Инверсия запрещена
	01	Инверсия только на выводе PWMA
	10	Инверсия только на выводе PWMB
	11	Инверсия на выводах PWMA и PWMB
OUT_MODE	1-0	Поле выбора фронта, для которого включена задержка («мертвое» время). Старший бит поля управляет ключом S1, а младший – ключом S0 (см. рисунок 14.12)
	00	Не задано
	01	Задний фронт PWMB
	10	Передний фронт PWMA
	11	Передний фронт PWMA и задний фронт PWMB

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата

–	31-6	Зарезервировано
---	------	-----------------

Таблица А12.13 – Регистр управления «мертвым» временем

DBRED		Сброс: 00000000h
DBFED		Сброс: 00000000h
Поле	Биты	Описание
DEL (DBRED)	9-0	Величина задержки переднего фронта для генератора «мертвого» времени ШИМ (в периодах тактового сигнала TBCLK)
DEL (DBFED)	9-0	Величина задержки заднего фронта для генератора «мертвого» времени ШИМ (в периодах тактового сигнала TBCLK)
–	31-10	Зарезервировано

Таблица А12.14 – Регистр источника сигнала аварии

TZSEL		Сброс: 00000000h	
Поле	Бит	Описание	
OSHTn	13-8	Бит разрешения источника сигнала аварии с вывода PWM_TZn в однократном режиме	
		0	Запрещено
		1	Разрешено
CBCn	5-0	Бит разрешения источника сигнала аварии с вывода PWM_TZn в циклическом режиме	
		0	Запрещено
		1	Разрешено
–	31-14, 7, 6	Зарезервировано	
Примечание: n – порядковый номер от 1 до 6			

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А12.15 – Регистр управления детектором сигнала аварии

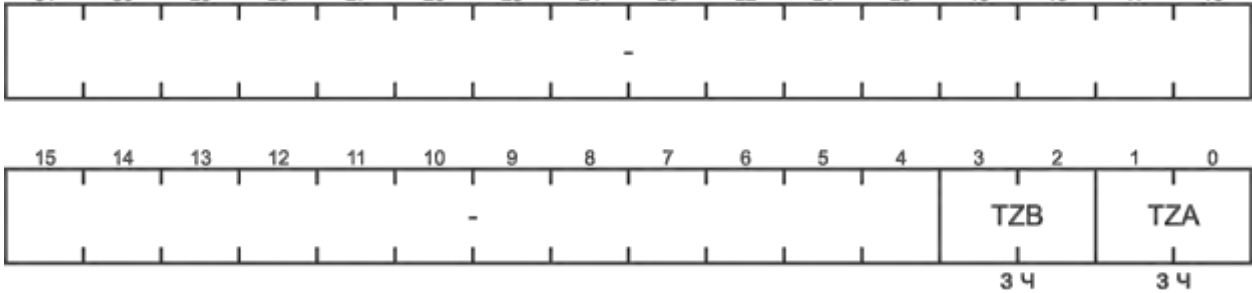
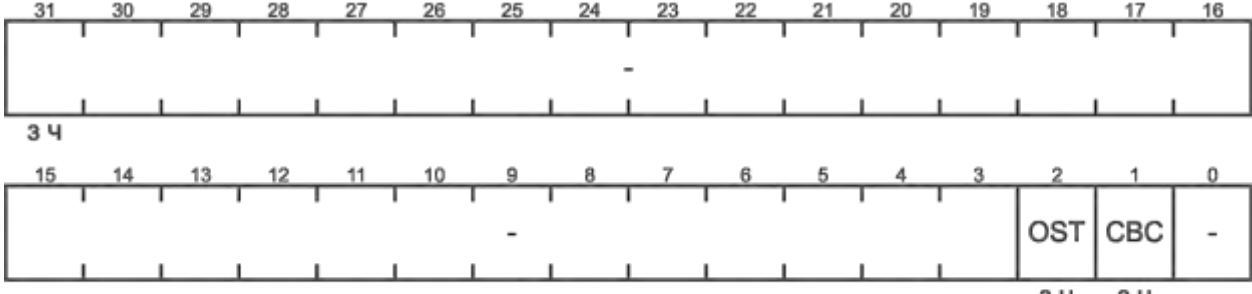
TZCTL		Сброс: 00000000h
		
Поле	Биты	Описание
TZB/ TZA	3-2/ 1-0	Поле задания поведения вывода PWM_V/PWM_A в случае получения сигнала аварии. Источник сигнала аварии при этом определяется регистром TZSEL
		00 Переключение в третье состояние
		01 Переключение в единицу
		10 Переключение в ноль
		11 Нет действий
–	31-4	Зарезервировано

Таблица А12.16 – Регистр маски прерываний детектора сигнала аварии

TZEINT		Сброс: 00000000h
		
Поле	Бит	Описание
OST	2	Бит разрешения генерации прерывания в однократном режиме обработки аварии
		0 Запрещено
		1 Разрешено
CBC	1	Бит разрешения генерации прерывания в циклическом режиме обработки аварии
		0 Запрещено
		1 Разрешено
–	31-3, 0	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А12.17 – Регистр флагов прерываний детектора сигнала аварии

TZFLG		Сброс: 00000000h
Поле	Бит	Описание
OSHT	2	Флаг прерывания в однократном режиме обработки аварии
		0 Нет прерывания
		1 Запрос на прерывание
		При этом действие на выходе продолжается вплоть до обнуления счетчика таймера, если сигнал аварии не перестал быть активным к этому моменту. Если флаг сброшен, а источник сигнала аварии остался, флаг установится снова
CBC	1	Флаг прерывания в циклическом режиме обработки аварии
		0 Нет прерывания
		1 Запрос на прерывание
		При этом действие на выходе продолжается вплоть до обнуления счетчика таймера, если сигнал аварии не перестал быть активным к этому моменту. Если флаг сброшен, а источник сигнала аварии остался, флаг установится снова
INT	0	Флаг внешнего прерывания NVIC
		0 Нет прерывания
		1 Запрос на прерывание
		Если флаг был сброшен, а один из флагов CBC или OST установлен, флаг установится снова
–	31-3	Зарезервировано

Таблица А12.18 – Регистр сброса флагов прерываний детектора сигнала аварии

TZCLR		Сброс: 00000000h

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А12.18

Поле	Бит	Описание
OST	2	Бит сброса флага прерывания в однократном режиме обработки аварии. Запись единицы сбрасывает бит OST в регистре TZFLG
CBC	1	Бит сброса флага прерывания в циклическом режиме обработки аварии. Запись единицы сбрасывает бит CBC в регистре TZFLG
INT	0	Бит сброса флага внешнего прерывания NVIC. Запись единицы сбрасывает бит INT в регистре TZFLG
–	31-3	Зарезервировано

Таблица А12.19 – Регистр программной эмуляции сигнала аварии

Поле	Бит	Описание
OSHT	2	Бит программной генерации сигнала аварии в однократном режиме. Запись единицы устанавливает бит OST в регистре TZFLG
CBC	1	Бит программной генерации сигнала аварии в циклическом режиме. Запись единицы устанавливает бит CBC в регистре TZFLG
–	31-3, 0	Зарезервировано

Таблица А12.20 – Регистр источника триггера событий

Поле	Биты	Описание
3SOCBEN/ SOCAEN	15/ 11	Бит разрешения генерации внешнего сигнала PWM_SOCB/ PWM_SOCA для запуска АЦП
	0	Запрещено
	1	Разрешено

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А12.20

1	2	3	
SOCBSEL/ SOCASEL/ INTSEL	14-12/ 10-8/ 2-0	Поле выбора события, по которому будет сформирован импульс PWM_SOCB/PWM_SOCA/PWM_INT	
		000	Зарезервировано
		001	CTR = Zero
		010	CTR = PRD
		011	Зарезервировано
		100	CTR = CMPA при счете вверх
		101	CTR = CMPA при счете вниз
		110	CTR = CMPB при счете вверх
111	CTR = CMPB при счете вниз		
INTEN	3	Бит разрешения генерации внешнего прерывания PWM_INT	
		0	Запрещено
		1	Разрешено
–	31-16, 7-4	Зарезервировано	

Таблица А12.21 – Регистр предделителя триггера событий

Поле	Биты	Описание
1	2	3
SOCBCNT/ SOCACNT	15-14/ 11-10	Счетчик событий сигнала PWM_SOCB/ PWM_SOCA
		00 Не было ни одного события
		01 Одно событие
		10 Два события
		11 Три события
SOCBPRD/ SOCAPRD	13-12/ 9-8	Поле задания количества событий, заданных полем SOCBSEL/SOCASEL регистра ETSEL, по которым будет сформирован сигнал запуска АЦП PWM_SOCB/PWM_SOCA. Для разрешения генерации сигнала нужно установить бит SOCBEN/ SOCAEN регистра ETSEL. Сигнал будет сформирован, даже если флаг SOCB/SOCA (регистр ETFLG) предыдущего сигнала не был сброшен. Как только сигнал PWM_SOCB/PWM_SOCA отправлен, счетчик SOCBCNT/SOCACNT автоматически сбрасывается.
		00 Выдача сигнала PWM_SOCBA/PWM_SOCA запрещена
		01 По первому событию (SOCBCNT/SOCACNT = 01)
		10 По второму событию (SOCBCNT/SOCACNT = 10)

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

		11	По третьему событию (SOCBCNT/SOCACNT = 11)
<i>Окончание таблицы А12.21</i>			
1	2	3	
INTCNT	3-2	Значение счетчика событий прерываний	
		00	Не было ни одного события
		01	Одно событие
		10	Два события
		11	Три события
		Счетчик автоматически сбрасывается, когда сформировано прерывание и перестает считать, когда достигает значения INTPRD	
INTPRD	1-0	Поле задания количества событий, заданных полем INTSEL регистра ETSEL, по которым будет сформировано внешнее прерывание PWM_INT. Для разрешения генерации прерывания нужно установить бит INTEN в регистре ETSEL. Если флаг прерывания INT (регистр ETFLG) установлен от предыдущего прерывания, то текущее прерывание не будет активировано до сброса этого флага (сбрасывается записью единицы в бит INT регистра ETCLR). Такой механизм позволяет обрабатывать одно прерывание, в то время как другое ждет своей очереди.	
		00	Прерывания запрещены
		01	Прерывания по первому событию (INTCNT = 01)
		10	Прерывания по второму событию (INTCNT = 10)
		11	Прерывания по третьему событию (INTCNT = 11)
–	31-16, 7-4	Зарезервировано	

Таблица А12.22 – Регистр флагов триггера событий

ETFLG		Сброс: 00000000h	
Поле	Бит	Описание	
SOCB/ SOCA/ INT	3/ 2/ 0	Флаг внешнего сигнала АЦП PWM_SOCB/PWM_SOCA/PWM_INT	
		0	Не установлен или сброшен
		1	Установлен
–	31-4, 1	Зарезервировано	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А12.23 – Регистр сброса флагов триггера событий

ETCLR													Сброс: 00000000h						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
-																			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SOC B	SOC A	-	INT
												4	4	4					
Поле	Бит	Описание																	
1	2	3																	
SOCB/ SOCA/ INT	3/ 2/ 0	Бит сброса флага SOCB/SOCA /INT в регистре ETFLG																	
		0	Нет действий																
		1	Запись единицы сбрасывает флаг																
–	31-4, 1	Зарезервировано																	

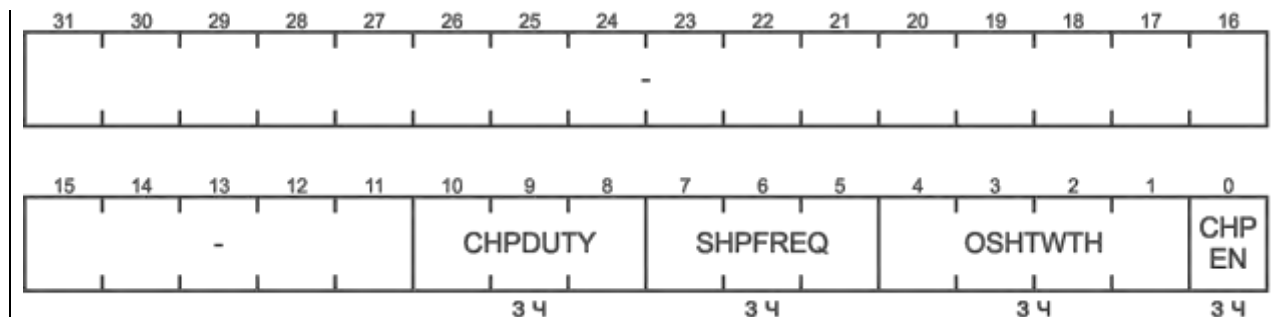
Таблица А12.24 – Регистр программной эмуляции флагов триггера событий

ETFRC													Сброс: 00000000h						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
-																			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SOC B	SOC A	-	INT
												4	4	4					
Поле	Бит	Описание																	
SOCB/ SOCA/ INT	3/ 2/ 0	Бит установки флага SOCB/SOCA/INT в регистре ETFLG																	
		0	Нет действий																
		1	Запись единицы устанавливает флаг																
–	31-4, 1	Зарезервировано																	

Таблица А12.25 – Регистр управления модулятором

PCCTL													Сброс: 00000000h		
--------------	--	--	--	--	--	--	--	--	--	--	--	--	------------------	--	--

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата



Окончание таблицы А12.25

Поле	Биты	Описание	
CHPDUTY	10-8	Поле задания скважности второго и последующих импульсов	
		000	1/8 (13.5%),
		001	2/8 (25.0%)
	
		110	7/8 (87.5%),
	111	Зарезервировано	
SHPFREQ	7-5	Поле выбора делителя частоты синхронизации для задания частоты второго и последующих импульсов.	
		000	1
		001	1/2
	
		110	1/7
	111	1/8	
OSHTWTH	4-1	Поле задания ширины первого импульса	
		0h	$1 \times f_{clk}/8$
		1h	$2 \times f_{clk}/8$
	
		Eh	$15 \times f_{clk}/8$
	Fh	$16 \times f_{clk}/8$	
CHPEN	0	Бит разрешения работы модулятора	
		0	Запрещено
		1	Разрешено
-	31-11	Зарезервировано	

Таблица А12.26 – Регистр конфигурации блока ШИМ высокого разрешения

Поле	Биты	Описание
HRCNFG		Сброс: 00000000h
1	2	3
MEP_	23-16	Результат работы схемы коррекции линии задержки

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

ScaleFactor		
HRLOAD	3	Бит выбора события, по которому производится загрузка отложенного значения в активный регистр CMPAHR
	0	Событие CTR = Zero
	1	Событие CTR = PRD. При этом режим отложенной загрузки доступен, только если бит CTLMODE сброшен, а загрузка поля CMPA осуществляется аналогичным образом (в регистре CMPCTL поле LOADMODE = 00/01).

Окончание таблицы А12.26

1	2	3
CTLMODE	2	Бит выбора регистра для задания значение задержки
	0	Поле CMPAHR
	1	Поле ТВPHSHR
EDGMODE	1-0	Поле выбора фронта сигнала ШИМ, который сдвигается линией задержки
	00	Зарезервировано
	01	Передний
	10	Задний
	11	Передний и задний
–	31-24, 15-4	Зарезервировано

Таблица А12.27 – Регистр ширины фильтрации

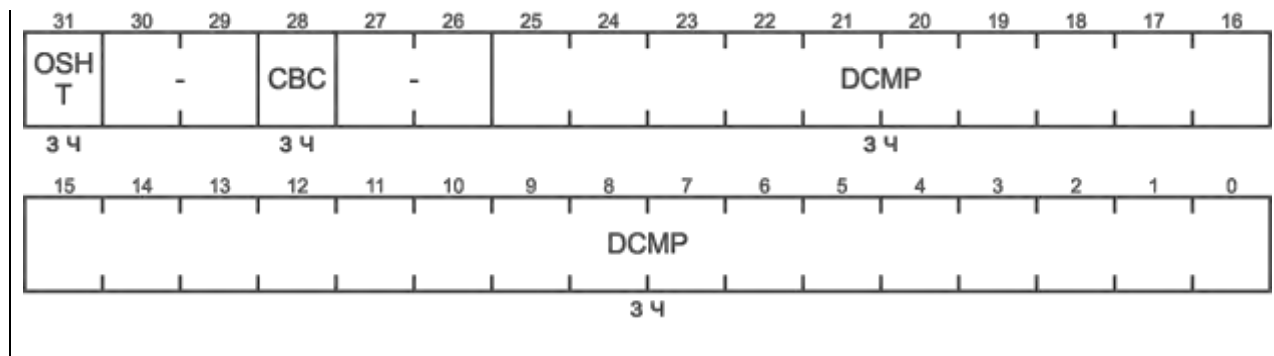
FWDTH		Сброс: 00000000h
Поле	Биты	Описание
FWDTH	7-0	Поле задания ширины фильтрации коротких импульсов (от 0 до 25.6 мкс с шагом 0,1 мкс)
	0h	Фильтр выключен
	1h	Фильтр 0,1 мкс

	Fh	25,6 мкс
–	31-8	Зарезервировано

Таблица А12.28 – Регистр источника сигнала события удержания

HDSEL	Сброс: 00000000h
--------------	------------------

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата
Инд. № подл.	Инд. № дубл.



Окончание таблицы А12.28

Поле	Биты	Описание
OSHT	31	Бит разрешения события по источнику DCMP/ACMP в однократном режиме обработки аварии
		0 Запрещено
		1 Разрешено
CVC	28	Бит разрешения события по источнику DCMP/ACMP в циклическом режиме обработки аварии.
		0 Запрещено
		1 Разрешено
DCMP	25-0	Номер цифрового компаратора блока АЦП, с выхода которого берется сигнал для формирования события удержания.
–	31-29, 27-26	Зарезервировано

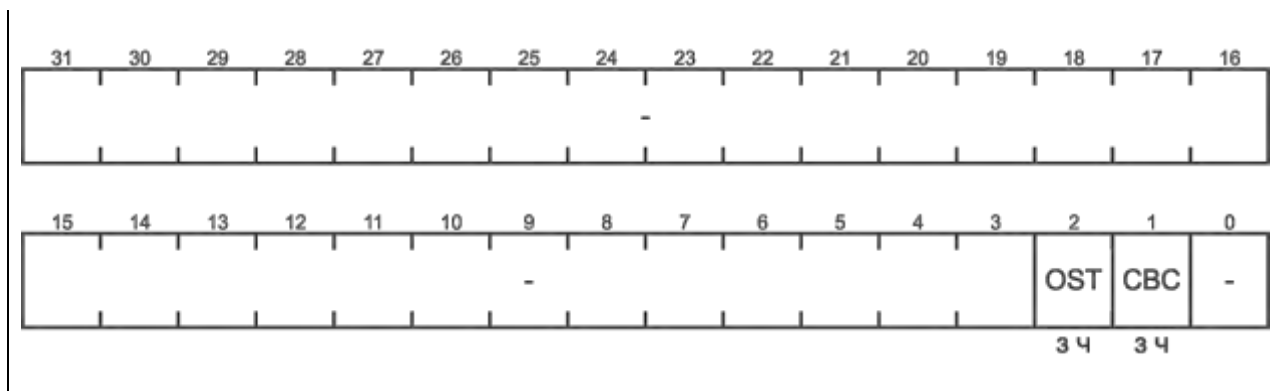
Таблица А12.29 – Регистр управления детектором событий удержания

HDCTL		Сброс: 00000000h
Поле	Биты	Описание
HDB/ HDA	3-2/ 1-0	Поле задания поведения сигнала PWMB/PWMA в случае сбоя (аварии). (Источник сбоя определяется регистром HDSEL)
		00 Зарезервировано
		01 Переключается в состояние единицы
		10 Переключается в состояние нуля
		11 Остается без изменений
–	31-4	Зарезервировано

Таблица А12.30 – Регистр программной активации порогового выключателя

HDFRC	Сброс: 00000000h

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата



Окончание таблицы А12.30

Поле	Бит	Описание
OST	2	Бит активации порогового выключателя в однократном режиме обработки аварии
		0 Нет действий
		1 Запись единицы активирует выключатель и устанавливает флаг OST в регистре HDFLG
CBC	1	Бит активации порогового выключателя в циклическом режиме обработки аварии
		0 Нет действий
		1 Запись единицы активирует выключатель и устанавливает флаг CBC в регистре HDFLG
-	31-3, 0	Зарезервировано

Инва. № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата

А13 Регистры блока захвата

Таблица А13.1 – Регистр блока захвата

Регистр	Назначение	Сброс
TSCTR	32-разрядный регистр счетчика таймера. Запись задает начальное значение таймера. Чтении возвращает текущее значение таймера	00000000h
CTRPHS	32-разрядный регистр отложенной загрузки таймера. Значение из регистра загружается в таймер по событиям SYNCI или под управлением процессора. Регистр используется для синхронизации с другими блоками CAP/PWM.	00000000h
CAP1	32-разрядный регистр захвата 1. Варианты загрузки: - значением таймера в режиме захвата; - значением, задаваемым микропроцессором; - из регистра отложенной загрузки CAP3 в режиме APWM	00000000h
CAP2	32-разрядный регистр захвата 2. Варианты загрузки: - значением таймера в режиме захвата; - значением, задаваемым микропроцессором; - из регистра отложенной загрузки CAP4 в режиме APWM	00000000h
CAP3	32-разрядный регистр захвата 3. Варианты загрузки: - значением таймера в режиме захвата; - значением, задаваемым микропроцессором (в тестовых целях). Регистр используется как регистр отложенной загрузки APRD в режиме APWM.	00000000h
CAP4	32-разрядный регистр захвата 4. Варианты загрузки: - значением таймера в режиме захвата; - значением, задаваемым микропроцессором (в тестовых целях). Регистр используется как регистр отложенной загрузки APRD в режиме APWM	00000000h

Инва. № подл.	Подп. и дата
Взам. инв. №	Инва. № дубл.
Подп. и дата	

Таблица А13.2 – Регистр контроля захвата 1

ЕСCTL1														Сброс: 00000000h		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
-																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FREE/SOFT				PRESCALE				CAP LD EN	CTR RST4	CAP4 POL	CTR RST3	CAP3 POL	CTR RST2	CAP2 POL	CTR RST1	CAP1 POL
3 4				3 4				3 4	3 4	3 4	3 4	3 4	3 4	3 4	3 4	3 4

Окончание таблицы А13.2

Поле	Биты	Описание	
FREE/SOFT	15-14	Режим эмуляции (значение 0x)	
		00	Остановка таймера в режиме эмуляции
		01	Запуск таймера в режиме эмуляции
		10, 11	Нормальный режим работы таймера
PRESCALE	13-9	Предварительный делитель. Если записано значение 00h – делитель выключен.	
CAPLDEN	8	Бит разрешения захвата регистрами CAP1– CAP4	
		0	Запрещено
CTRSTn	7, 5, 3, 1	Бит сброса таймера после события n	
		0	Нет действий
CAPnPOL	6, 4, 2, 0	Бит выбора фронта захвата	
		0	Захват по переднему фронту
–	31-16	1	Захват по заднему фронту
		–	Зарезервировано
Примечание – n – порядковый номер события от 1 до 4			

Таблица А13.3 – Регистр контроля захвата 2

Поле	Бит	Описание						
1		3						
SYNCO_SEL	15-14	<table border="1"> <tr> <td>00</td> <td>Пропуск сигнала синхронизации с входа на выход</td> </tr> <tr> <td>01</td> <td>Передача события CTR = PRD в качестве выходного сигнала синхронизации</td> </tr> <tr> <td>10, 11</td> <td>Запрет выходного сигнала синхронизации</td> </tr> </table>	00	Пропуск сигнала синхронизации с входа на выход	01	Передача события CTR = PRD в качестве выходного сигнала синхронизации	10, 11	Запрет выходного сигнала синхронизации
00	Пропуск сигнала синхронизации с входа на выход							
01	Передача события CTR = PRD в качестве выходного сигнала синхронизации							
10, 11	Запрет выходного сигнала синхронизации							
SYNCI_EN	13	Бит разрешения синхронизации внешним импульсом						
TSCTRSTOP	12	0	Запрещено					
		1	Разрешено					
REARM	11	Бит управления работой таймера						
		0	Остановлен					
–	–	1	Запущен					
		–	Запись единицы запускает следующую последовательность действий: сброс управляющего контроллера, разрешение работы управляющего контроллера, и загрузку регистров захвата.					

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А13.3

1	2	3
STOP_WRAP	10-9	Значение компаратора остановки в одиночном режиме захвата.
		00 Останов при значении счетчика 00
		01 Останов при значении счетчика 01
		10 Останов при значении счетчика 10
		11 Останов при значении счетчика 11
		Примечание – Остановка управляющего контроллера приводит также к блокировке загрузки регистров захвата
CONT/ ONESHT	8	Режим работы захвата
		0 Однократный
APWMPOL	2	Бит задания активного уровня в режиме APWM
		0 Высокий
CAP/APWM	1	0 Работа в режиме захвата. Блокирование сброса таймера по событию CTR = PRD. Блокирование отложенной загрузки CAP1/2. Разрешение захвата CAP1–CAP4. Внешний порт работает на вход.
		1 Работа в режиме APWM. Разрешение сброса таймера по CTR = PRD. Разрешение теневой загрузки CAP1/2. Блокирование захвата CAP1–CAP4. Внешний порт работает на выход.
SWSYNC	0	Межблочная синхронизация таймеров.
		0 Нет действий
		1 Запись единицы загружает значение таймера из отложенного регистра в текущем блоке и всех связанных блоках со сброшенным битом разрешения синхронизации SYNC_SEL.
		Примечание – в режиме APWM синхронизация происходит автоматически по событию CTR = PRD
–	31-16, 7-3	Зарезервировано

Таблица А13.4 – Регистр маски прерываний

Поле	Бит	Описание
1	2	3
CTR=CMP	7	Бит разрешения генерации прерывания по событию CTR = CMP
CTR=PRD	6	Бит разрешения генерации прерывания по событию CTR = PRD
CTROVF	5	Бит разрешения генерации прерывания по событию CTROVF

ECEINT																Сброс: 00000000h			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
-																			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
-								CTR=CMP	CTR=PRD	CTROVF	CEV T4	CEV T3	CEV T2	CET V1	INT				
								3 4	3 4	3 4	3 4	3 4	3 4	3 4	3 4				

Окончание таблицы А13.4

1	2	3
CEVTn	4-1	Бит разрешения генерации прерывания по событию VTn (n от 1 до 4)
INT	0	Бит разрешения прерывания блока
–	31-8	Зарезервировано
Для всех бит: установленный бит разрешает прерывание, а сброшенный – запрещает		

Таблица А13.5 – Регистр статуса прерываний

ECFLG		Сброс: 00000000h
Поле	Бит	Описание
CTR=CMP	7	Флаг прерывания по событию CTR = CMP
		0 Событие не произошло 1 Событие произошло
CTR=PRD	6	Флаг прерывания по событию CTR = PRD
		0 Событие не произошло 1 Событие произошло
CTROVF	5	Флаг прерывания по событию CTROVF
		0 Событие не произошло 1 Событие произошло
CEVTn	4-1	Флаг прерывания по событию CEVTn (n от 1 до 4)
		0 Событие не произошло 1 Событие произошло
–	31-8, 0	Зарезервировано
Примечание – Все флаги сбрасываются записью единиц в биты регистра ECCLR		

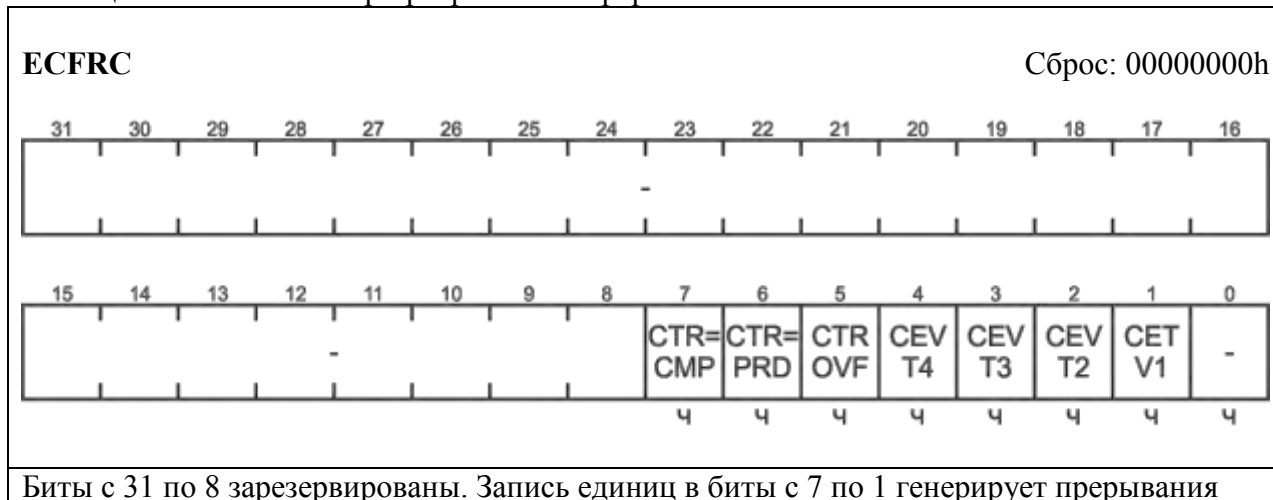
Таблица А13.6 – Регистр сброса прерываний

ECCLR		Сброс: 00000000h
Биты с 31 по 8 зарезервированы. Запись единиц в биты с 7 по 0 сбрасывает		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

соответствующие флаги в регистре ECFLG

Таблица А13.7 – Регистр программных прерываний



Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

A14 Регистры квадратурных декодеров

Таблица А14.1 – 32-разрядные регистры

Регистр	Назначение	Сброс
QPOSCNT	Регистр счета счетчика позиции. Доступен только для чтения.	00000000h
QPOSINIT	Регистр инициализации счетчика позиции	00000000h
QPOSMAX	Регистр максимального значения счетчика позиции	00000000h
QPOSCMP	Регистр сравнения счетчика позиции	00000000h
QPOSILAT	Регистр хранения позиции по индексации Доступен только для чтения.	00000000h
QPOSSLAT	Регистр хранения позиции по стробу Доступен только для чтения.	00000000h
QPOSLAT	Регистр хранения позиции по таймеру временных отсчетов. Доступен только для чтения.	00000000h
QUTMR	Регистр таймера временных отсчетов Доступен только для чтения.	00000000h
QUPRD	Регистр длительности счета таймера временных отсчетов	00000000h
QWDTMR	Регистр счета сторожевого таймера Доступен только для чтения.	00000000h
QWDPRD	Регистр длительности счета сторожевого таймера	00000000h
QCTMR	Регистр таймера блока захвата	00000000h
QCPRD	Регистр длительности измерения блока захвата	00000000h
QCTMRLAT	Регистр хранения таймера блока захвата. Доступен только для чтения.	00000000h
QCPRDLAT	Регистр хранения длительности измерения блока захвата	00000000h
INTCLR	Регистр сброса прерываний декодера	00000000h

Таблица А14.2 – Регистр управления входами

Поле	Биты	Описание
1	2	3
QSRC	15-14	Режим работы
		00 Квадратурный
		01 Счета/направления
		10 Счет вверх (QCLK=xCLK, QDIR=1),
		11 Счет вниз (QCLK=xCLK, QDIR=0).

QDECCTL														Сброс: 00000000h																									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																								
-																																							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	QSRC		SO EN		SP SEL		XCR		SW AP		I GATE		QAP		QBP		QIP		QSP		-			
3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4		3 4									

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А14.2

1	2	3
SOEN	13	Бит разрешения выдачи выходного сигнала компаратора
		0 Запрещено
		1 Разрешено
SPSEL	12	Бит выбора вывода для выдачи выходного сигнала компаратора
		0 Строблирующий вывод
		1 Индексный вывод
XCR	11	Бит выбора фронта квадратурного входа
		0 Передний фронт
		1 Передний и задний фронты
SWAP	10	Бит обмена входов QEPА и QEPВ
		0 Нет действий
		1 Входы QEPА и QEPВ меняются местами
IGATE	9	Бит включения стробирования входного сигнала индексации
		0 Выключено
		1 Включено
QAP	8	Бит включения инвертирования входного сигнала с QEPА
		0 Выключено
		1 Включено
QBP	7	Бит включения инвертирования входного сигнала с QEPВ
		0 Выключено
		1 Включено
QIP	6	Бит включения инвертирования входного сигнала с QEPІ
		0 Выключено
		1 Включено
QSP	5	Бит включения инвертирования входного сигнала с QEPS
		0 Выключено
		1 Включено
–	31-16, 4-0	Зарезервировано

Таблица А14.3 – Регистр управления квадратурного декодера

Поле	Биты	Описание
1	2	3
FREE/ SOFT	15-14	Поле управления счетчиками QPOSCNT, QWDTMR, QUTMR, QCTMR в режиме отладки
		00 Принудительная блокировка счета
		01 Счет до переполнения

QEPCTL														Сброс: 00000000h	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREE/SOFT		PCRM		SEI		IEI		SWI SEL		IEL		QP EN	QC LM	UTE	WDE
3 4		3 4		3 4		3 4		3 4 3 4		3 4		3 4	3 4	3 4	3 4

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

		10, 11	Разблокирование счета
--	--	--------	-----------------------

Окончание таблицы А14.3

1	2	3	
PCRM	13-12	Поле задания события для сброса счетчика позиции	
		00	Событие индексации
		01	Достижение максимальной позиции
		10	Первое событие индексации
		11	Окончание временного отсчета
SEI	11-10	Поле задания события стробирования для инициализации счетчика позиции (QPOSCNT = QPOSINIT)	
		00, 01	Работа без инициализации
		10	Передний фронт сигнала QEPS
		11	Передний фронт QEPS при вращении по часовой стрелке или задний фронт QEPS при вращении против часовой стрелки
IEI	9-8	Поле задания события индексации для инициализации счетчика позиции (QPOSCNT = QPOSINIT)	
		00, 01	Работа без инициализации
		10	По переднему фронту сигнала QEPI
		11	По заднему фронту сигнала QEPI
SWI	7	Бит программной инициализации счетчика позиции. Не сбрасывается аппаратно.	
		0	Нет действий
		1	Запись единицы загружает счетчик позиции QPOSCNT значением QPOSINIT
SEL	6	Бит задания события стробирования для сохранения значения счетчика позиции (QPOSSLAT = POSCNT)	
		0	По переднему фронту QEPS.
		1	По переднему фронту QEPS при вращении по часовой стрелке или по заднему фронту QEPS при вращении против часовой стрелки
IEL	5-4	Поле задания события индексации для сохранения значения счетчика позиции (QPOSILAT = POSCNT)	
		00	Без сохранения
		01	По переднему фронту сигнала индексации
		10	По заднему фронту сигнала индексации
		11	По маркеру индексации
QPEN	3	Бит разрешения работы счетчика позиции	
		0	Запись нуля останавливает счетчик и сбрасывает его
		1	Работа разрешена
QCLM	2	Бит задания события сохранения значения регистров модуля захвата	
		0	По чтению QPOSCNT регистры QCTMR и QCPRD сохраняются в регистры QCTMRLAT и QCPRDLAT соответственно.
		1	По окончанию временного отсчета регистры QPOSCNT, QCTMR и QCPRD сохраняются в регистры QPOSLAT, QCTMRLAT и QCPRDLAT соответственно.
UTE	1	Бит разрешения работы таймера временных отсчетов	
		0	Запрещено
		1	Разрешено
WDE	0	Бит разрешения работы сторожевого таймера	
		0	Запрещено
		1	Разрешено
–	31-16	Зарезервировано	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А14.4 – Регистр захвата

QCAPCTL		Сброс: 00000000h	
Поле	Биты	Описание	
CEN	15	Бит разрешения работы модуля захвата времени	
		0	Запрещено
		1	Разрешено
SELEVNT	7	Бит сброса таймера	
		0	По деленному квадратурному событию
		1	По получении сигнала PCSOUT от Компаратора
CCPS	6-4	Поле задания делителя системного такта	
		000	Нет деления
		001	1/2
		010	1/4
		011	1/8
		100	1/16
		101	1/32
		110	1/64
		111	1/128
UUPS	3-0	Поле задания делителя квадратурного сигнала	
		0h	Нет деления
		1h	1/2
		2h	1/4
		3h	1/8
		4h	1/16
		5h	1/32
		6h	1/64
		7h	1/128
		8h	1/256
		9h	1/512
		Ah	1/1024
		Bh	1/2048
Ch-Fh	Зарезервировано		
-	31-16, 14-8	Зарезервировано	

Инва. № подл.	Подп. и дата
Взам. инв. №	Инва. № дубл.
Подп. и дата	Подп. и дата

Таблица А14.5 – Регистр управления счетчиком позиции

QPOCTL		Сброс: 00000000h														
Поле	Биты	Описание														
PCSHDW	15	Бит разрешения режима отложенной загрузки														
		0	Запрещено													
		1	Разрешено													
PCLOAD	14	Бит выбора события загрузки в режиме отложенной записи														
		0	Загрузка отложенного значения в активный регистр по событию QPOSCNT = 0.													
		1	Загрузка по QPOSCNT = QPOSCMP													
PCPOL	13	Бит выбора полярности выхода синхронизации														
		0	Активная единица													
		1	Активный ноль													
PCE	12	Бит разрешения работы компаратора														
		0	Запрещено													
		1	Разрешено													
PCSPW	11-0	Поле задания ширины импульса выхода синхронизации														
		000h	Отсутствие импульса													
		001h	$2 \times P$													
														
		007h	$8 \times P$													
														
		FFFh	$4096 \times P$													
P – период системного тактового сигнала																
–	31-16	Зарезервировано														

Таблица А14.6 – Регистр масок прерываний

QEINT		Сброс: 00000000h													

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А14.6

Поле	Бит	Описание
UTO	11	Бит разрешения прерывания по срабатыванию таймера временных отсчетов
IEL	10	Бит разрешения прерывания по событию индексации
SEL	9	Бит разрешения прерывания по событию стробирования
PCM	8	Бит разрешения прерывания по срабатыванию компаратора
PCR	7	Бит разрешения прерывания по готовности компаратора к загрузке значения сравнения из отложенного регистра
PCO	6	Бит разрешения прерывания при достижении счетчиком позиции максимального значения QPOS MAX при счете вверх
PCU	5	Бит разрешения прерывания при достижении счетчиком позиции минимального значения при счете вниз
WTO	4	Бит разрешения прерывания при срабатывании сторожевого таймера
QDC	3	Бит разрешения прерывания при смене направления вращения
QPE	2	Бит разрешения прерывания по ошибке фазы на квадратурном входе
PCE	1	Бит разрешения прерывания счетчика позиции
–	31-12, 0	Зарезервировано

Установленный бит разрешает генерирование соответствующего прерывания, сброшенный – запрещает.

Таблица А14.7 – Регистр флагов прерываний

QFLG		Сброс: 00000000h
Поле	Бит	Описание
1	2	3
UTO	11	Флаг прерывания по срабатыванию таймера временных отсчетов
IEL	10	Флаг прерывания по событию индексации
SEL	9	Флаг прерывания по событию стробирования
PCM	8	Флаг прерывания по срабатыванию компаратора
PCR	7	Флаг прерывания по готовности компаратора к загрузке значения сравнения из отложенного регистра
PCO	6	Флаг прерывания при достижении счетчиком позиции максимального значения QPOS MAX при счете вверх
PCU	5	Флаг прерывания при достижении счетчиком позиции минимального значения при счете вниз
WTO	4	Флаг прерывания при срабатывании сторожевого таймера
QDC	3	Флаг прерывания при смене направления вращения
QPE	2	Флаг прерывания по ошибке фазы на квадратурном входе

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

PCE	1	Флаг прерывания ошибки счетчика позиции
<i>Окончание таблицы A14.7</i>		
1	2	3
INT	0	Флаг выходного прерывания блока квадратурного декодера
–	31-12, 0	Зарезервировано
Установленный бит является индикатором запроса соответствующего прерывания. Сброс флагов прерываний осуществляется посредством регистра QCLR		

Таблица A14.8 – Регистр сброса флагов прерываний

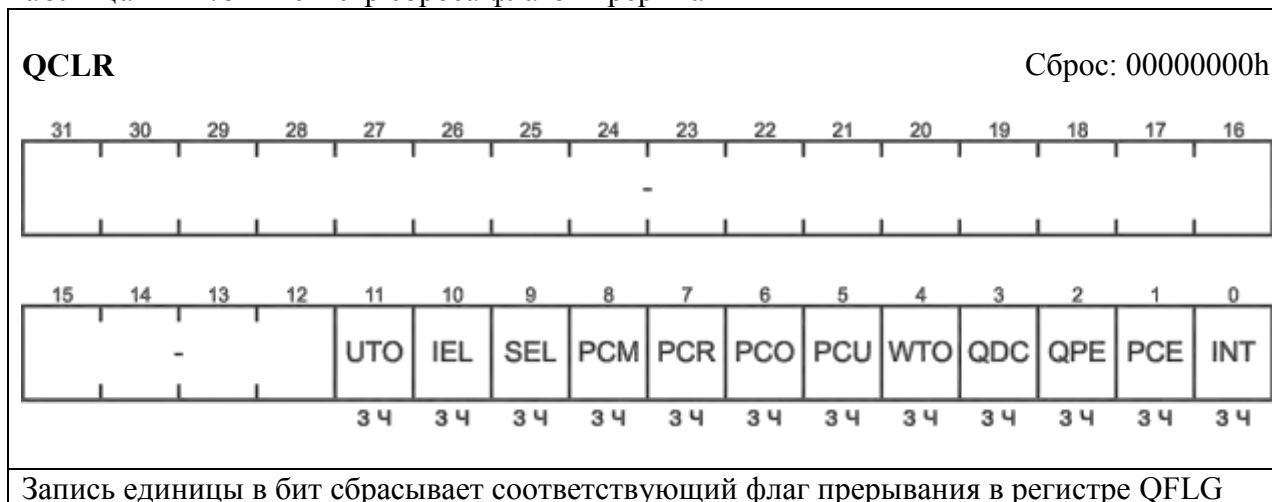


Таблица A14.9 – Регистр эмуляции прерываний

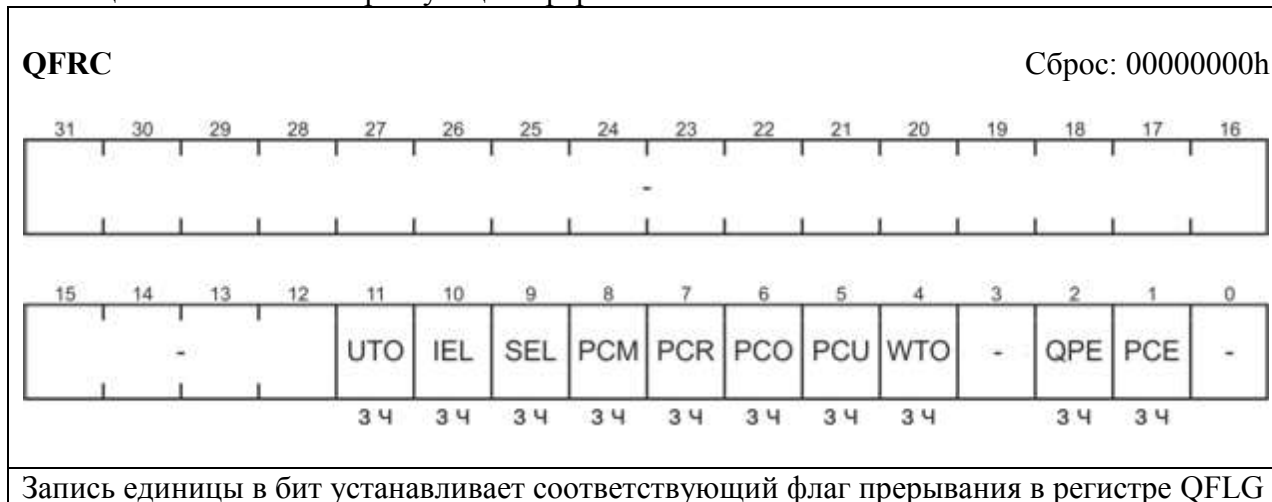
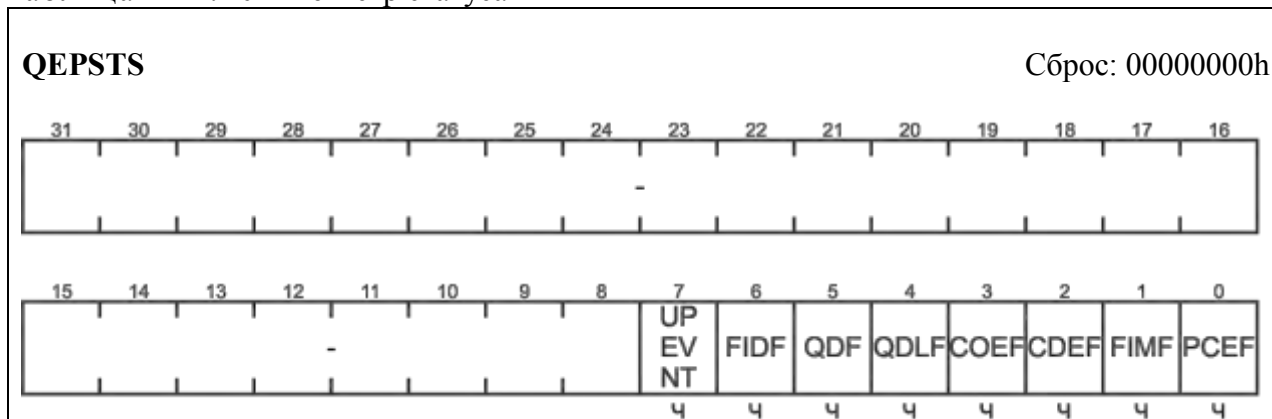


Таблица A14.10 – Регистр статуса



Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А14.10

Поле	Бит	Описание
UPEVNT	7	Флаг сброса QCTMR и обновления QCPRD
		0 Нет событий
		1 Зафиксировано событие сброса и обновления
		Сбрасывается записью 1.
FIDF	6	Индикатор направления вращения по событию первого импульса индексации
		0 Против часовой стрелки (счет вниз)
		1 По часовой стрелке (счет вверх)
		Доступен только для чтения.
QDF	5	Флаг направления вращения. Обновляется по каждому событию на входах квадратур
		0 Вращение вала ротора против часовой стрелки
		1 Вращение вала ротора по часовой стрелке.
		Доступен только для чтения.
QDLF	4	Флаг направления вращения. Обновляется по каждому сигналу индексации.
		0 Вращение вала ротора против часовой стрелки
		1 Вращение вала ротора по часовой стрелке.
		Доступен только для чтения.
COEF	3	Флаг ошибки переполнения счетчика QCTMR модуля захвата
		0 Ошибка отсутствует
		1 Произошло переполнение
		Сбрасывается записью 1
CDEF	2	Флаг ошибки изменения направления вращения вала ротора между двумя событиями UPEVNT
		0 Ошибка отсутствует
		1 Произошло изменение направления вращения во время измерения
		Сбрасывается записью 1
FIMF	1	Флаг приема первого импульса сигнала индексации
		0 Импульсов нет, либо первый импульс уже был принят
		1 Принят первый импульс сигнала индексации
		Сбрасывается записью 1
PCEF	0	Флаг ошибки счетчика позиции. Обновляется по каждому сигналу индексации.
		0 Во время последнего сигнала индексации ошибки не возникло
		1 Ошибка счетчика позиции
		Доступен только для чтения.
–	31-16	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

A15 Регистры загрузочной флеш

Таблица А15.1 – Регистр адреса загрузочной флеш

FMA		A001_C000h	Сброс: 00000000h																																																																																														
<table border="1"> <tr> <td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td> </tr> <tr> <td colspan="12">-</td> <td colspan="3">BOOTFLASHADDR</td> </tr> <tr> <td colspan="12"></td> <td colspan="3">3 4</td> </tr> <tr> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="16">BOOTFLASHADDR</td> </tr> <tr> <td colspan="16">3 4</td> </tr> </table>		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	-												BOOTFLASHADDR															3 4			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	BOOTFLASHADDR																3 4																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																		
-												BOOTFLASHADDR																																																																																					
												3 4																																																																																					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																		
BOOTFLASHADDR																																																																																																	
3 4																																																																																																	
Поле	Биты	Описание																																																																																															
BOOTFLASHADDR	19-0	Адрес, используемый при командах записи и постраничного стирания. Должен быть записан до установки бита выполнения команды записи/стирания. Примечания 1 При команде записи младшие 4 бита не имеют значения. 2 При постраничном стирании младшие 13 бит не имеют значения																																																																																															
–	31-20	Зарезервировано																																																																																															

Таблица А15.2 – Регистры слов данных загрузочной флеш-памяти

FMD1	A001_C004h	Сброс: 00000000h
FMD2	A001_C050h	Сброс: 00000000h
FMD3	A001_C054h	Сброс: 00000000h
FMD4	A001_C058h	Сброс: 00000000h
32-разрядные регистры слов данных, используемые при выполнении команд записи через регистр FMC. Все четыре слова данных должны быть загружены в регистры до установки бита команды записи.		

Таблица А15.3– Регистр команд загрузочной флеш

FMC		A001_C008h	Сброс: 00000000h																																																																																																	
<table border="1"> <tr> <td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td> </tr> <tr> <td colspan="16">MAGIC_KEY</td> </tr> <tr> <td colspan="16">3</td> </tr> <tr> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="10">-</td> <td colspan="2">PAGE ERASE IFB</td> <td colspan="1">-</td> <td colspan="2">FULL PAGE ERASE SE</td> <td colspan="1">PAGE ERASE SE</td> <td colspan="1">WRITE</td> </tr> <tr> <td colspan="10"></td> <td colspan="2">3 3</td> <td colspan="1"></td> <td colspan="2">3 3</td> <td colspan="1">3</td> </tr> </table>		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	MAGIC_KEY																3																15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	-										PAGE ERASE IFB		-	FULL PAGE ERASE SE		PAGE ERASE SE	WRITE											3 3			3 3		3		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																					
MAGIC_KEY																																																																																																				
3																																																																																																				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																					
-										PAGE ERASE IFB		-	FULL PAGE ERASE SE		PAGE ERASE SE	WRITE																																																																																				
										3 3			3 3		3																																																																																					

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы А15.3

Поле	Бит	Описание
MAGIC_KEY	31-16	Код запуска команды. Все команды для вступления в силу должны сопровождаться записью в поле MAGIC_KEY значения А442h. Команды должны выполняться по одной, т.е. запись следующей команды разрешена, только после завершения предыдущей. Одновременная запись нескольких команд приведет к невыполнению ни одной из них и выдаст флаг ошибки. Чтение поля MAGIC_KEY всегда возвращает 0000h.
PAGEERASE_IFB	5	Бит постраничного стирания информационного блока. Данные в регистры FMD1-FMD4 должны быть записаны до установки бита PAGEERASE_IFB. Адрес не важен, поскольку в информационном блоке всего одна страница. Установка бита PAGEERASE_IFB активирует команду постраничного стирания в информационном блоке загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
WRITE_IFB	4	Бит записи в информационный блок. Данные в регистры FMD1-FMD4 и адрес в регистр FMA (разряды с 12 по 4) должны быть записаны до установки бита WRITE_IFB. Установка бита WRITE_IFB активирует команду записи в информационный блок загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
FULL_ERASE	2	Бит стирания основного блока. Установка бита FULL_ERASE активирует команду полного стирания основного блока загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
PAGE_ERASE	1	Бит постраничного стирания основного блока. Данные в регистры FMD1-FMD4 и адрес в регистр FMA (разряды с 19 по 13) должны быть записаны до установки бита PAGE_ERASE. Установка бита PAGE_ERASE активирует команду постраничного стирания в основном блоке загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
WRITE	0	Бит записи в основной блок. Данные в регистры FMD1-FMD4 и адрес в регистр FMA (разряды с 19 по 4) должны быть записаны до установки бита WRITE. Установка бита WRITE активирует команду записи в основной блок загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
—	15-6, 3	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А15.4 – Регистр статуса загрузочной флеш

Поле	Бит	Описание
OP_ERROR	1	Флаг ошибки записи. Устанавливается в случае попытки стирания блок защищенного от записи, попытки записи в не существующий блок либо чтения из несуществующего блока флеш. Флаг сбрасывается записью единицы в соответствующий бит регистра FCIC.
OP_CMLT	0	Флаг завершения операции. Устанавливается по завершении операции чтения/записи/стирания. Флаг сбрасывается записью единицы в соответствующий бит регистра FCIC.
–	31-2	Зарезервировано

Таблица А15.5 – Регистр маски прерываний загрузочной флеш

Поле	Бит	Описание
MASK_OP_CMLT	0	Бит разрешения генерирования прерывания по завершении операции чтения/записи/стирания 0 Запрещено 1 Разрешено
–	31-1	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А15.6 – Регистр сброса флагов статуса загрузочной флеш

Поле	Бит	Описание
CLR_OP_ERR	1	Бит сброса флага ошибки записи. Запись единицы сбрасывает флаг OP_ERROR в регистре FCIS.
CLR_OP_CMLT	0	Бит сброса флага завершения операции. Запись единицы сбрасывает флаг OP_CMLT в регистре FCIS.
–	31-2	Зарезервировано

Таблица А15.7.– Регистры временных параметров загрузочной флеш

Регистр параметра	Назначение параметра	Значение по сбросу при частоте 100 МГц	Диапазон значений при частоте 100 МГц
1	2	3	4
T_ACC	Используется в транзакциях чтения из флеш-памяти, задает задержку от установки адреса, до считывания данных из флеш-памяти	4 такта (40 нс)	4 такта и более
T_NVH	Используется в транзакциях записи и стирания, задает задержку отпущения сигнала NVSTR после отпущения сигнала PROG	500 тактов (5 мкс)	500 тактов и более
T_NVS	Используется в транзакциях записи и стирания, задает задержку поднятия сигнала NVSTR после поднятия сигнала PROG	500 тактов (5 мкс)	500 тактов и более
T_RCV	Используется в транзакциях записи и стирания, задает задержку от отпущения сигнала NVSTR до поднятия его на следующей транзакции	100 тактов (1 мкс)	100 тактов и более
T_PGS	Используется в транзакциях записи, задает задержку поднятия сигнала YE после поднятия сигнала NVSTR	1000 тактов (10 мкс)	1000 тактов и более
T_PROG	Используется в транзакциях записи, задает длительность сигнала YE в транзакциях записи	2000 тактов (20 мкс)	От 2000 до 4000 тактов
T_PGH	Используется в транзакциях записи, задает задержку отпущения сигнала NVSTR после отпущения сигнала YE	2 такта (2 нс)	2 такта и более

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А15.7

1	2	3	4
T_ERASE	Используется в транзакциях стирания, задает длительность сигнала ERASE в транзакциях стирания	2000000 тактов (20 мс)	От 2000000 до 4000000 тактов
T_ME	Используется в транзакциях массового стирания, задает длительность сигнала ERASE в транзакциях массового стирания		
T_NVH1	Используется в транзакциях массового стирания, задает задержку отпускания сигнала NVSTR после отпускания сигнала ERASE	10000 тактов (100 мкс)	10000 и более
<p>Примечания</p> <p>1 Все параметры задаются в количествах тактов системного блока. По умолчанию, после сброса, в регистры аппаратно записываются безопасные значения параметров из расчета, что рабочая частота микроконтроллера 100 МГц.</p> <p>2 Название регистра параметра совпадает с названием параметра.</p>			

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

А16 Регистры аналогового компаратора

Таблица А16.1 – Регистр маскированных статусов прерываний

ACMIS		A001_D000h		Сброс: 0000000h	
Поле	Бит	Описание			
IN3	2	Индикатор установленной маски и статуса прерывания 3 Запись единицы сбрасывает этот бит, а также бит IN3 в регистре ARCIS			
IN2	1	Индикатор установленной маски и статуса прерывания 2 Запись единицы сбрасывает этот бит, а также бит IN2 в регистре ARCIS			
IN1	0	Индикатор установленной маски и статуса прерывания 1 Запись единицы сбрасывает этот бит, а также бит IN1 в регистре ARCIS			
–	31-3	Зарезервировано			

Таблица А16.2 – Регистр статусов прерываний

ACRIS		A001_D004h		Сброс: 0000000h	
Поле	Бит	Описание			
IN3	2	Флаг прерывания 3 Флаг сбрасывается битом IN3 регистра ACMIS			
IN2	1	Флаг прерывания 2 Флаг сбрасывается битом IN2 регистра ACMIS			
IN1	0	Флаг прерывания 1 Флаг сбрасывается битом IN1 регистра ACMIS			
–	31-3	Зарезервировано			

Индв. № подл.	Подп. и дата
Взам. инв. №	Индв. № дубл.
Подп. и дата	Подп. и дата

Таблица А16.3 – Регистр маски прерываний

ACINTEN		A001_D008h	Сброс: 0000000h														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
															IN3	IN2	IN1
															34	34	34
Поле	Бит	Описание															
IN3	2	Бит маски прерывания 3															
IN2	1	Бит маски прерывания 2															
IN1	0	Бит маски прерывания 1															
–	31-3	Зарезервировано															

Таблица А16.4 – Регистр управления опорным напряжением блока n (n – 1, 2, 3)

ACREFCTLn		Сброс: 0000000h																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
															EN	RNG	-	VREF
															34	34		34
Поле	Бит	Описание																
EN	9	Поле задания опорного напряжения, в зависимости от выбранного диапазона работы ЦАП																
RNG	8	Бит задает диапазон работы ЦАП. Отключает дополнительный делитель напряжения.																
VREF	3-0	Поле управления выходным напряжением																
–	31-10, 7-4	Зарезервировано																
Примечание – Влияние состояний битов EN, RNG и поля VREF на выходное напряжение ЦАП указано в таблице 22.1																		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А16.5 – Регистр статуса компаратора блока n (n – 1, 2, 3)

ACSTATn		Сброс: 0000000h	
<div style="display: flex; justify-content: space-between;"> 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 </div> <div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
<div style="display: flex; justify-content: space-between;"> 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 </div> <div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
4			
Поле	Бит	Описание	
OVAL	1	Индикатор значение выходного сигнала компаратора	
		0	VIN- > VIN+
		1	VIN- < VIN+
–	31-2, 0	Зарезервировано	

Таблица А16.6 – Регистр управления компаратора блока n (n – 1, 2, 3)

ACCTLn		Сброс: 0000000h	
<div style="display: flex; justify-content: space-between;"> 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 </div> <div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
<div style="display: flex; justify-content: space-between;"> 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 </div> <div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
<div style="display: flex; justify-content: space-around; font-weight: bold;"> TO EN ASRCP TS VAL TSEN ISVAL ISEN CINV CEN </div>			
<div style="display: flex; justify-content: space-around; font-weight: bold;"> 3 4 3 4 3 4 3 4 3 4 3 4 3 4 3 4 </div>			
Поле	Бит	Описание	
1	2	3	
TOEN	10	Бит запрещения генерации события запуска АЦП	
		0	Разрешено
		1	Запрещено
ASRCP	9-8	Поле задания источника сигнала входа «+» компаратора	
		00	Вывод Cn+
		01	Вывод C1+
		10	Опорное напряжение с внутреннего ЦАПn
		11	Опорное напряжение с внутреннего ЦАП1
TSVAL	7	Бит выбора уровня для генерации события запуска АЦП	
		0	Низкий
		1	Высокий
TSEN	6-5	Поле выбора события выходного сигнала компаратора, по которому будет сформировано событие запуска АЦП	
		00	По уровню, заданному битом TSVAL
		01	По переднему фронту
		10	По заднему фронту

Индв. № подл.	Подп. и дата
Индв. № инв.	Взам. инв. №
Индв. № дубл.	Подп. и дата

		11	По обоим фронтам
<i>Окончание таблицы А16.6</i>			
1	2	3	
ISVAL	4	Бит выбора уровня для генерации прерывания	
		0	Низкий
		1	Высокий
ISEN	3-2	Поле выбора события выходного сигнала компаратора, по которому будет сформировано прерывание	
		00	По уровню, заданному битом ISVAL
		01	По переднему фронту
		10	По заднему фронту
		11	По обоим фронтам
CINV	1	Бит изменения полярности выходного сигнала компаратора	
		0	Прямой
		1	Инверсный
CEN	0	Бит разрешения работы компаратора	
		0	Запрещено
		1	Разрешено
–	31-11	Зарезервировано	

Таблица А8.9 – Регистр питания аналоговой части

POWER																A001D07Ch				Сброс: 0000h			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
-																							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
-															PWU								
																34							
Поле	Бит	Описание																					
PWU	0	Бит включения подачи аналогового питания на часть блока																					
–	31-1	Зарезервировано																					

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

A17 Регистры контроллера SPI

Таблица A17.1 – Регистр управления 0

CR0		Сброс: 00000000h															
Поле	Биты	Описание															
SCR	15-8	Коэффициент деления второго делителя. Может принимать значения 00h до FFh															
SPH	7	Фаза сигнала SSPCLKOUT (только для протокола обмена SPI)															
		0	Выборка данных по переднему фронту синхросигнала, а установка по заднему														
	1	Выборка данных по заднему фронту синхросигнала, а установка по переднему															
SPO	6	Полярность сигнала SSPCLKOUT (только для протокола обмена SPI)															
		0	В режиме ожидания линия SPI_CLK удерживается в состоянии логического нуля														
	1	В режиме ожидания линия SPI_CLK удерживается в состоянии логической единицы															
FRF	5-4	Поле выбора протокола обмена информацией															
		00	SPI														
		01	SSI														
		10	Microwire														
	11	Зарезервировано															
DSS	3-0	Размер слова данных:															
		0h-2h	Зарезервировано														
		3h	4 бита														
		4h	5 бит														
		5h	6 бит														
		6h	7 бит														
		7h	8 Бит														
		8h	9 бит														
		9h	10 бит														
		Ah	11 бит														
		Bh	12 бит														
		Ch	13 бит														
Dh	14 бит																
Eh	15 бит																
Fh	16 бит																
–	31-3	Зарезервировано															

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Таблица А17.2 – Регистр управления 1

CR1		Сброс: 00000000h
Поле	Бит	Описание
SOD	3	Бит запрета передачи данных. В режиме мастера значение бита игнорируется. В режиме ведомого бит контролирует выход данных. Пока бит сброшен передача и прием данных разрешены. Установка бита блокирует передачу данных и переводит вывод SPI_TXD в состояние слабой логической единицы, при этом прием тактового сигнала и прием данных не блокируются.
MS	2	Бит выбора режима работы
		0 Мастер
		1 Ведомый
SSE	1	Бит разрешения работы приемопередатчика
		0 Запрещено
		1 Разрешено
–	31-4, 0	Зарезервировано

Таблица А17.3 – Регистр данных

Мнемоническое название	Название регистра	Описание
SPI_DR	16-разрядный буфер FIFO приемника и передатчика	При чтении регистр возвращает принятые данные. При записи принимает данные, которые требуется передать. В случае если размер передаваемых данных менее 16 бит, перед записью в регистр DR необходимо обеспечить выравнивание данных по правой границе. Блок передатчика игнорирует неиспользуемые биты. Принятые данные автоматически выравниваются по правой границе в блоке приемника

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А17.4 – Регистр состояния

SR		Сброс: 00000003h	
Поле	Бит	Описание	
BSY	4	Флаг активности	
		0	Приемопередатчик не активен
		1	Приемопередатчик передает/принимает данные, либо буфер FIFO передатчика не пуст
RFF	3	Флаг заполнения буфера FIFO приемника	
		0	Не заполнен
		1	Заполнен
RNE	2	Индикатор того, что буфер FIFO приемника не пуст	
		0	Пуст
		1	Не пуст
TNF	1	Индикатор того, что буфера FIFO передатчика не заполнен	
		0	Заполнен
		1	Не заполнен
TFE	0	Флаг пустоты буфера FIFO передатчика	
		0	Не пуст
		1	Пуст
–	31-5	Зарезервировано	

Таблица А17.5 – Регистр делителя тактовой частоты

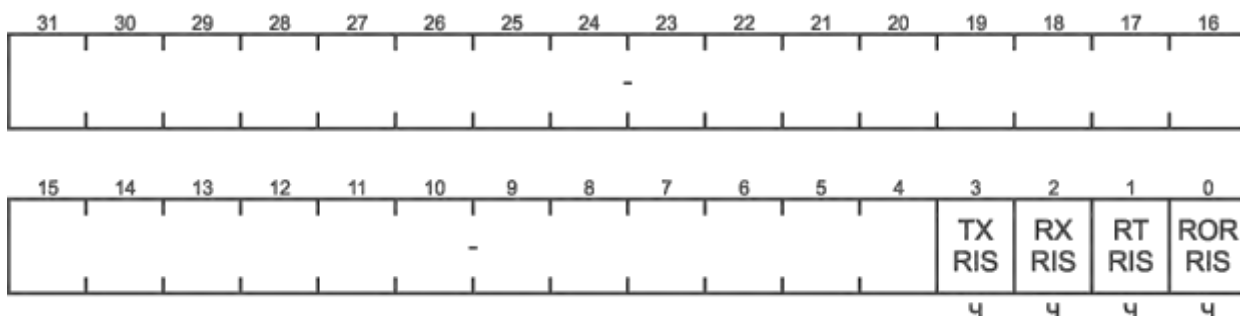
CPSR		Сброс: 00000000h	
Поле	Биты	Описание	
CPSDVSR	7-0	Коэффициент деления первого делителя. Может принимать четные значения от 02h до FEh.	
–	31-4	Зарезервировано	

Индв. № подл.	Подп. и дата
Взам. инв. №	Индв. № дубл.
Подп. и дата	Подп. и дата

Таблица А17.6 – Регистр прерываний

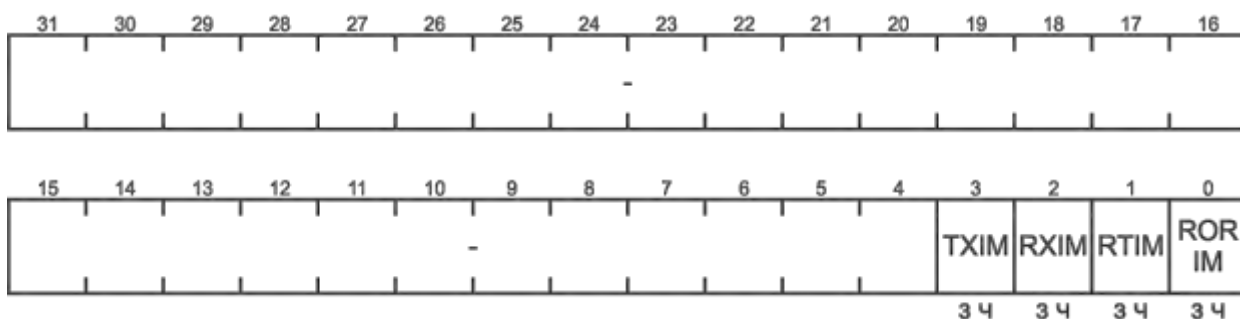
Регистр состояния прерываний
SPI_RIS

Сброс: 00000008h



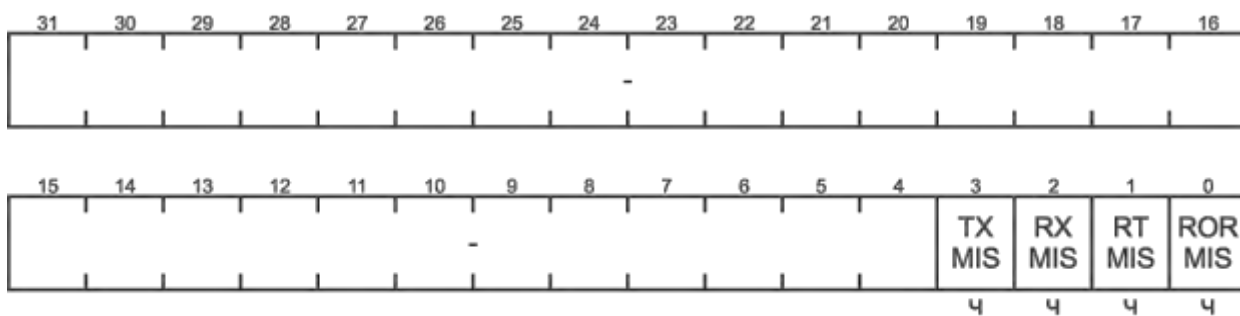
Регистр маски прерываний
SPI_IMSC

Сброс: 00000003h



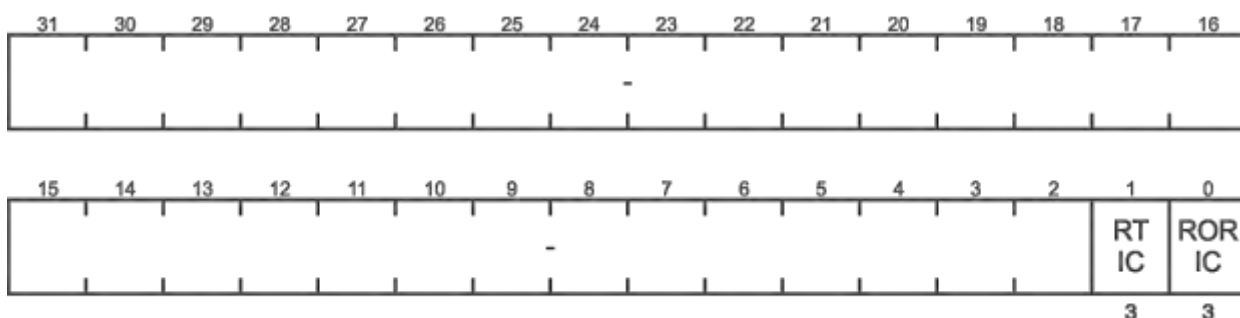
Регистр состояния прерываний с маскированием
SPI_MIS

Сброс: 00000000h



Регистр сброса прерываний
SPI_ICR

Сброс: 00000000h



Инд. № подл.	Подп. и дата	Взам. инв. №	Индв. № дубл.	Подп. и дата

Окончание таблицы А17.6

Поле		Бит	Описание
TX	RIS/ IM/ MIS/ IC	3	Буфер передатчика опустошен наполовину
RX		2	Буфер приемника заполнен наполовину
RT		1	Таймаут приема данных
ROR		0	Переполнению буфера приемника
–		31-4	Зарезервировано

Функционирование регистров.
 При возникновении прерываний устанавливаются соответствующие им немаскируемые флаги в регистре SPI_RIS.
 Установка/сброс бит в регистре SPI_IMSC формирует маску. По умолчанию, все биты сброшены, и установка флагов запрещена. Для того чтобы убрать маску следует установить соответствующий бит.
 В регистре SPI_MIS устанавливаются только те флаги, которые не закрыты маской регистра SPI_IMSC.
 Запись единиц в биты регистра SPI_ICR сбрасывает соответствующие им флаги в регистрах SPI_RIS и SPI_MIS, а также прерывания, вызвавшие установку этих флагов. Биты RTRIS и RTMIS также сбрасываются после чтения буфера приемника.

Таблица А17.7 – Регистр управления прямым доступом к памяти

SPI_DMACR														Сброс: 00000000h			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
-																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	TXD MAE	RXD MAE
-																34	34

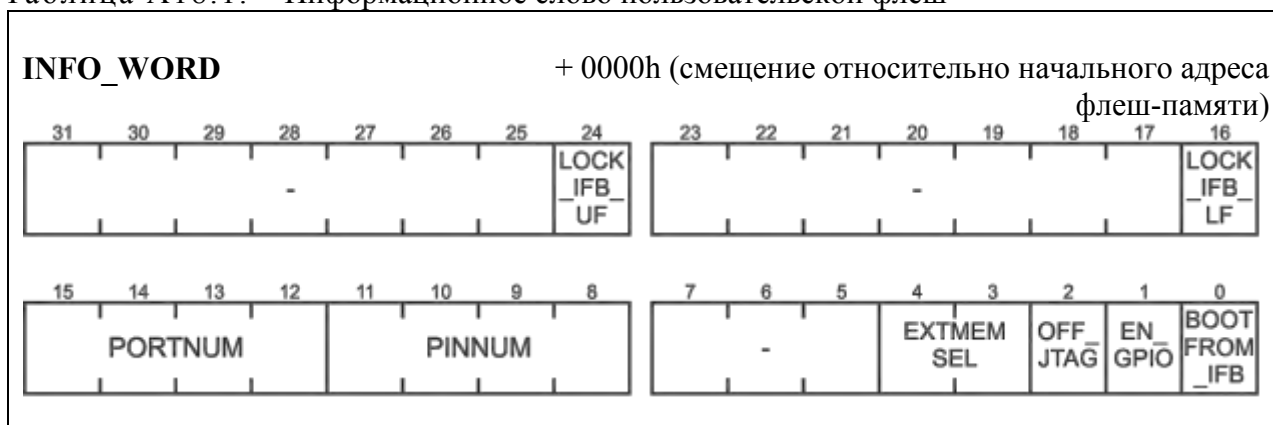
Окончание таблицы А17.10

Поле	Бит	Описание	
TXDMAE	1	Бит разрешения использования DMA при передаче	
		0	Не используется
		1	Разрешено формирование запросов DMA для обслуживания буфера FIFO передатчика
RXDMAE	0	Бит разрешения использования DMA при приеме	
		0	Не используется
		1	Разрешено формирование запросов DMA для обслуживания буфера FIFO приемника
–	31-2	Зарезервировано	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

A18 Регистры контроллера пользовательской флеш

Таблица А18.1. – Информационное слово пользовательской флеш



Поле	Биты	Описание
LOCK_IFB_UF	24	Бит включения защиты пользовательской флеш
		0 Запрет записи и стирания информационного блока пользовательской флеш. 1 Защита выключена (по умолчанию)
LOCK_IFB_LF	16	Бит включения защиты загрузочной флеш
		0 Запрет записи и стирания информационного блока загрузочной флеш 1 Защита выключена (по умолчанию)
PORTNUM, PINNUM	15-12, 11-8	Поле указания вывода микроконтроллера, выбирающего источник загрузки. Поле PORTNUM задает номер порта (от 000b до 111b), поле PINNUM – номер вывода
EXTMEM SEL	4-3	Выбор номера функции выводов GPIO, на которые подключен интерфейс внешней памяти
		10 Активна третья функция выводов 00, 01, 11 Активна первая функция выводов
OFF_JTAG	2	Индикатор возможности использования отладчиков через JTAG и другие интерфейсы
		0 Не возможно 1 Возможно (по умолчанию)
EN_GPIO	1	Бит включения функции выбора мапируемой памяти
		0 Включена функция выбора вывода микроконтроллера, которая определяет, что мапируется в глобальный адрес памяти 0000h – флеш-память или внешняя память. Для указания вывода микроконтроллера используются поля PORTNUM и PINNUM 1 В адрес 0000h мапируется флеш-память (по умолчанию)
BOOT FROM_IFB	0	Бит выбора блока памяти для мапирования в адрес 0000h основного блока загрузочной флеш-памяти
		0 Информационный блок загрузочной флеш-памяти мапируется в основной блок в область 0000h – 1FFFh. И далее с адреса 0000h стартует программа пользователя. Основной блок в этом случае начинается с 2000h. 1 Старт программы с адреса 0000h основного блока загрузочной флеш. По умолчанию, бит установлен.

Ив. № подл.	Подп. и дата	Взам. инв. №	Ив. № дубл.	Подп. и дата

Окончание таблицы А18.3

Поле	Биты	Описание
USERFLASHADDR	15-0	Адрес, используемый при командах записи, чтения и постраничного стирания. Должен быть записан до установки бита выполнения команды записи/чтения/стирания. Примечание – При постраничном стирании младшие 8 бит не имеют значения
–	31-16	Зарезервировано

Таблица А18.4 – Регистр данных пользовательской флеш

Поле	Биты	Описание
UFMD	A002_2004h	Сброс: 00000000h
USERFLASHDATA	7-0	Байт данных. Используется при командах записи и чтения через регистр FMC. Байт данных должен быть загружены в регистр до установки бита команды записи. При чтении данные загружаются автоматически вместе с очисткой бита команды чтения
–	31-8	Зарезервировано

Таблица А18.5 – Регистр команд пользовательской флеш

Поле	Биты	Описание
UFMC	A002_2008h	Сброс: 00000000h
–	31-8	Зарезервировано

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы А18.5

Поле	Бит	Описание
1	2	3
MAGIC_KEY	31-16	Код запуска команды. Все команды для вступления в силу должны сопровождаться записью в поле MAGIC_KEY значения A442h. Команды должны выполняться по одной, т.е. запись следующей команды разрешена, только после завершения предыдущей. Одновременная запись нескольких команд приведет к невыполнению ни одной из них и выдаст флаг ошибки. Чтение поля MAGIC_KEY всегда возвращает 0000.
READ_IFB	6	Бит чтения информационного блока. Адрес в регистр FMA (разряды с 8 по 0) должен быть записан до установки бита READ_IFB. Установка бита READ_IFB активирует команду чтения из информационного блока пользовательской флеш. По окончании выполнения команды бит сбрасывается автоматически. Прочитанные данные появляются в регистре FMD.
PAGEERASE_IFB	5	Бит постраничного стирания информационного блока. Данные в регистр FMD и адрес в регистр FMA (разряд 8) должны быть записаны до установки бита PAGEERASE_IFB. Адрес нужно указывать поскольку в информационном блоке две страницы. Установка бита PAGEERASE_IFB активирует команду постраничного стирания в информационном блоке загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
WRITE_IFB	4	Бит записи в информационный блок. Данные в регистр FMD и адрес в регистр FMA (разряды с 8 по 0) должны быть записаны до установки бита WRITE_IFB. Установка бита WRITE_IFB активирует команду записи в информационный блок загрузочной флеш. По окончании выполнения команды бит сбрасывается автоматически.
READ	3	Бит чтения основного блока. Адрес в регистр FMA должен быть записан до установки бита READ. Установка бита READ_IFB активирует команду чтения из основного блока пользовательской флеш. По окончании выполнения команды бит сбрасывается автоматически. Прочитанные данные появляются в регистре FMD.
FULL_ERASE	2	Бит стирания основного блока. Установка бита FULL_ERASE активирует команду полного стирания основного блока пользовательской флеш. По окончании выполнения команды бит сбрасывается автоматически.

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № инв.	Подп. и дата

Окончание таблицы А18.5

1	2	3
PAGE_ERASE	1	Бит постраничного стирания основного блока. Данные в регистр FMD и адрес в регистр FMA (разряды с 15 по 8) должны быть записаны до установки бита PAGE_ERASE. Установка бита PAGE_ERASE активирует команду постраничного стирания в основном блоке пользовательской флеш. По окончании выполнения команды бит сбрасывается автоматически.
WRITE	0	Бит записи в основной блок. Данные в регистр FMD и адрес в регистр FMA должны быть записаны до установки бита WRITE. Установка бита WRITE активирует команду записи в основной блок пользовательской флеш. По окончании выполнения команды бит сбрасывается автоматически.
—	15-7, 3	Зарезервировано

Таблица А18.6 – Регистр статуса пользовательской флеш

UFCIS		A002_200Ch	Сброс: 00000000h
<div style="display: flex; justify-content: space-between; border-bottom: 1px solid black; padding-bottom: 5px;"> 31302928272625242322212019181716 </div> <div style="border: 1px solid black; height: 30px; margin: 5px 0;"></div> <div style="display: flex; justify-content: space-between; border-bottom: 1px solid black; padding-bottom: 5px;"> 1514131211109876543210 </div> <div style="border: 1px solid black; height: 30px; margin: 5px 0; position: relative;"> <div style="position: absolute; right: 0; top: 0; bottom: 0; width: 20px; display: flex; flex-direction: column; align-items: center; justify-content: center;"> <div style="font-size: 8px; margin-bottom: 2px;">OP</div> <div style="font-size: 8px; margin-bottom: 2px;">ERR</div> <div style="font-size: 8px; margin-bottom: 2px;">OR</div> </div> <div style="position: absolute; right: 0; bottom: 0; width: 20px; display: flex; flex-direction: column; align-items: center; justify-content: center;"> <div style="font-size: 8px; margin-bottom: 2px;">OP</div> <div style="font-size: 8px; margin-bottom: 2px;">CMLT</div> </div> </div> <div style="display: flex; justify-content: space-around; margin-top: 5px;"> 44 </div>			
Поле	Бит	Описание	
OP_ERROR	1	Флаг ошибки записи. Устанавливается в случае попытки стирания блок защищенного от записи, попытки записи в не существующий блок либо чтения из несуществующего блока флеш. Флаг сбрасывается записью единицы в соответствующий бит регистра FCIC.	
OP_CMLT	0	Флаг завершения операции. Устанавливается по завершении операции чтения/записи/стирания. Флаг сбрасывается записью единицы в соответствующий бит регистра FCIC.	
—	31-2	Зарезервировано	

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А18.7 – Регистр маски прерываний пользовательской флеш

UFCIM		A002_2010h		Сброс: 00000000h	
Поле	Бит	Описание			
MASK_OP_CMLT	0	Бит разрешения генерирования прерывания по завершении операции чтения/записи/стирания			
		0	Запрещено		
		1	Разрешено		
–	31-1	Зарезервировано			

Таблица А18.8 – Регистр сброса флагов статуса пользовательской флеш

UFCIC		A002_2014h		Сброс: 00000000h	
Поле	Бит	Описание			
CLR_OP_ERR	1	Бит сброса флага ошибки записи. Запись единицы сбрасывает флаг OP_ERROR в регистре FCIS.			
CLR_OP_CMLT	0	Бит сброса флага завершения операции. Запись единицы сбрасывает флаг OP_CMLT в регистре FCIS.			
–	31-2	Зарезервировано			

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А18.9– Регистры временных параметров пользовательской флеш-памяти

Регистр параметра	Назначение параметра	Значение по сбросу при частоте 100 МГц	Диапазон значений при частоте 100 МГц
UT_ACC	Используется в транзакциях чтения из флеш-памяти, задает задержку от установки адреса, до считывания данных из флеш-памяти	4 такта (40 нс)	3 такта и более
UT_NVS	Используется в транзакциях записи и стирания, задает задержку поднятия сигнала NVSTR после поднятия сигнала PROG	500 тактов (5 мкс)	500 тактов и более
UT_NVH	Используется в транзакциях записи и стирания, задает задержку отпускания сигнала NVSTR после отпускания сигнала PROG		
UT_RCV	Используется в транзакциях записи и стирания, задает задержку от отпускания сигнала NVSTR до поднятия его на следующей транзакции	100 тактов (1 мкс)	100 тактов и более
UT_PGS	Используется в транзакциях записи, задает задержку поднятия сигнала YE после поднятия сигнала NVSTR	1000 тактов (10 мкс)	1000 тактов и более
UT_PROG	Используется в транзакциях записи, задает длительность сигнала PROG в транзакциях записи	2000 тактов (20 мкс)	От 2000 до 4000 тактов
UT_PGH	Используется в транзакциях записи, задает задержку отпускания сигнала NVSTR после отпускания сигнала YE	2 такта (2 нс)	2 такта и более
UT_ERASE	Используется в транзакциях стирания, задает длительность сигнала ERASE в транзакциях стирания	2000000 тактов (20 мс)	От 2000000 до 4000000 тактов
UT_ME	Используется в транзакциях массового стирания, задает длительность сигнала ERASE в транзакциях массового стирания		
UT_NVH1	Используется в транзакциях массового стирания, задает задержку отпускания сигнала NVSTR после отпускания сигнала ERASE	10000 тактов (100 мкс)	10000 и более
<p>Примечания</p> <p>1 Все параметры задаются в количествах тактов системного блока. По умолчанию, после сброса, в регистры аппаратно записываются безопасные значения параметров.</p> <p>2 Название регистра параметра совпадает с названием параметра.</p>			

Инд. № подл.	Подп. и дата
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	

A19 Регистры RTC

Таблица А19.1 – Регистр долей секунд

PSECONDS		A002_3000h	Сброс: 0000000h
Поле	Биты	Описание	
PART_SEC	9-0	Доля секунды (Двоичный формат). Корректные значения: 000h – 3FFh	
–	15-10	Зарезервировано	

Таблица А19.2 – Регистр секунд

SECOND		A002_3004h	Сброс: 0000000h
Поле	Биты	Описание	
SECOND	6-0	Секунда (BCD формат). Корректные значения: 00h – 09h 10h – 19h 20h – 29h 30h – 39h 40h – 49h 50h – 59h	
–	7	Зарезервировано	

Таблица А19.3 – Регистр минут

MINUTE		A002_3008h	Сброс: 0000000h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	
Инд. № подл.	

Окончание таблицы А19.3

Поле	Биты	Описание
MINUTE	6-0	Минута (BCD формат). Корректные значения: 00h – 09h 10h – 19h 20h – 29h 30h – 39h 40h – 49h 50h – 59h
–	15-7	Зарезервировано

Таблица А19.4 – Регистр часов

Поле	Биты	Описание
<p>HOUR A002_3010h Сброс: 0000000h</p>		
HOUR	5-0	Час (BCD формат). Корректные значения: 00h – 09h 10h – 19h 20h – 23h
–	15-6	Зарезервировано

Таблица А19.5 – Регистр дней недели

Поле	Биты	Описание
<p>WDAY A002_3018h Сброс: 0000000h</p>		
DAYWEEK	2-0	День недели (BCD формат). Корректные значения: 00h – 07h
–	15-3	Зарезервировано

Таблица А19.6 – Регистр чисел

Поле	Биты	Описание
<p>DAY A002_3020h Сброс: 0000000h</p>		

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы А19.6

Поле	Биты	Описание
DAY	5-0	Число (BCD формат). Корректные значения: 00h – 09h 10h – 19h 20h – 29h 30h – 31h
–	7-6	Зарезервировано

Таблица А19.7 – Регистр месяцев

Поле	Биты	Описание
<p>MONTH A002_3024h Сброс: 0000000h</p>		
MONTH	6-0	Месяц (BCD формат). Корректные значения: 00h – 09h 10h – 12h
–	7	Зарезервировано

Таблица А19.8. – Регистр лет

Поле	Биты	Описание
<p>YEAR A002_3028h Сброс: 0000000h</p>		
YEAR	7-0	Год (BCD формат). Корректные значения: 00h – 09h 10h – 19h 20h – 29h 30h – 39h 40h – 49h 50h – 59h 60h – 69h 70h – 79h 80h – 89h 90h – 99h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица А19.9 – Общий регистр

SHDW		A002_302Ch	Сброс: 0000080h
Поле	Бит	Описание	
UPDTEN	7	Бит разрешения обновлений теневого регистра. По умолчанию равен единице.	
–	31-8, 6-0	Зарезервировано	

Таблица А19.10 – Общий регистр

TIME		A002_3030h	Сброс: 0000000h
Регистр текущего времени. Не доступен для записи. Хранит в себе текущее значение времени от долей секунд до часов. Биты 31 и 30 регистра зарезервированы.			

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Приложение Б Карта памяти микроконтроллера (область регистров)

(обязательное)

Таблица Б.1–Регистры котроллера АЦП

Адрес	Мнемоника	Сброс	Название
80000000h	ADCACTSS	00000000h	Регистр конфигурации секвенсоров
80000004h	ADCRIS	00000000h	Регистр немаскированных прерываний
80000008h	ADCIM	00000000h	Регистр маски прерываний
8000000Ch	ADCISC	00000000h	Регистр сброса прерываний
80000010h	ADCOSTAT	00000000h	Регистр флага переполнения FIFO и ошибки переполнения ПДП
80000014h	ADCEMUX	00000000h	Регистр выбора событий запуска секвенсора
80000018h	ADCUSTAT	00000000h	Регистр флага недозаполнения FIFO
8000001Ch	–	–	Зарезервировано
80000020h	ADCSPC0	00000000h	Регистр фаз запуска АЦП0 и АЦП1
80000024h	ADCSPC1	00000000h	Регистр фаз запуска АЦП2 и АЦП3
80000028h	ADCSPC2	00000000h	Регистр фаз запуска АЦП4 и АЦП5
8000002Ch	ADCSPC3	00000000h	Регистр фаз запуска АЦП6 и АЦП7
80000030h	ADCSPC4	00000000h	Регистр фаз запуска АЦП8 и АЦП9
80000034h	ADCSPC5	00000000h	Регистр фаз запуска АЦП10 и АЦП11
80000038h	ADC SAC	00000000h	Регистр управления усреднителем
8000003Ch	RICNT	00000000h	Регистр сброса прерываний компаратора

Таблица Б.2 – Адреса регистров секвенсоров контроллера АЦП

Мнемоника	Секвенсоры							
	Адрес 8000_xxxx							
	S0	S1	S2	S3	S4	S5	S6	S7
ADCSSMUX	0040h	0060h	0080h	00A0h	00C0h	00E0h	0100h	0120h
ADCSSCTL	0044h	0064h	0084h	00A4h	00C4h	00E4h	0104h	0124h
ADCSSFIFO	0048h	0068h	0088h	00A8h	00C8h	00E8h	0108h	0128h
ADCSSFSTAT	004Ch	006Ch	008Ch	00ACh	00CCh	00ECh	010Ch	012Ch
ADCSSOP	0050h	0070h	0090h	00B0h	00D0h	00F0h	0110h	0130h
ADCSSDCP	0054h	0074h	0094h	00B4h	00D4h	00F4h	0114h	0134h
ADCSS TMR	0058h	0078h	0098h	00B8h	00D8h	00F8h	0118h	0138h
Зарезервировано	005Ch	007Ch	009Ch	00BCh	00DCh	00FCh	011Ch	013Ch

Таблица Б.3 – Мнемоника и соответствующие названия регистров секвенсоров

Мнемоника	Сброс	Название
ADCSSMUX	00000000h	Регистр выбора каналов для измерений
ADCSSCTL	00000000h	Регистр управления
ADCSSFIFO	00000000h	Регистр измерения
ADCSSFSTAT	00000000h	Регистр флагов
ADCSSOP	00000000h	Регистр флагов измерений
ADCSSDCP	00000000h	Регистр выбора компаратора
ADCSS TMR	00000000h	Регистр таймера перезапусков модулей АЦП

Инд. № подл.	Подп. и дата
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	

Приложение В Коды состояний функционирования блока I2C

(обязательное)

В таблицах В.1 – В.11 представлена информация о соответствии кодов и операций.

Условные обозначения, принятые в таблицах:

- [ADR, 0], [ADR, 1] – 8-разрядное значение, состоящее из 7-разрядного адреса ADR и бита направления передачи R/W#, значение которого «0» или «1» указывается непосредственно;

- DAT – байт данных;

- код мастера – 8-разрядное значение 0000_1xxx_b, где «xxxx» – уникальный код каждого мастера в системе нескольких устройств;

- «с ACK» – выражение, обозначающее, что после передачи адреса/байта в ответ на запрос подтверждения передачи (бит ACK) передатчик получает подтверждение передачи от ведомого (квитирование);

- «с NACK» – выражение, обозначающее, что после передачи адреса/байта в ответ на запрос подтверждения передачи (бит ACK) передатчик получает неподтверждение передачи от ведомого (неквитирование);

- X – бит может быть установленным (1b) или сброшенным (0b), в зависимости от режима работы, состояния и дальнейших действий модуля I2C.

Таблица В.1 – Исключительные состояния

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
00h	IDLE	–	–	–	–	–	Ожидать завершения текущей передачи байта
1Fh	Ошибка на шине	–	1	0	0	0	Функционировать в режиме безадресного ведомого (00h)

Таблица В.2 – Режим FS мастера передатчика (дополнительно см. таблицу В.4)

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
1	2	3	4	5	6	7	8
01h	Старт	Код мастера	1	0	0	0	Передать код мастера и перейти в режим HS (0Ch/ 21h)
		[ADR, 0]					
02h	Повторный Старт	[ADR, 0]	1	0	0	0	Передать адрес ведомого (04h/ 05h)
		[ADR, 1]					Передать адрес ведомого, после чего перейти в режим приемника (08h/ 09h)

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Приложение Г Регистры прерываний

(обязательное)

Для управления прерываниями используются пять групп регистров $ISER_i$, $ICER_i$, $ISPR_i$, $ICPR_i$ и $IABR_i$, где индекс i – 0, 1, 2, 3, 4 (см. таблицу Г.1). Группы имеют идентичную структуру. Набор прерываний, которыми управляет регистр группы зависит от индекса. На рисунке Г.1 показана одна группа регистров и указано соответствие номеров векторов прерываний и бит регистров. Управление прерыванием осуществляется записью единицы или нуля в соответствующий бит. Допускается одновременное управление несколькими прерываниями.

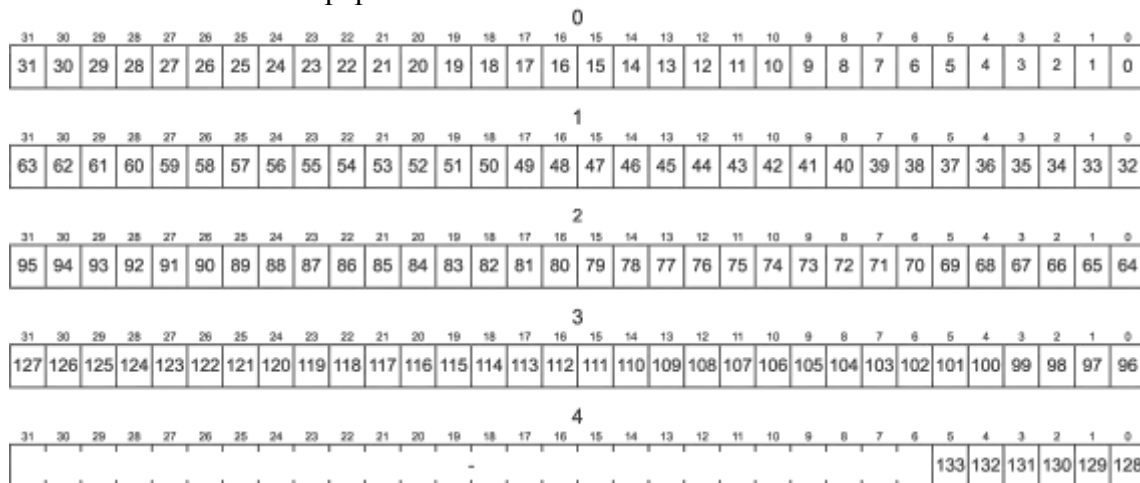


Рисунок Г.1 – Соответствие векторов прерываний и бит управляющих регистров

Таблица Г.1 – 32-разрядные регистры управления прерываниями

Мнемоника	Операция над битом	Влияние на соответствующее прерывание
ISER_i регистр разрешения прерываний от источников	Чтение	0 Прерывание запрещено
		1 Прерывание разрешено
	Запись	0 Нет влияния
		1 Разрешение прерывания
ICER_i регистр сброса разрешения прерываний от источников	Чтение	0 Прерывание запрещено
		1 Прерывание разрешено
	Запись	0 Нет влияния
		1 Запрет прерывания
ISPR_i регистр ждущих прерываний	Чтение	0 Ждущего прерывания нет
		1 Есть ждущее прерывание
	Запись	0 Нет влияния
		1 Установка ждущего прерывания (программное прерывание)
ICPR_i регистр сброса ждущих прерываний	Чтение	0 Ждущего прерывания нет
		1 Есть ждущее прерывание
	Запись	0 Нет влияния
		1 Сброс ждущего прерывания
IABR_i регистр флагов прерываний	Чтение	0 Флага прерывания нет
		1 Флаг прерывания установлен. Сбрасывается аппаратно по окончании обслуживания прерывания.

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Для задания приоритетов прерываний используются регистры IPR_i, где *i* индекс от 0 до 33. В таблице Г.2 представлен формат регистра IPR_i

Таблица Г.2 – Регистр приоритетов

IPR _i		Сброс: 0000000h
Поле	Бит	Описание
PRIn+3	31-24	Поле задания приоритета (n+3)-ого вектора прерывания
PRIn+2	23-16	Поле задания приоритета (n+2)-ого вектора прерывания
PRIn+1	15-8	Поле задания приоритета (n+1)-ого вектора прерывания
PRIn	7-0	Поле задания приоритета n-ого вектора прерывания $n = 4 \times i$.
Примечание – Допустимые значения для записи в поля от 00h до 0Fh. Таким образом каждому вектору может быть назначен один из 16 уровней приоритета. Значения 10h – FFh не используются.		

Последний в группе регистр приоритетов IPR33 (для векторов прерываний 132 и 133) имеет формат показанный на рисунке Г.2.

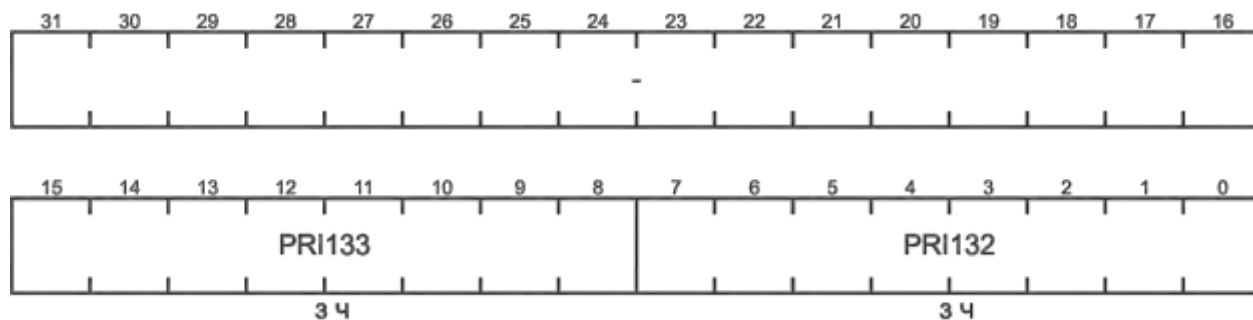


Рисунок Г.2 – формат регистра IPR33 (адрес E000E484h)

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Окончание таблицы E2

1	2	3	4	5	6	7	8
03h	Потеря арбитража, мастер перешел в режим безадресного ведомого	–	1	0	0	0	Функционировать в режиме безадресного ведомого (00h)
04h	Отправлен адрес ведомого с ACK	DAT	1	0	0	0	Передать байт данных (06h/ 07h)
		–	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
05h	Отправлен адрес ведомого с NACK	–	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
06h	Отправлен байт данных с ACK	DAT	1	0	0	0	Передать байт данных (06h/ 07h)
		–	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
07h	Отправлен байт данных с NACK	–	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)

Таблица В.3 – Режим FS мастера приемника

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
1	2	3	4	5	6	7	8
08h	Отправлен адрес ведомого с ACK	–	1	0	0	0	Получить байт данных, квитировать прием (0Ah)
			1	1	0	0	Получить байт данных, не квитировать прием (0Bh)
09h	Отправлен адрес ведомого с NACK	–	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
0Ah	Принят байт данных и квитирован	DAT	1	0	0	0	Получить байт данных, квитировать прием (0Ah)
			1	1	0	0	Получить байт данных, не квитировать прием (0Bh)

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы В.3

1	2	3	4	5	6	7	8
0Bh	Принят байт данных и не квитирован	DAT	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)

Таблица В.4 – Режим FS мастера передатчика (дополнительно см. таблицу В.2)

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
0Ch	Отправлен код мастера, обнаружена ошибка (ACK)	-	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)

Таблица В.5 – Режим FS ведомого приемника (дополнительно см. таблицу В.7)

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
10h	Принят адрес и квитирован	-	1	0	0	0	Получить байт данных, квитировать прием (12h)
			1	1	0	0	Получить байт данных, не квитировать прием (13h)
11h	Принят адрес после потери арбитража и квитирован	-	1	0	0	0	Получить байт данных, квитировать прием (12h)
			1	1	0	0	Получить байт данных, не квитировать прием (13h)
12h	Принят байт данных и квитирован	DAT	1	0	0	0	Получить байт данных, квитировать прием (12h)
			1	1	0	0	Получить байт данных, не квитировать прием (13h)
13h	Принят байт данных и не квитирован	DAT	1	0	0	0	Функционировать в режиме безадресного ведомого (00h)
			1	0	0	1	Функционировать в режиме безадресного ведомого, сделать старт после освобождения шины (00h, 01h)

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица В.6 – Режим FS ведомого передатчика

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
1	2	3	4	5	6	7	8
14h	Принят адрес и квитирован	DAT	1	X	0	0	Передать байт данных, квитировать/не квитировать (16h/17h)
15h	Принят адрес после потери арбитража и квитирован	DAT	1	X	0	0	Передать байт данных, квитировать/не квитировать (16h/17h)
16h	Отправлен байт данных с ACK	DAT	1	X	0	0	Передать байт данных, квитировать/не квитировать (16h/17h)
17h	Отправлен байт данных с NACK	-	1	X	0	0	Функционировать в режиме безадресного ведомого (00h)
			1	X	0	1	Функционировать в режиме безадресного ведомого, сделать старт после освобождения шины (00h, 01h)
18h	Принят адрес отклика и квитирован	DAT	1	X	0	0	Передать байт данных, квитировать/не квитировать (1Ah/1Bh)
19h	Принят адрес отклика после потери арбитража и квитирован	DAT	1	X	0	0	Передать байт данных, квитировать/не квитировать (1Ah/1Bh)
1Ah	Отправлен байт данных в ответ на получение адреса отклика с ACK	DAT	1	X	0	0	Передать байт данных, квитировать/не квитировать (1Ah/1Bh)

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы В.6

1	2	3	4	5	6	7	8
1Bh	Отправлен байт данных в ответ на получение адреса отклика с NACK	–	1	X	0	0	Функционировать в режиме безадресного ведомого (00h)
			1	X	0	1	Функционировать в режиме безадресного ведомого, сделать старт после освобождения шины (00h, 01h)

Таблица В.7 – Режим FS ведомого приемника (дополнительно см. таблицу В.5)

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
1	2	3	4	5	6	7	8
1Ch	Стоп	–	1	0	0	0	Функционировать в режиме безадресного ведомого (00h)
			1	0	0	1	Функционировать в режиме безадресного ведомого, сделать старт после освобождения шины (00h, 01h)
1Dh	Принят адрес общего вызова и квитирован	–	1	0	0	0	Получить байт данных, квитировать прием (12h)
			1	1	0	0	Получить байт данных, не квитировать прием (13h)
1Eh	Принят адрес общего вызова после потери арбитража и квитирован	–	1	0	0	0	Получить байт данных, квитировать прием (12h)
			1	1	0	0	Получить байт данных, не квитировать прием (13h)

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица В.8 – Режим HS мастера передатчика

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
1	2	3	4	5	6	7	8
21h	Успешно отправлен код мастера, мастер перешел в режим HS	–	1	0	0	1	Сделать повторный старт (22h)
22h	Повторный старт	[ADR, 0]	1	0	0	0	Передать адрес ведомого (28h/29h)
		[ADR, 1]					Передать адрес ведомого, после квитирования/не квитирования переключиться в режим мастера приемника (28h/29h)
23h	Потеря арбитража, мастер перешел в режим HS безадресного ведомого	–	1	0	0	0	Функционировать в режиме безадресного ведомого (00h)
24h	Отправлен адрес ведомого с ACK	DAT	1	0	0	0	Передать байт данных (26h/27h)
		–	1	0	0	1	Сделать повторный старт (22h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
25h	Отправлен адрес ведомого с NACK	–	1	0	0	1	Сделать повторный старт (22h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
26h	Отправлен байт данных с ACK	DAT	1	0	0	0	Передать байт данных (26h/27h)
		–	1	0	0	1	Сделать повторный старт (22h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
27h	Отправлен байт данных с NACK	–	1	0	0	1	Сделать повторный старт (22h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № дубл.	Подп. и дата

Таблица В.9 – Режим HS мастера приемника

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
28h	Отправлен адрес ведомого с ACK	-	1	0	0	0	Получить байт данных, квитировать прием (2Ah)
			1	1	0	0	Получить байт данных, не квитировать прием (2Bh)
29h	Отправлен адрес ведомого с NACK	-	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)
2Ah	Принят байт данных и квитирован	DAT	1	0	0	0	Получить байт данных, квитировать прием (2Ah)
			1	1	0	0	Получить байт данных, не квитировать прием (2Bh)
2Bh	Принят байт данных и не квитирован	DAT	1	0	0	1	Сделать повторный старт (02h)
			1	0	1	0	Остановить передачу (00h)
			1	0	1	1	Остановить передачу, а затем сделать повторный старт (01h)

Таблица В.10 – Режим HS ведомого приемника

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
30h	Принят адрес и квитирован	-	1	0	0	0	Получить байт данных, квитировать прием (32h)
			1	1	0	0	Получить байт данных, не квитировать прием (33h)
32h	Принят байт данных и квитирован	DAT	1	0	0	0	Получить байт данных, квитировать прием (32h)
			1	1	0	0	Получить байт данных, не квитировать прием (33h)
33h	Принят байт данных и не квитирован	DAT	1	0	0	0	Функционировать в режиме безадресного ведомого (00h)
			1	0	0	1	Функционировать в режиме безадресного ведомого, сделать старт после освобождения шины (00h, 01h)

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Таблица В.11 – Режим HS ведомого передатчика

Код	Описание состояния	Регистр SMBSDA	Биты регистра SMBCTRL1				Возможные дальнейшие действия и коды результатов их выполнения
			CLRST	ACK	STOP	START	
34h	Принят адрес и квити-рован	DAT	1	X	0	0	Передать байт данных, квитиловать/не квитиловать (36h/37h)
36h	Отправлен байт данных с ACK	DAT	1	X	0	0	Передать байт данных, квитиловать/не квитиловать (36h/37h)
37h	Отправлен байт данных с NACK	-	1	X	0	0	Функционировать в режиме безадресного ведомого (00h)
	1		X	0	1	Функционировать в режиме безадресного ведомого, сделать старт после освобождения шины (00h, 01h)	

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Таблица Б.4 – Регистры контроллера АЦП

Адрес	Мнемоника	Сброс	Название
1	2	3	4
80000140h	ADCDCCTL0	00000000h	Регистр управления компаратором 0
80000144h	ADCDCCTL1	00000000h	Регистр управления компаратором 1
80000148h	ADCDCCTL2	00000000h	Регистр управления компаратором 2
8000014Ch	ADCDCCTL3	00000000h	Регистр управления компаратором 3
80000150h	ADCDCCTL4	00000000h	Регистр управления компаратором 4
80000154h	ADCDCCTL5	00000000h	Регистр управления компаратором 5
80000158h	ADCDCCTL6	00000000h	Регистр управления компаратором 6
8000015Ch	ADCDCCTL7	00000000h	Регистр управления компаратором 7
80000160h	ADCDCCTL8	00000000h	Регистр управления компаратором 8
80000164h	ADCDCCTL9	00000000h	Регистр управления компаратором 9
80000168h	ADCDCCTL10	00000000h	Регистр управления компаратором 10
8000016Ch	ADCDCCTL11	00000000h	Регистр управления компаратором 11
80000170h	ADCDCCTL12	00000000h	Регистр управления компаратором 12
80000174h	ADCDCCTL13	00000000h	Регистр управления компаратором 13
80000178h	ADCDCCTL14	00000000h	Регистр управления компаратором 14
8000017Ch	ADCDCCTL15	00000000h	Регистр управления компаратором 15
80000180h	ADCDCCTL16	00000000h	Регистр управления компаратором 16
80000184h	ADCDCCTL17	00000000h	Регистр управления компаратором 17
80000188h	ADCDCCTL18	00000000h	Регистр управления компаратором 18
8000018Ch	ADCDCCTL19	00000000h	Регистр управления компаратором 19
80000190h	ADCDCCTL20	00000000h	Регистр управления компаратором 20
80000194h	ADCDCCTL21	00000000h	Регистр управления компаратором 21
80000198h	ADCDCCTL22	00000000h	Регистр управления компаратором 22
8000019Ch	ADCDCCTL23	00000000h	Регистр управления компаратором 23
800001A0h	ADCDCCMP0	00000000h	Регистр диапазона компаратора 0
800001A4h	ADCDCCMP1	00000000h	Регистр диапазона компаратора 1
800001A8h	ADCDCCMP2	00000000h	Регистр диапазона компаратора 2
800001ACh	ADCDCCMP3	00000000h	Регистр диапазона компаратора 3
800001B0h	ADCDCCMP4	00000000h	Регистр диапазона компаратора 4
800001B4h	ADCDCCMP5	00000000h	Регистр диапазона компаратора 5
800001B8h	ADCDCCMP6	00000000h	Регистр диапазона компаратора 6
800001BCh	ADCDCCMP7	00000000h	Регистр диапазона компаратора 7
800001C0h	ADCDCCMP8	00000000h	Регистр диапазона компаратора 8
800001C4h	ADCDCCMP9	00000000h	Регистр диапазона компаратора 9
800001C8h	ADCDCCMP10	00000000h	Регистр диапазона компаратора 10
800001CCh	ADCDCCMP11	00000000h	Регистр диапазона компаратора 11
800001D0h	ADCDCCMP12	00000000h	Регистр диапазона компаратора 12
800001D4h	ADCDCCMP13	00000000h	Регистр диапазона компаратора 13
800001D8h	ADCDCCMP14	00000000h	Регистр диапазона компаратора 14
800001DCh	ADCDCCMP15	00000000h	Регистр диапазона компаратора 15
800001E0h	ADCDCCMP16	00000000h	Регистр диапазона компаратора 16
800001E4h	ADCDCCMP17	00000000h	Регистр диапазона компаратора 17
800001E8h	ADCDCCMP18	00000000h	Регистр диапазона компаратора 18
800001ECh	ADCDCCMP19	00000000h	Регистр диапазона компаратора 19
800001F0h	ADCDCCMP20	00000000h	Регистр диапазона компаратора 20
800001F4h	ADCDCCMP21	00000000h	Регистр диапазона компаратора 21

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

Продолжение таблицы Б.4

1	2	3	4
800001F8h	ADCDCCMP22	00000000h	Регистр диапазона компаратора 22
800001FCh	ADCDCCMP23	00000000h	Регистр диапазона компаратора 23
80000200h	ADCDCVAL0	00000000h	Регистр результата измерения компаратора 0
80000204h	ADCDCVAL1	00000000h	Регистр результата измерения компаратора 1
80000208h	ADCDCVAL2	00000000h	Регистр результата измерения компаратора 2
8000020Ch	ADCDCVAL3	00000000h	Регистр результата измерения компаратора 3
80000210h	ADCDCVAL4	00000000h	Регистр результата измерения компаратора 4
80000214h	ADCDCVAL5	00000000h	Регистр результата измерения компаратора 5
80000218h	ADCDCVAL6	00000000h	Регистр результата измерения компаратора 6
8000021Ch	ADCDCVAL7	00000000h	Регистр результата измерения компаратора 7
80000220h	ADCDCVAL8	00000000h	Регистр результата измерения компаратора 8
80000224h	ADCDCVAL9	00000000h	Регистр результата измерения компаратора 9
80000228h	ADCDCVAL10	00000000h	Регистр результата измерения компаратора 10
8000022Ch	ADCDCVAL11	00000000h	Регистр результата измерения компаратора 11
80000230h	ADCDCVAL12	00000000h	Регистр результата измерения компаратора 12
80000234h	ADCDCVAL13	00000000h	Регистр результата измерения компаратора 13
80000238h	ADCDCVAL14	00000000h	Регистр результата измерения компаратора 14
8000023Ch	ADCDCVAL15	00000000h	Регистр результата измерения компаратора 15
80000240h	ADCDCVAL16	00000000h	Регистр результата измерения компаратора 16
80000244h	ADCDCVAL17	00000000h	Регистр результата измерения компаратора 17
80000248h	ADCDCVAL18	00000000h	Регистр результата измерения компаратора 18
8000024Ch	ADCDCVAL19	00000000h	Регистр результата измерения компаратора 19
80000250h	ADCDCVAL20	00000000h	Регистр результата измерения компаратора 20
80000254h	ADCDCVAL21	00000000h	Регистр результата измерения компаратора 21
80000258h	ADCDCVAL22	00000000h	Регистр результата измерения компаратора 22

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Окончание таблицы Б.4

1	2	3	4
8000025Ch	ADCDCVAL23	00000000h	Регистр результата измерения компаратора 23
80000260h-800002E4h	–	–	Зарезервировано
800002E8h	ADCDCRIC_L	00000000h	Регистр сброса компараторов
800002ECh	ADCDCRIC_H	00000000h	Регистр сброса компараторов
800002F0h-800003FCh	–	–	Зарезервировано
80000300h	ADCPP0	00000000h	Регистр 0 настроек АЦП
80000304h	ADCPP1	00000000h	Регистр 1 настроек АЦП
80000308h	ADCPP2	00000000h	Регистр 2 настроек АЦП
8000030Ch	ADCPP3	00000000h	Регистр 3 настроек АЦП
80000310h	ADCPP4	00000000h	Регистр 4 настроек АЦП
80000314h	ADCPP5	00000000h	Регистр 5 настроек АЦП
80000318h	ADCPP6	00000000h	Регистр 6 настроек АЦП
8000031Ch	ADCPP7	00000000h	Регистр 7 настроек АЦП
80000320h	ADCPP8	00000000h	Регистр 8 настроек АЦП
80000324h	ADCPP9	00000000h	Регистр 9 настроек АЦП
80000328h	ADCPP10	00000000h	Регистр 10 настроек АЦП
8000032Ch	ADCPP11	00000000h	Регистр 11 настроек АЦП
80000330h-800003F4h	–	–	Зарезервировано
800003F8h	ADCPSSI	00000000h	Регистр синхронизации секвенсоров
800003FCh-8000FFCh	–	–	Зарезервировано

Таблица Б.1–Регистры контроллера АЦП

Адрес	Мнемоника	Сброс	Название
80000000h-800003F8h	–	–	Область АЦП
800003FCh-8000FFCh	–	–	Зарезервировано

Таблица Б.5 – Адреса регистров контроллера GPIO портов микроконтроллера

Мнемоника	Порты							
	Адрес 8001_xxxx							
	A	B	C	D	E	F	G	H
DATA	0000h	1000h	2000h	3000h	4000h	5000h	6000h	7000h
DATAOUT	0004h	1004h	2004h	3004h	4004h	5004h	6004h	7004h
Зарезервировано	0008h-000Ch	1008h-100Ch	2008h-200Ch	3008h-300Ch	4008h-400Ch	5008h-500Ch	6008h-600Ch	7008h-700Ch
OUTENSET	0010h	1010h	2010h	3010h	4010h	5010h	6010h	7010h
OUTENCLR	0014h	1014h	2014h	3014h	4014h	5014h	6014h	7014h
ALTFUNCSET	0018h	1018h	2018h	3018h	4018h	5018h	6018h	7018h
ALTFUNCCLR	001Ch	101Ch	201Ch	301Ch	401Ch	501Ch	601Ch	701Ch
INTENSET	0020h	1020h	2020h	3020h	4020h	5020h	6020h	7020h
INTENCLR	0024h	1024h	2024h	3024h	4024h	5024h	6024h	7024h
INTTYPESET	0028h	1028h	2028h	3028h	4028h	5028h	6028h	7028h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

INTTYPECLR	002Ch	102Ch	202Ch	302Ch	402Ch	502Ch	602Ch	702Ch
INTPOLSET	0030h	1030h	2030h	3030h	4030h	5030h	6030h	7030h
INTPOLCLR	0034h	1034h	2034h	3034h	4034h	5034h	6034h	7034h
INTSTATUS, INTCLEAR	0038h	1038h	2038h	3038h	4038h	5038h	6038h	7038h

Таблица Б.6 – Адреса регистров MASKLOWBYTE масок портов

Маска	Порты							
	Адрес 8001_xxxx							
	A	B	C	D	E	F	G	H
00h	0400h	1400h	2400h	3400h	4400h	5400h	6400h	7400h
01h	0404h	1404h	2404h	3404h	4404h	5404h	6404h	7404h
02h	0408h	1408h	2408h	3408h	4408h	5408h	6408h	7408h
03h	040Ch	140Ch	240Ch	340Ch	440Ch	540Ch	640Ch	740Ch
04h	0410h	1410h	2410h	3410h	4410h	5410h	6410h	7410h
05h	0414h	1414h	2414h	3414h	4414h	5414h	6414h	7414h
06h	0418h	1418h	2418h	3418h	4418h	5418h	6418h	7418h
07h	041Ch	141Ch	241Ch	341Ch	441Ch	541Ch	641Ch	741Ch
08h	0420h	1420h	2420h	3420h	4420h	5420h	6420h	7420h
09h	0424h	1424h	2424h	3424h	4424h	5424h	6424h	7424h
0Ah	0428h	1428h	2428h	3428h	4428h	5428h	6428h	7428h
0Bh	042Ch	142Ch	242Ch	342Ch	442Ch	542Ch	642Ch	742Ch
0Ch	0430h	1430h	2430h	3430h	4430h	5430h	6430h	7430h
0Dh	0434h	1434h	2434h	3434h	4434h	5434h	6434h	7434h
0Eh	0438h	1438h	2438h	3438h	4438h	5438h	6438h	7438h
0Fh	043Ch	143Ch	243Ch	343Ch	443Ch	543Ch	643Ch	743Ch
10h	0440h	1440h	2440h	3440h	4440h	5440h	6440h	7440h
11h	0444h	1444h	2444h	3444h	4444h	5444h	6444h	7444h
12h	0448h	1448h	2448h	3448h	4448h	5448h	6448h	7448h
13h	044Ch	144Ch	244Ch	344Ch	444Ch	544Ch	644Ch	744Ch
14h	0450h	1450h	2450h	3450h	4450h	5450h	6450h	7450h
15h	0454h	1454h	2454h	3454h	4454h	5454h	6454h	7454h
16h	0458h	1458h	2458h	3458h	4458h	5458h	6458h	7458h
17h	045Ch	145Ch	245Ch	345Ch	445Ch	545Ch	645Ch	745Ch
18h	0460h	1460h	2460h	3460h	4460h	5460h	6460h	7460h
19h	0464h	1464h	2464h	3464h	4464h	5464h	6464h	7464h
1Ah	0468h	1468h	2468h	3468h	4468h	5468h	6468h	7468h
1Bh	046Ch	146Ch	246Ch	346Ch	446Ch	546Ch	646Ch	746Ch
1Ch	0470h	1470h	2470h	3470h	4470h	5470h	6470h	7470h
1Dh	0474h	1474h	2474h	3474h	4474h	5474h	6474h	7474h
1Eh	0478h	1478h	2478h	3478h	4478h	5478h	6478h	7478h
1Fh	047Ch	147Ch	247Ch	347Ch	447Ch	547Ch	647Ch	747Ch
20h	0480h	1480h	2480h	3480h	4480h	5480h	6480h	7480h
21h	0484h	1484h	2484h	3484h	4484h	5484h	6484h	7484h
22h	0488h	1488h	2488h	3488h	4488h	5488h	6488h	7488h
23h	048Ch	148Ch	248Ch	348Ch	448Ch	548Ch	648Ch	748Ch
24h	0490h	1490h	2490h	3490h	4490h	5490h	6490h	7490h
25h	0494h	1494h	2494h	3494h	4494h	5494h	6494h	7494h
26h	0498h	1498h	2498h	3498h	4498h	5498h	6498h	7498h
27h	049Ch	149Ch	249Ch	349Ch	449Ch	549Ch	649Ch	749Ch

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

28h	04A0h	14A0h	24A0h	34A0h	44A0h	54A0h	64A0h	74A0h
29h	04A4h	14A4h	24A4h	34A4h	44A4h	54A4h	64A4h	74A4h
2Ah	04A8h	14A8h	24A8h	34A8h	44A8h	54A8h	64A8h	74A8h
2Bh	04ACh	14ACh	24ACh	34ACh	44ACh	54ACh	64ACh	74ACh
2Ch	04B0h	14B0h	24B0h	34B0h	44B0h	54B0h	64B0h	74B0h

Продолжение таблицы Б.6

Маска	A	B	C	D	E	F	G	H
2Dh	04B4h	14B4h	24B4h	34B4h	44B4h	54B4h	64B4h	74B4h
2Eh	04B8h	14B8h	24B8h	34B8h	44B8h	54B8h	64B8h	74B8h
2Fh	04BCh	14BCh	24BCh	34BCh	44BCh	54BCh	64BCh	74BCh
30h	04C0h	14C0h	24C0h	34C0h	44C0h	54C0h	64C0h	74C0h
31h	04C4h	14C4h	24C4h	34C4h	44C4h	54C4h	64C4h	74C4h
32h	04C8h	14C8h	24C8h	34C8h	44C8h	54C8h	64C8h	74C8h
33h	04CCh	14CCh	24CCh	34CCh	44CCh	54CCh	64CCh	74CCh
34h	04D0h	14D0h	24D0h	34D0h	44D0h	54D0h	64D0h	74D0h
35h	04D4h	14D4h	24D4h	34D4h	44D4h	54D4h	64D4h	74D4h
36h	04D8h	14D8h	24D8h	34D8h	44D8h	54D8h	64D8h	74D8h
37h	04DCh	14DCh	24DCh	34DCh	44DCh	54DCh	64DCh	74DCh
38h	04E0h	14E0h	24E0h	34E0h	44E0h	54E0h	64E0h	74E0h
39h	04E4h	14E4h	24E4h	34E4h	44E4h	54E4h	64E4h	74E4h
3Ah	04E8h	14E8h	24E8h	34E8h	44E8h	54E8h	64E8h	74E8h
3Bh	04ECh	14ECh	24ECh	34ECh	44ECh	54ECh	64ECh	74ECh
3Ch	04F0h	14F0h	24F0h	34F0h	44F0h	54F0h	64F0h	74F0h
3Dh	04F4h	14F4h	24F4h	34F4h	44F4h	54F4h	64F4h	74F4h
3Eh	04F8h	14F8h	24F8h	34F8h	44F8h	54F8h	64F8h	74F8h
3Fh	04FCh	14FCh	24FCh	34FCh	44FCh	54FCh	64FCh	74FCh
40h	0500h	1500h	2500h	3500h	4500h	5500h	6500h	7500h
41h	0504h	1504h	2504h	3504h	4504h	5504h	6504h	7504h
42h	0508h	1508h	2508h	3508h	4508h	5508h	6508h	7508h
43h	050Ch	150Ch	250Ch	350Ch	450Ch	550Ch	650Ch	750Ch
44h	0510h	1510h	2510h	3510h	4510h	5510h	6510h	7510h
45h	0514h	1514h	2514h	3514h	4514h	5514h	6514h	7514h
46h	0518h	1518h	2518h	3518h	4518h	5518h	6518h	7518h
47h	051Ch	151Ch	251Ch	351Ch	451Ch	551Ch	651Ch	751Ch
48h	0520h	1520h	2520h	3520h	4520h	5520h	6520h	7520h
49h	0524h	1524h	2524h	3524h	4524h	5524h	6524h	7524h
4Ah	0528h	1528h	2528h	3528h	4528h	5528h	6528h	7528h
4Bh	052Ch	152Ch	252Ch	352Ch	452Ch	552Ch	652Ch	752Ch
4Ch	0520h	1520h	2520h	3520h	4520h	5520h	6520h	7520h
4Dh	0534h	1534h	2534h	3534h	4534h	5534h	6534h	7534h
4Eh	0538h	1538h	2538h	3538h	4538h	5538h	6538h	7538h
4Fh	053Ch	153Ch	253Ch	353Ch	453Ch	553Ch	653Ch	753Ch
50h	0540h	1540h	2540h	3540h	4540h	5540h	6540h	7540h
51h	0544h	1544h	2544h	3544h	4544h	5544h	6544h	7544h
52h	0548h	1548h	2548h	3548h	4548h	5548h	6548h	7548h
53h	054Ch	154Ch	254Ch	354Ch	454Ch	554Ch	654Ch	754Ch
54h	0550h	1550h	2550h	3550h	4550h	5550h	6550h	7550h
55h	0554h	1554h	2554h	3554h	4554h	5554h	6554h	7554h
56h	0558h	1558h	2558h	3558h	4558h	5558h	6558h	7558h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

57h	055Ch	155Ch	255Ch	355Ch	455Ch	555Ch	655Ch	755Ch
58h	0560h	1560h	2560h	3560h	4560h	5560h	6560h	7560h
59h	0564h	1564h	2564h	3564h	4564h	5564h	6564h	7564h
5Ah	0568h	1568h	2568h	3568h	4568h	5568h	6568h	7568h
5Bh	056Ch	156Ch	256Ch	356Ch	456Ch	556Ch	656Ch	756Ch

Продолжение таблицы Б.6

Маска	A	B	C	D	E	F	G	H
5Ch	0570h	1570h	2570h	3570h	4570h	5570h	6570h	7570h
5Dh	0574h	1574h	2574h	3574h	4574h	5574h	6574h	7574h
5Eh	0578h	1578h	2578h	3578h	4578h	5578h	6578h	7578h
5Fh	057Ch	157Ch	257Ch	357Ch	457Ch	557Ch	657Ch	757Ch
60h	0580h	1580h	2580h	3580h	4580h	5580h	6580h	7580h
61h	0584h	1584h	2584h	3584h	4584h	5584h	6584h	7584h
62h	0588h	1588h	2588h	3588h	4588h	5588h	6588h	7588h
63h	058Ch	158Ch	258Ch	358Ch	458Ch	558Ch	658Ch	758Ch
64h	0590h	1590h	2590h	3590h	4590h	5590h	6590h	7590h
65h	0594h	1594h	2594h	3594h	4594h	5594h	6594h	7594h
66h	0598h	1598h	2598h	3598h	4598h	5598h	6598h	7598h
67h	059Ch	159Ch	259Ch	359Ch	459Ch	559Ch	659Ch	759Ch
68h	05A0h	15A0h	25A0h	35A0h	45A0h	55A0h	65A0h	75A0h
69h	05A4h	15A4h	25A4h	35A4h	45A4h	55A4h	65A4h	75A4h
6Ah	05A8h	15A8h	25A8h	35A8h	45A8h	55A8h	65A8h	75A8h
6Bh	05ACh	15ACh	25ACh	35ACh	45ACh	55ACh	65ACh	75ACh
6Ch	05B0h	15B0h	25B0h	35B0h	45B0h	55B0h	65B0h	75B0h
6Dh	05B4h	15B4h	25B4h	35B4h	45B4h	55B4h	65B4h	75B4h
6Eh	05B8h	15B8h	25B8h	35B8h	45B8h	55B8h	65B8h	75B8h
6Fh	05BCh	15BCh	25BCh	35BCh	45BCh	55BCh	65BCh	75BCh
70h	05C0h	15C0h	25C0h	35C0h	45C0h	55C0h	65C0h	75C0h
71h	05C4h	15C4h	25C4h	35C4h	45C4h	55C4h	65C4h	75C4h
72h	05C8h	15C8h	25C8h	35C8h	45C8h	55C8h	65C8h	75C8h
73h	05CCh	15CCh	25CCh	35CCh	45CCh	55CCh	65CCh	75CCh
74h	05D0h	15D0h	25D0h	35D0h	45D0h	55D0h	65D0h	75D0h
75h	05D4h	15D4h	25D4h	35D4h	45D4h	55D4h	65D4h	75D4h
76h	05D8h	15D8h	25D8h	35D8h	45D8h	55D8h	65D8h	75D8h
77h	05DCh	15DCh	25DCh	35DCh	45DCh	55DCh	65DCh	75DCh
78h	05E0h	15E0h	25E0h	35E0h	45E0h	55E0h	65E0h	75E0h
79h	05E4h	15E4h	25E4h	35E4h	45E4h	55E4h	65E4h	75E4h
7Ah	05E8h	15E8h	25E8h	35E8h	45E8h	55E8h	65E8h	75E8h
7Bh	05ECh	15ECh	25ECh	35ECh	45ECh	55ECh	65ECh	75ECh
7Ch	05F0h	15F0h	25F0h	35F0h	45F0h	55F0h	65F0h	75F0h
7Dh	05F4h	15F4h	25F4h	35F4h	45F4h	55F4h	65F4h	75F4h
7Eh	05F8h	15F8h	25F8h	35F8h	45F8h	55F8h	65F8h	75F8h
7Fh	05FCh	15FCh	25FCh	35FCh	45FCh	55FCh	65FCh	75FCh
80h	0600h	1600h	2600h	3600h	4600h	5600h	6600h	7600h
81h	0604h	1604h	2604h	3604h	4604h	5604h	6604h	7604h
82h	0608h	1608h	2608h	3608h	4608h	5608h	6608h	7608h
83h	060Ch	160Ch	260Ch	360Ch	460Ch	560Ch	660Ch	760Ch
84h	0610h	1610h	2610h	3610h	4610h	5610h	6610h	7610h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

85h	0614h	1614h	2614h	3614h	4614h	5614h	6614h	7614h
86h	0618h	1618h	2618h	3618h	4618h	5618h	6618h	7618h
87h	061Ch	161Ch	261Ch	361Ch	461Ch	561Ch	661Ch	761Ch
88h	0620h	1620h	2620h	3620h	4620h	5620h	6620h	7620h
89h	0624h	1624h	2624h	3624h	4624h	5624h	6624h	7624h
8Ah	0628h	1628h	2628h	3628h	4628h	5628h	6628h	7628h

Продолжение таблицы Б.6

Маска	A	B	C	D	E	F	G	H
8Bh	062Ch	162Ch	262Ch	362Ch	462Ch	562Ch	662Ch	762Ch
8Ch	0620h	1620h	2620h	3620h	4620h	5620h	6620h	7620h
8Dh	0634h	1634h	2634h	3634h	4634h	5634h	6634h	7634h
8Eh	0638h	1638h	2638h	3638h	4638h	5638h	6638h	7638h
8Fh	063Ch	163Ch	263Ch	363Ch	463Ch	563Ch	663Ch	763Ch
90h	0640h	1640h	2640h	3640h	4640h	5640h	6640h	7640h
91h	0644h	1644h	2644h	3644h	4644h	5644h	6644h	7644h
92h	0648h	1648h	2648h	3648h	4648h	5648h	6648h	7648h
93h	064Ch	164Ch	264Ch	364Ch	464Ch	564Ch	664Ch	764Ch
94h	0650h	1650h	2650h	3650h	4650h	5650h	6650h	7650h
95h	0654h	1654h	2654h	3654h	4654h	5654h	6654h	7654h
96h	0658h	1658h	2658h	3658h	4658h	5658h	6658h	7658h
97h	065Ch	165Ch	265Ch	365Ch	465Ch	565Ch	665Ch	765Ch
98h	0660h	1660h	2660h	3660h	4660h	5660h	6660h	7660h
99h	0664h	1664h	2664h	3664h	4664h	5664h	6664h	7664h
9Ah	0668h	1668h	2668h	3668h	4668h	5668h	6668h	7668h
9Bh	066Ch	166Ch	266Ch	366Ch	466Ch	566Ch	666Ch	766Ch
9Ch	0670h	1670h	2670h	3670h	4670h	5670h	6670h	7670h
9Dh	0674h	1674h	2674h	3674h	4674h	5674h	6674h	7674h
9Eh	0678h	1678h	2678h	3678h	4678h	5678h	6678h	7678h
9Fh	067Ch	167Ch	267Ch	367Ch	467Ch	567Ch	667Ch	767Ch
A0h	0680h	1680h	2680h	3680h	4680h	5680h	6680h	7680h
A1h	0684h	1684h	2684h	3684h	4684h	5684h	6684h	7684h
A2h	0688h	1688h	2688h	3688h	4688h	5688h	6688h	7688h
A3h	068Ch	168Ch	268Ch	368Ch	468Ch	568Ch	668Ch	768Ch
A4h	0690h	1690h	2690h	3690h	4690h	5690h	6690h	7690h
A5h	0694h	1694h	2694h	3694h	4694h	5694h	6694h	7694h
A6h	0698h	1698h	2698h	3698h	4698h	5698h	6698h	7698h
A7h	069Ch	169Ch	269Ch	369Ch	469Ch	569Ch	669Ch	769Ch
A8h	06A0h	16A0h	26A0h	36A0h	46A0h	56A0h	66A0h	76A0h
A9h	06A4h	16A4h	26A4h	36A4h	46A4h	56A4h	66A4h	76A4h
AAh	06A8h	16A8h	26A8h	36A8h	46A8h	56A8h	66A8h	76A8h
Abh	06Ach	16Ach	26Ach	36Ach	46Ach	56Ach	66Ach	76Ach
ACh	06B0h	16B0h	26B0h	36B0h	46B0h	56B0h	66B0h	76B0h
Adh	06B4h	16B4h	26B4h	36B4h	46B4h	56B4h	66B4h	76B4h
Aeh	06B8h	16B8h	26B8h	36B8h	46B8h	56B8h	66B8h	76B8h
Afh	06BCh	16BCh	26BCh	36BCh	46BCh	56BCh	66BCh	76BCh
B0h	06C0h	16C0h	26C0h	36C0h	46C0h	56C0h	66C0h	76C0h
B1h	06C4h	16C4h	26C4h	36C4h	46C4h	56C4h	66C4h	76C4h
B2h	06C8h	16C8h	26C8h	36C8h	46C8h	56C8h	66C8h	76C8h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

B3h	06CCh	16CCh	26CCh	36CCh	46CCh	56CCh	66CCh	76CCh
B4h	06D0h	16D0h	26D0h	36D0h	46D0h	56D0h	66D0h	76D0h
B5h	06D4h	16D4h	26D4h	36D4h	46D4h	56D4h	66D4h	76D4h
B6h	06D8h	16D8h	26D8h	36D8h	46D8h	56D8h	66D8h	76D8h
B7h	06DCh	16DCh	26DCh	36DCh	46DCh	56DCh	66DCh	76DCh
B8h	06E0h	16E0h	26E0h	36E0h	46E0h	56E0h	66E0h	76E0h
B9h	06E4h	16E4h	26E4h	36E4h	46E4h	56E4h	66E4h	76E4h

Продолжение таблицы Б.6

Маска	A	B	C	D	E	F	G	H
Bah	06E8h	16E8h	26E8h	36E8h	46E8h	56E8h	66E8h	76E8h
BBh	06Ech	16Ech	26Ech	36Ech	46Ech	56Ech	66Ech	76Ech
BCh	06F0h	16F0h	26F0h	36F0h	46F0h	56F0h	66F0h	76F0h
BDh	06F4h	16F4h	26F4h	36F4h	46F4h	56F4h	66F4h	76F4h
Beh	06F8h	16F8h	26F8h	36F8h	46F8h	56F8h	66F8h	76F8h
BFh	06FCh	16FCh	26FCh	36FCh	46FCh	56FCh	66FCh	76FCh
C0h	0700h	1700h	2700h	3700h	4700h	5700h	6700h	7700h
C1h	0704h	1704h	2704h	3704h	4704h	5704h	6704h	7704h
C2h	0708h	1708h	2708h	3708h	4708h	5708h	6708h	7708h
C3h	070Ch	170Ch	270Ch	370Ch	470Ch	570Ch	670Ch	770Ch
C4h	0710h	1710h	2710h	3710h	4710h	5710h	6710h	7710h
C5h	0714h	1714h	2714h	3714h	4714h	5714h	6714h	7714h
C6h	0718h	1718h	2718h	3718h	4718h	5718h	6718h	7718h
C7h	071Ch	171Ch	271Ch	371Ch	471Ch	571Ch	671Ch	771Ch
C8h	0720h	1720h	2720h	3720h	4720h	5720h	6720h	7720h
C9h	0724h	1724h	2724h	3724h	4724h	5724h	6724h	7724h
CAh	0728h	1728h	2728h	3728h	4728h	5728h	6728h	7728h
CBh	072Ch	172Ch	272Ch	372Ch	472Ch	572Ch	672Ch	772Ch
CCh	0720h	1720h	2720h	3720h	4720h	5720h	6720h	7720h
CDh	0734h	1734h	2734h	3734h	4734h	5734h	6734h	7734h
CEh	0738h	1738h	2738h	3738h	4738h	5738h	6738h	7738h
CFh	073Ch	173Ch	273Ch	373Ch	473Ch	573Ch	673Ch	773Ch
D0h	0740h	1740h	2740h	3740h	4740h	5740h	6740h	7740h
D1h	0744h	1744h	2744h	3744h	4744h	5744h	6744h	7744h
D2h	0748h	1748h	2748h	3748h	4748h	5748h	6748h	7748h
D3h	074Ch	174Ch	274Ch	374Ch	474Ch	574Ch	674Ch	774Ch
D4h	0750h	1750h	2750h	3750h	4750h	5750h	6750h	7750h
D5h	0754h	1754h	2754h	3754h	4754h	5754h	6754h	7754h
D6h	0758h	1758h	2758h	3758h	4758h	5758h	6758h	7758h
D7h	075Ch	175Ch	275Ch	375Ch	475Ch	575Ch	675Ch	775Ch
D8h	0760h	1760h	2760h	3760h	4760h	5760h	6760h	7760h
D9h	0764h	1764h	2764h	3764h	4764h	5764h	6764h	7764h
DAh	0768h	1768h	2768h	3768h	4768h	5768h	6768h	7768h
DBh	076Ch	176Ch	276Ch	376Ch	476Ch	576Ch	676Ch	776Ch
DCh	0770h	1770h	2770h	3770h	4770h	5770h	6770h	7770h
DDh	0774h	1774h	2774h	3774h	4774h	5774h	6774h	7774h
DEh	0778h	1778h	2778h	3778h	4778h	5778h	6778h	7778h
DFh	077Ch	177Ch	277Ch	377Ch	477Ch	577Ch	677Ch	777Ch
E0h	0780h	1780h	2780h	3780h	4780h	5780h	6780h	7780h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

E1h	0784h	1784h	2784h	3784h	4784h	5784h	6784h	7784h
E2h	0788h	1788h	2788h	3788h	4788h	5788h	6788h	7788h
E3h	078Ch	178Ch	278Ch	378Ch	478Ch	578Ch	678Ch	778Ch
E4h	0790h	1790h	2790h	3790h	4790h	5790h	6790h	7790h
E5h	0794h	1794h	2794h	3794h	4794h	5794h	6794h	7794h
E6h	0798h	1798h	2798h	3798h	4798h	5798h	6798h	7798h
E7h	079Ch	179Ch	279Ch	379Ch	479Ch	579Ch	679Ch	779Ch
E8h	07A0h	17A0h	27A0h	37A0h	47A0h	57A0h	67A0h	77A0h

Окончание таблицы Б.6

Маска	A	B	C	D	E	F	G	H
E9h	07A4h	17A4h	27A4h	37A4h	47A4h	57A4h	67A4h	77A4h
EAh	07A8h	17A8h	27A8h	37A8h	47A8h	57A8h	67A8h	77A8h
EBh	07ACh	17ACh	27ACh	37ACh	47ACh	57ACh	67ACh	77ACh
ECh	07B0h	17B0h	27B0h	37B0h	47B0h	57B0h	67B0h	77B0h
EDh	07B4h	17B4h	27B4h	37B4h	47B4h	57B4h	67B4h	77B4h
EEh	07B8h	17B8h	27B8h	37B8h	47B8h	57B8h	67B8h	77B8h
EFh	07BCh	17BCh	27BCh	37BCh	47BCh	57BCh	67BCh	77BCh
F0h	07C0h	17C0h	27C0h	37C0h	47C0h	57C0h	67C0h	77C0h
F1h	07C4h	17C4h	27C4h	37C4h	47C4h	57C4h	67C4h	77C4h
F2h	07C8h	17C8h	27C8h	37C8h	47C8h	57C8h	67C8h	77C8h
F3h	07CCh	17CCh	27CCh	37CCh	47CCh	57CCh	67CCh	77CCh
F4h	07D0h	17D0h	27D0h	37D0h	47D0h	57D0h	67D0h	77D0h
F5h	07D4h	17D4h	27D4h	37D4h	47D4h	57D4h	67D4h	77D4h
F6h	07D8h	17D8h	27D8h	37D8h	47D8h	57D8h	67D8h	77D8h
F7h	07DCh	17DCh	27DCh	37DCh	47DCh	57DCh	67DCh	77DCh
F8h	07E0h	17E0h	27E0h	37E0h	47E0h	57E0h	67E0h	77E0h
F9h	07E4h	17E4h	27E4h	37E4h	47E4h	57E4h	67E4h	77E4h
FAh	07E8h	17E8h	27E8h	37E8h	47E8h	57E8h	67E8h	77E8h
FBh	07ECh	17ECh	27ECh	37ECh	47ECh	57ECh	67ECh	77ECh
FCh	07F0h	17F0h	27F0h	37F0h	47F0h	57F0h	67F0h	77F0h
FDh	07F4h	17F4h	27F4h	37F4h	47F4h	57F4h	67F4h	77F4h
FEh	07F8h	17F8h	27F8h	37F8h	47F8h	57F8h	67F8h	77F8h
FFh	07FCh	17FCh	27FCh	37FCh	47FCh	57FCh	67FCh	77FCh

Таблица Б.7 – Адреса регистров MASKHIGHBYTE масок портов

Маска	Порты							
	Адрес 8001_xxxx							
	A	B	C	D	E	F	G	H
00h	0800h	1800h	2800h	3800h	4800h	5800h	6800h	7800h
01h	0804h	1804h	2804h	3804h	4804h	5804h	6804h	7804h
02h	0808h	1808h	2808h	3808h	4808h	5808h	6808h	7808h
03h	080Ch	180Ch	280Ch	380Ch	480Ch	580Ch	680Ch	780Ch
04h	0810h	1810h	2810h	3810h	4810h	5810h	6810h	7810h
05h	0814h	1814h	2814h	3814h	4814h	5814h	6814h	7814h
06h	0818h	1818h	2818h	3818h	4818h	5818h	6818h	7818h
07h	081Ch	181Ch	281Ch	381Ch	481Ch	581Ch	681Ch	781Ch
08h	0820h	1820h	2820h	3820h	4820h	5820h	6820h	7820h
09h	0824h	1824h	2824h	3824h	4824h	5824h	6824h	7824h

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.

0Ah	0828h	1828h	2828h	3828h	4828h	5828h	6828h	7828h
0Bh	082Ch	182Ch	282Ch	382Ch	482Ch	582Ch	682Ch	782Ch
0Ch	0820h	1820h	2820h	3820h	4820h	5820h	6820h	7820h
0Dh	0834h	1834h	2834h	3834h	4834h	5834h	6834h	7834h
0Eh	0838h	1838h	2838h	3838h	4838h	5838h	6838h	7838h
0Fh	083Ch	183Ch	283Ch	383Ch	483Ch	583Ch	683Ch	783Ch
10h	0840h	1840h	2840h	3840h	4840h	5840h	6840h	7840h
11h	0844h	1844h	2844h	3844h	4844h	5844h	6844h	7844h
12h	0848h	1848h	2848h	3848h	4848h	5848h	6848h	7848h

Продолжение таблицы Б.7

Маска	A	B	C	D	E	F	G	H
13h	084Ch	184Ch	284Ch	384Ch	484Ch	584Ch	684Ch	784Ch
14h	0850h	1850h	2850h	3850h	4850h	5850h	6850h	7850h
15h	0854h	1854h	2854h	3854h	4854h	5854h	6854h	7854h
16h	0858h	1858h	2858h	3858h	4858h	5858h	6858h	7858h
17h	085Ch	185Ch	285Ch	385Ch	485Ch	585Ch	685Ch	785Ch
18h	0860h	1860h	2860h	3860h	4860h	5860h	6860h	7860h
19h	0864h	1864h	2864h	3864h	4864h	5864h	6864h	7864h
1Ah	0868h	1868h	2868h	3868h	4868h	5868h	6868h	7868h
1Bh	086Ch	186Ch	286Ch	386Ch	486Ch	586Ch	686Ch	786Ch
1Ch	0870h	1870h	2870h	3870h	4870h	5870h	6870h	7870h
1Dh	0874h	1874h	2874h	3874h	4874h	5874h	6874h	7874h
1Eh	0878h	1878h	2878h	3878h	4878h	5878h	6878h	7878h
1Fh	087Ch	187Ch	287Ch	387Ch	487Ch	587Ch	687Ch	787Ch
20h	0880h	1880h	2880h	3880h	4880h	5880h	6880h	7880h
21h	0884h	1884h	2884h	3884h	4884h	5884h	6884h	7884h
22h	0888h	1888h	2888h	3888h	4888h	5888h	6888h	7888h
23h	088Ch	188Ch	288Ch	388Ch	488Ch	588Ch	688Ch	788Ch
24h	0890h	1890h	2890h	3890h	4890h	5890h	6890h	7890h
25h	0894h	1894h	2894h	3894h	4894h	5894h	6894h	7894h
26h	0898h	1898h	2898h	3898h	4898h	5898h	6898h	7898h
27h	089Ch	189Ch	289Ch	389Ch	489Ch	589Ch	689Ch	789Ch
28h	08A0h	18A0h	28A0h	38A0h	48A0h	58A0h	68A0h	78A0h
29h	08A4h	18A4h	28A4h	38A4h	48A4h	58A4h	68A4h	78A4h
2Ah	08A8h	18A8h	28A8h	38A8h	48A8h	58A8h	68A8h	78A8h
2Bh	08ACh	18ACh	28ACh	38ACh	48ACh	58ACh	68ACh	78ACh
2Ch	08B0h	18B0h	28B0h	38B0h	48B0h	58B0h	68B0h	78B0h
2Dh	08B4h	18B4h	28B4h	38B4h	48B4h	58B4h	68B4h	78B4h
2Eh	08B8h	18B8h	28B8h	38B8h	48B8h	58B8h	68B8h	78B8h
2Fh	08BCh	18BCh	28BCh	38BCh	48BCh	58BCh	68BCh	78BCh
30h	08C0h	18C0h	28C0h	38C0h	48C0h	58C0h	68C0h	78C0h
31h	08C4h	18C4h	28C4h	38C4h	48C4h	58C4h	68C4h	78C4h
32h	08C8h	18C8h	28C8h	38C8h	48C8h	58C8h	68C8h	78C8h
33h	08CCh	18CCh	28CCh	38CCh	48CCh	58CCh	68CCh	78CCh
34h	08D0h	18D0h	28D0h	38D0h	48D0h	58D0h	68D0h	78D0h
35h	08D4h	18D4h	28D4h	38D4h	48D4h	58D4h	68D4h	78D4h
36h	08D8h	18D8h	28D8h	38D8h	48D8h	58D8h	68D8h	78D8h
37h	08DCh	18DCh	28DCh	38DCh	48DCh	58DCh	68DCh	78DCh
38h	08E0h	18E0h	28E0h	38E0h	48E0h	58E0h	68E0h	78E0h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

39h	08E4h	18E4h	28E4h	38E4h	48E4h	58E4h	68E4h	78E4h
3Ah	08E8h	18E8h	28E8h	38E8h	48E8h	58E8h	68E8h	78E8h
3Bh	08ECh	18ECh	28ECh	38ECh	48ECh	58ECh	68ECh	78ECh
3Ch	08F0h	18F0h	28F0h	38F0h	48F0h	58F0h	68F0h	78F0h
3Dh	08F4h	18F4h	28F4h	38F4h	48F4h	58F4h	68F4h	78F4h
3Eh	08F8h	18F8h	28F8h	38F8h	48F8h	58F8h	68F8h	78F8h
3Fh	08FCh	18FCh	28FCh	38FCh	48FCh	58FCh	68FCh	78FCh
40h	0900h	1900h	2900h	3900h	4900h	5900h	6900h	7900h
41h	0904h	1904h	2904h	3904h	4904h	5904h	6904h	7904h
42h	0908h	1908h	2908h	3908h	4908h	5908h	6908h	7908h

Продолжение таблицы Б.7

Маска	A	B	C	D	E	F	G	H
43h	090Ch	190Ch	290Ch	390Ch	490Ch	590Ch	690Ch	790Ch
44h	0910h	1910h	2910h	3910h	4910h	5910h	6910h	7910h
45h	0914h	1914h	2914h	3914h	4914h	5914h	6914h	7914h
46h	0918h	1918h	2918h	3918h	4918h	5918h	6918h	7918h
47h	091Ch	191Ch	291Ch	391Ch	491Ch	591Ch	691Ch	791Ch
48h	0920h	1920h	2920h	3920h	4920h	5920h	6920h	7920h
49h	0924h	1924h	2924h	3924h	4924h	5924h	6924h	7924h
4Ah	0928h	1928h	2928h	3928h	4928h	5928h	6928h	7928h
4Bh	092Ch	192Ch	292Ch	392Ch	492Ch	592Ch	692Ch	792Ch
4Ch	0920h	1920h	2920h	3920h	4920h	5920h	6920h	7920h
4Dh	0934h	1934h	2934h	3934h	4934h	5934h	6934h	7934h
4Eh	0938h	1938h	2938h	3938h	4938h	5938h	6938h	7938h
4Fh	093Ch	193Ch	293Ch	393Ch	493Ch	593Ch	693Ch	793Ch
50h	0940h	1940h	2940h	3940h	4940h	5940h	6940h	7940h
51h	0944h	1944h	2944h	3944h	4944h	5944h	6944h	7944h
52h	0948h	1948h	2948h	3948h	4948h	5948h	6948h	7948h
53h	094Ch	194Ch	294Ch	394Ch	494Ch	594Ch	694Ch	794Ch
54h	0950h	1950h	2950h	3950h	4950h	5950h	6950h	7950h
55h	0954h	1954h	2954h	3954h	4954h	5954h	6954h	7954h
56h	0958h	1958h	2958h	3958h	4958h	5958h	6958h	7958h
57h	095Ch	195Ch	295Ch	395Ch	495Ch	595Ch	695Ch	795Ch
58h	0960h	1960h	2960h	3960h	4960h	5960h	6960h	7960h
59h	0964h	1964h	2964h	3964h	4964h	5964h	6964h	7964h
5Ah	0968h	1968h	2968h	3968h	4968h	5968h	6968h	7968h
5Bh	096Ch	196Ch	296Ch	396Ch	496Ch	596Ch	696Ch	796Ch
5Ch	0970h	1970h	2970h	3970h	4970h	5970h	6970h	7970h
5Dh	0974h	1974h	2974h	3974h	4974h	5974h	6974h	7974h
5Eh	0978h	1978h	2978h	3978h	4978h	5978h	6978h	7978h
5Fh	097Ch	197Ch	297Ch	397Ch	497Ch	597Ch	697Ch	797Ch
60h	0980h	1980h	2980h	3980h	4980h	5980h	6980h	7980h
61h	0984h	1984h	2984h	3984h	4984h	5984h	6984h	7984h
62h	0988h	1988h	2988h	3988h	4988h	5988h	6988h	7988h
63h	098Ch	198Ch	298Ch	398Ch	498Ch	598Ch	698Ch	798Ch
64h	0990h	1990h	2990h	3990h	4990h	5990h	6990h	7990h
65h	0994h	1994h	2994h	3994h	4994h	5994h	6994h	7994h
66h	0998h	1998h	2998h	3998h	4998h	5998h	6998h	7998h
67h	099Ch	199Ch	299Ch	399Ch	499Ch	599Ch	699Ch	799Ch
68h	09A0h	19A0h	29A0h	39A0h	49A0h	59A0h	69A0h	79A0h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

69h	09A4h	19A4h	29A4h	39A4h	49A4h	59A4h	69A4h	79A4h
6Ah	09A8h	19A8h	29A8h	39A8h	49A8h	59A8h	69A8h	79A8h
6Bh	09ACh	19ACh	29ACh	39ACh	49ACh	59ACh	69ACh	79ACh
6Ch	09B0h	19B0h	29B0h	39B0h	49B0h	59B0h	69B0h	79B0h
6Dh	09B4h	19B4h	29B4h	39B4h	49B4h	59B4h	69B4h	79B4h
6Eh	09B8h	19B8h	29B8h	39B8h	49B8h	59B8h	69B8h	79B8h
6Fh	09BCh	19BCh	29BCh	39BCh	49BCh	59BCh	69BCh	79BCh
70h	09C0h	19C0h	29C0h	39C0h	49C0h	59C0h	69C0h	79C0h
71h	09C4h	19C4h	29C4h	39C4h	49C4h	59C4h	69C4h	79C4h
72h	09C8h	19C8h	29C8h	39C8h	49C8h	59C8h	69C8h	79C8h

Продолжение таблицы Б.7

Маска	A	B	C	D	E	F	G	H
73h	09CCh	19CCh	29CCh	39CCh	49CCh	59CCh	69CCh	79CCh
74h	09D0h	19D0h	29D0h	39D0h	49D0h	59D0h	69D0h	79D0h
75h	09D4h	19D4h	29D4h	39D4h	49D4h	59D4h	69D4h	79D4h
76h	09D8h	19D8h	29D8h	39D8h	49D8h	59D8h	69D8h	79D8h
77h	09DCh	19DCh	29DCh	39DCh	49DCh	59DCh	69DCh	79DCh
78h	09E0h	19E0h	29E0h	39E0h	49E0h	59E0h	69E0h	79E0h
79h	09E4h	19E4h	29E4h	39E4h	49E4h	59E4h	69E4h	79E4h
7Ah	09E8h	19E8h	29E8h	39E8h	49E8h	59E8h	69E8h	79E8h
7Bh	09ECh	19ECh	29ECh	39ECh	49ECh	59ECh	69ECh	79ECh
7Ch	09F0h	19F0h	29F0h	39F0h	49F0h	59F0h	69F0h	79F0h
7Dh	09F4h	19F4h	29F4h	39F4h	49F4h	59F4h	69F4h	79F4h
7Eh	09F8h	19F8h	29F8h	39F8h	49F8h	59F8h	69F8h	79F8h
7Fh	09FCh	19FCh	29FCh	39FCh	49FCh	59FCh	69FCh	79FCh
80h	0A00h	1A00h	2A00h	3A00h	4A00h	5A00h	6A00h	7A00h
81h	0A04h	1A04h	2A04h	3A04h	4A04h	5A04h	6A04h	7A04h
82h	0A08h	1A08h	2A08h	3A08h	4A08h	5A08h	6A08h	7A08h
83h	0A0Ch	1A0Ch	2A0Ch	3A0Ch	4A0Ch	5A0Ch	6A0Ch	7A0Ch
84h	0A10h	1A10h	2A10h	3A10h	4A10h	5A10h	6A10h	7A10h
85h	0A14h	1A14h	2A14h	3A14h	4A14h	5A14h	6A14h	7A14h
86h	0A18h	1A18h	2A18h	3A18h	4A18h	5A18h	6A18h	7A18h
87h	0A1Ch	1A1Ch	2A1Ch	3A1Ch	4A1Ch	5A1Ch	6A1Ch	7A1Ch
88h	0A20h	1A20h	2A20h	3A20h	4A20h	5A20h	6A20h	7A20h
89h	0A24h	1A24h	2A24h	3A24h	4A24h	5A24h	6A24h	7A24h
8Ah	0A28h	1A28h	2A28h	3A28h	4A28h	5A28h	6A28h	7A28h
8Bh	0A2Ch	1A2Ch	2A2Ch	3A2Ch	4A2Ch	5A2Ch	6A2Ch	7A2Ch
8Ch	0A20h	1A20h	2A20h	3A20h	4A20h	5A20h	6A20h	7A20h
8Dh	0A34h	1A34h	2A34h	3A34h	4A34h	5A34h	6A34h	7A34h
8Eh	0A38h	1A38h	2A38h	3A38h	4A38h	5A38h	6A38h	7A38h
8Fh	0A3Ch	1A3Ch	2A3Ch	3A3Ch	4A3Ch	5A3Ch	6A3Ch	7A3Ch
90h	0A40h	1A40h	2A40h	3A40h	4A40h	5A40h	6A40h	7A40h
91h	0A44h	1A44h	2A44h	3A44h	4A44h	5A44h	6A44h	7A44h
92h	0A48h	1A48h	2A48h	3A48h	4A48h	5A48h	6A48h	7A48h
93h	0A4Ch	1A4Ch	2A4Ch	3A4Ch	4A4Ch	5A4Ch	6A4Ch	7A4Ch
94h	0A50h	1A50h	2A50h	3A50h	4A50h	5A50h	6A50h	7A50h
95h	0A54h	1A54h	2A54h	3A54h	4A54h	5A54h	6A54h	7A54h
96h	0A58h	1A58h	2A58h	3A58h	4A58h	5A58h	6A58h	7A58h
97h	0A5Ch	1A5Ch	2A5Ch	3A5Ch	4A5Ch	5A5Ch	6A5Ch	7A5Ch
98h	0A60h	1A60h	2A60h	3A60h	4A60h	5A60h	6A60h	7A60h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

99h	0A64h	1A64h	2A64h	3A64h	4A64h	5A64h	6A64h	7A64h
9Ah	0A68h	1A68h	2A68h	3A68h	4A68h	5A68h	6A68h	7A68h
9Bh	0A6Ch	1A6Ch	2A6Ch	3A6Ch	4A6Ch	5A6Ch	6A6Ch	7A6Ch
9Ch	0A70h	1A70h	2A70h	3A70h	4A70h	5A70h	6A70h	7A70h
9Dh	0A74h	1A74h	2A74h	3A74h	4A74h	5A74h	6A74h	7A74h
9Eh	0A78h	1A78h	2A78h	3A78h	4A78h	5A78h	6A78h	7A78h
9Fh	0A7Ch	1A7Ch	2A7Ch	3A7Ch	4A7Ch	5A7Ch	6A7Ch	7A7Ch
A0h	0A80h	1A80h	2A80h	3A80h	4A80h	5A80h	6A80h	7A80h
A1h	0A84h	1A84h	2A84h	3A84h	4A84h	5A84h	6A84h	7A84h
A2h	0A88h	1A88h	2A88h	3A88h	4A88h	5A88h	6A88h	7A88h

Продолжение таблицы Б.7

Маска	A	B	C	D	E	F	G	H
A3h	0A8Ch	1A8Ch	2A8Ch	3A8Ch	4A8Ch	5A8Ch	6A8Ch	7A8Ch
A4h	0A90h	1A90h	2A90h	3A90h	4A90h	5A90h	6A90h	7A90h
A5h	0A94h	1A94h	2A94h	3A94h	4A94h	5A94h	6A94h	7A94h
A6h	0A98h	1A98h	2A98h	3A98h	4A98h	5A98h	6A98h	7A98h
A7h	0A9Ch	1A9Ch	2A9Ch	3A9Ch	4A9Ch	5A9Ch	6A9Ch	7A9Ch
A8h	0AA0h	1AA0h	2AA0h	3AA0h	4AA0h	5AA0h	6AA0h	7AA0h
A9h	0AA4h	1AA4h	2AA4h	3AA4h	4AA4h	5AA4h	6AA4h	7AA4h
AAh	0AA8h	1AA8h	2AA8h	3AA8h	4AA8h	5AA8h	6AA8h	7AA8h
ABh	0AACh	1AACh	2AACh	3AACh	4AACh	5AACh	6AACh	7AACh
ACh	0AB0h	1AB0h	2AB0h	3AB0h	4AB0h	5AB0h	6AB0h	7AB0h
ADh	0AB4h	1AB4h	2AB4h	3AB4h	4AB4h	5AB4h	6AB4h	7AB4h
Aeh	0AB8h	1AB8h	2AB8h	3AB8h	4AB8h	5AB8h	6AB8h	7AB8h
Afh	0ABCh	1ABCh	2ABCh	3ABCh	4ABCh	5ABCh	6ABCh	7ABCh
B0h	0AC0h	1AC0h	2AC0h	3AC0h	4AC0h	5AC0h	6AC0h	7AC0h
B1h	0AC4h	1AC4h	2AC4h	3AC4h	4AC4h	5AC4h	6AC4h	7AC4h
B2h	0AC8h	1AC8h	2AC8h	3AC8h	4AC8h	5AC8h	6AC8h	7AC8h
B3h	0ACCh	1ACCh	2ACCh	3ACCh	4ACCh	5ACCh	6ACCh	7ACCh
B4h	0AD0h	1AD0h	2AD0h	3AD0h	4AD0h	5AD0h	6AD0h	7AD0h
B5h	0AD4h	1AD4h	2AD4h	3AD4h	4AD4h	5AD4h	6AD4h	7AD4h
B6h	0AD8h	1AD8h	2AD8h	3AD8h	4AD8h	5AD8h	6AD8h	7AD8h
B7h	0ADCh	1ADCh	2ADCh	3ADCh	4ADCh	5ADCh	6ADCh	7ADCh
B8h	0AE0h	1AE0h	2AE0h	3AE0h	4AE0h	5AE0h	6AE0h	7AE0h
B9h	0AE4h	1AE4h	2AE4h	3AE4h	4AE4h	5AE4h	6AE4h	7AE4h
BAh	0AE8h	1AE8h	2AE8h	3AE8h	4AE8h	5AE8h	6AE8h	7AE8h
BBh	0AECh	1AECh	2AECh	3AECh	4AECh	5AECh	6AECh	7AECh
BCh	0AF0h	1AF0h	2AF0h	3AF0h	4AF0h	5AF0h	6AF0h	7AF0h
BDh	0AF4h	1AF4h	2AF4h	3AF4h	4AF4h	5AF4h	6AF4h	7AF4h
BEh	0AF8h	1AF8h	2AF8h	3AF8h	4AF8h	5AF8h	6AF8h	7AF8h
Bfh	0AFCh	1AFCh	2AFCh	3AFCh	4AFCh	5AFCh	6AFCh	7AFCh
C0h	0B00h	1B00h	2B00h	3B00h	4B00h	5B00h	6B00h	7B00h
C1h	0B04h	1B04h	2B04h	3B04h	4B04h	5B04h	6B04h	7B04h
C2h	0B08h	1B08h	2B08h	3B08h	4B08h	5B08h	6B08h	7B08h
C3h	0B0Ch	1B0Ch	2B0Ch	3B0Ch	4B0Ch	5B0Ch	6B0Ch	7B0Ch
C4h	0B10h	1B10h	2B10h	3B10h	4B10h	5B10h	6B10h	7B10h
C5h	0B14h	1B14h	2B14h	3B14h	4B14h	5B14h	6B14h	7B14h
C6h	0B18h	1B18h	2B18h	3B18h	4B18h	5B18h	6B18h	7B18h
C7h	0B1Ch	1B1Ch	2B1Ch	3B1Ch	4B1Ch	5B1Ch	6B1Ch	7B1Ch
C8h	0B20h	1B20h	2B20h	3B20h	4B20h	5B20h	6B20h	7B20h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

C9h	0B24h	1B24h	2B24h	3B24h	4B24h	5B24h	6B24h	7B24h
CAh	0B28h	1B28h	2B28h	3B28h	4B28h	5B28h	6B28h	7B28h
CBh	0B2Ch	1B2Ch	2B2Ch	3B2Ch	4B2Ch	5B2Ch	6B2Ch	7B2Ch
CCh	0B20h	1B20h	2B20h	3B20h	4B20h	5B20h	6B20h	7B20h
CDh	0B34h	1B34h	2B34h	3B34h	4B34h	5B34h	6B34h	7B34h
CEh	0B38h	1B38h	2B38h	3B38h	4B38h	5B38h	6B38h	7B38h
CFh	0B3Ch	1B3Ch	2B3Ch	3B3Ch	4B3Ch	5B3Ch	6B3Ch	7B3Ch
D0h	0B40h	1B40h	2B40h	3B40h	4B40h	5B40h	6B40h	7B40h
D1h	0B44h	1B44h	2B44h	3B44h	4B44h	5B44h	6B44h	7B44h
D2h	0B48h	1B48h	2B48h	3B48h	4B48h	5B48h	6B48h	7B48h

Окончание таблицы Б.7

Маска	A	B	C	D	E	F	G	H
D3h	0B4Ch	1B4Ch	2B4Ch	3B4Ch	4B4Ch	5B4Ch	6B4Ch	7B4Ch
D4h	0B50h	1B50h	2B50h	3B50h	4B50h	5B50h	6B50h	7B50h
D5h	0B54h	1B54h	2B54h	3B54h	4B54h	5B54h	6B54h	7B54h
D6h	0B58h	1B58h	2B58h	3B58h	4B58h	5B58h	6B58h	7B58h
D7h	0B5Ch	1B5Ch	2B5Ch	3B5Ch	4B5Ch	5B5Ch	6B5Ch	7B5Ch
D8h	0B60h	1B60h	2B60h	3B60h	4B60h	5B60h	6B60h	7B60h
D9h	0B64h	1B64h	2B64h	3B64h	4B64h	5B64h	6B64h	7B64h
DAh	0B68h	1B68h	2B68h	3B68h	4B68h	5B68h	6B68h	7B68h
DBh	0B6Ch	1B6Ch	2B6Ch	3B6Ch	4B6Ch	5B6Ch	6B6Ch	7B6Ch
DCh	0B70h	1B70h	2B70h	3B70h	4B70h	5B70h	6B70h	7B70h
DDh	0B74h	1B74h	2B74h	3B74h	4B74h	5B74h	6B74h	7B74h
DEh	0B78h	1B78h	2B78h	3B78h	4B78h	5B78h	6B78h	7B78h
DFh	0B7Ch	1B7Ch	2B7Ch	3B7Ch	4B7Ch	5B7Ch	6B7Ch	7B7Ch
E0h	0B80h	1B80h	2B80h	3B80h	4B80h	5B80h	6B80h	7B80h
E1h	0B84h	1B84h	2B84h	3B84h	4B84h	5B84h	6B84h	7B84h
E2h	0B88h	1B88h	2B88h	3B88h	4B88h	5B88h	6B88h	7B88h
E3h	0B8Ch	1B8Ch	2B8Ch	3B8Ch	4B8Ch	5B8Ch	6B8Ch	7B8Ch
E4h	0B90h	1B90h	2B90h	3B90h	4B90h	5B90h	6B90h	7B90h
E5h	0B94h	1B94h	2B94h	3B94h	4B94h	5B94h	6B94h	7B94h
E6h	0B98h	1B98h	2B98h	3B98h	4B98h	5B98h	6B98h	7B98h
E7h	0B9Ch	1B9Ch	2B9Ch	3B9Ch	4B9Ch	5B9Ch	6B9Ch	7B9Ch
E8h	0BA0h	1BA0h	2BA0h	3BA0h	4BA0h	5BA0h	6BA0h	7BA0h
E9h	0BA4h	1BA4h	2BA4h	3BA4h	4BA4h	5BA4h	6BA4h	7BA4h
EAh	0BA8h	1BA8h	2BA8h	3BA8h	4BA8h	5BA8h	6BA8h	7BA8h
EBh	0BACH	1BACH	2BACH	3BACH	4BACH	5BACH	6BACH	7BACH
ECh	0BB0h	1BB0h	2BB0h	3BB0h	4BB0h	5BB0h	6BB0h	7BB0h
EDh	0BB4h	1BB4h	2BB4h	3BB4h	4BB4h	5BB4h	6BB4h	7BB4h
EEh	0BB8h	1BB8h	2BB8h	3BB8h	4BB8h	5BB8h	6BB8h	7BB8h
EFh	0BBCh	1BBCh	2BBCh	3BBCh	4BBCh	5BBCh	6BBCh	7BBCh
F0h	0BC0h	1BC0h	2BC0h	3BC0h	4BC0h	5BC0h	6BC0h	7BC0h
F1h	0BC4h	1BC4h	2BC4h	3BC4h	4BC4h	5BC4h	6BC4h	7BC4h
F2h	0BC8h	1BC8h	2BC8h	3BC8h	4BC8h	5BC8h	6BC8h	7BC8h
F3h	0BCCh	1BCCh	2BCCh	3BCCh	4BCCh	5BCCh	6BCCh	7BCCh
F4h	0BD0h	1BD0h	2BD0h	3BD0h	4BD0h	5BD0h	6BD0h	7BD0h
F5h	0BD4h	1BD4h	2BD4h	3BD4h	4BD4h	5BD4h	6BD4h	7BD4h
F6h	0BD8h	1BD8h	2BD8h	3BD8h	4BD8h	5BD8h	6BD8h	7BD8h
F7h	0BDCh	1BDCh	2BDCh	3BDCh	4BDCh	5BDCh	6BDCh	7BDCh
F8h	0BE0h	1BE0h	2BE0h	3BE0h	4BE0h	5BE0h	6BE0h	7BE0h

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

F9h	0BE4h	1BE4h	2BE4h	3BE4h	4BE4h	5BE4h	6BE4h	7BE4h
FAh	0BE8h	1BE8h	2BE8h	3BE8h	4BE8h	5BE8h	6BE8h	7BE8h
FBh	0BECCh	1BECCh	2BECCh	3BECCh	4BECCh	5BECCh	6BECCh	7BECCh
FCh	0BF0h	1BF0h	2BF0h	3BF0h	4BF0h	5BF0h	6BF0h	7BF0h
FDh	0BF4h	1BF4h	2BF4h	3BF4h	4BF4h	5BF4h	6BF4h	7BF4h
FEh	0BF8h	1BF8h	2BF8h	3BF8h	4BF8h	5BF8h	6BF8h	7BF8h
FFh	0BFCh	1BFCh	2BFCh	3BFCh	4BFCh	5BFCh	6BFCh	7BFCh
Зарезер- вировано	0C00h- 0FFCh	1C00h- 1FFCh	2C00h- 2FFCh	3C00h- 3FFCh	4C00h- 4FFCh	5C00h- 5FFCh	6C00h- 6FFCh	7C00h- 7FFCh

Таблица Б.8– Мнемоника и соответствующие названия регистров контроллера GPIO

Мнемоника	Сброс	Название
DATA	----h	Регистр данных порта
DATAOUT	0000h	Выходной регистр данных порта
OUTENSET	0000h	Регистр разрешения выходов порта
OUTENCLR	0000h	Регистр сброса разрешения выходов порта
ALTFUNCSET	0000h	Регистр включения альтернативной функции порта
ALTFUNCCLR	0000h	Регистр выключения альтернативной функции порта
INTENSET	0000h	Регистр разрешения прерываний порта
INTENCLR	0000h	Регистр сброса разрешения прерываний порта
INTTYPESET	0000h	Регистр типа прерываний порта
INTTYPECLR	0000h	Регистр сброса типа прерываний порта
INTPOLSET	0000h	Регистр полярности события прерывания порта
INTPOLCLR	0000h	Регистр сброса полярности события прерывания порта
INTSTATUS, INTCLEAR	0000h	Регистр состояния и сброса прерываний порта
MASKLOWBYTE	----h	Регистр маски n младшего байта порта
MASKHIGHBYTE	----h	Регистры масок n старших байт порта
Адреса 80018000h-8002FFFCh являются зарезервированными		

Таблица Б.9 – Регистры общего назначения

Адрес	Мнемоника	Сброс	Название
1	2	3	4
80030000h	GPIO DEN0	00020062h	Регистр разрешения выходов портов А и В
80030004h	GPIO DEN1	08000000h	Регистр разрешения выходов портов С и D
80030008h	GPIO DEN2	00000400h	Регистр разрешения выходов портов Е и F
8003000Ch	GPIO DEN3	00000000h	Регистр разрешения выходов портов G и H
80030010h- 80030014h	–	–	Зарезервировано
80030018h	GPIO PCTLA	00000000h	Регистр выбора функции порта А
8003001Ch	GPIO PCTLB	00000000h	Регистр выбора функции порта В
80030020h	GPIO PCTLC	00000000h	Регистр выбора функции порта С
80030024h	GPIO PCTLD	00000000h	Регистр выбора функции порта D
80030028h	GPIO PCTLE	00000000h	Регистр выбора функции порта Е
8003002Ch	GPIO PCTLF	00000000h	Регистр выбора функции порта F
80030030h	GPIO PCTLG	00000000h	Регистр выбора функции порта G

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

80030034h	GPIOPCTLH	00000000h	Регистр выбора функции порта H
80030038h- 80030044h	–	–	Зарезервировано
80030048h	GPIOODCTL0	00000000h	Регистр включения режима открытого коллектора портов A и B
8003004Ch	GPIOODCTL1	00000000h	Регистр включения режима открытого коллектора портов C и D
80030050h	GPIOODCTL2	00000000h	Регистр включения режима открытого коллектора портов E и F
80030054h	GPIOODCTL3	00000000h	Регистр включения режима открытого коллектора портов G и H

Продолжение таблицы Б.9

1	2	3	4
80030058h- 8003005Ch	–	–	Зарезервировано
80030060h	GPIODSCTL0	00000000h	Регистр управления нагрузочной способностью ходов портов A и B
80030064h	GPIODSCTL1	00000000h	Регистр управления нагрузочной способностью выходов портов C и D
80030068h	GPIODSCTL2	00000000h	Регистр управления нагрузочной способностью выходов портов E и F
8003006Ch	GPIODSCTL3	00000000h	Регистр управления нагрузочной способностью выходов портов G и H
80030070h- 80030074h	–	–	Зарезервировано
80030078h	GPIOPUCTL0	00000000h	Регистр управления схемой «Pull-up» портов A и B
8003007Ch	GPIOPUCTL1	00000000h	Регистр управления схемой «Pull-up» портов C и D
80030080h	GPIOPUCTL2	00000000h	Регистр управления схемой «Pull-up» портов E и F
80030084h	GPIOPUCTL3	00000000h	Регистр управления схемой «Pull-up» портов G и H
80030088h- 80030090h	–	–	Зарезервировано
80030094h	PLL_CTRL	00000000h	Регистр управления настройками PLL
80030098h	PLL_OD	00000000h	Регистр задания выходного делителя PLL
8003009Ch	PLL_NR	00000000h	Регистр задания опорного делителя PLL
800300A0h	PLL_NF	00000000h	Регистр задания делителя обратной связи PLL
800300A4h	EXT_MEM_CFG	80000007h	Регистр настройки контроллера внешней памяти
800300A8h	ADC_CTRL1	00000000h	Регистр 1 настройки блоков АЦП
800300ACh	ADC_CTRL2	00000000h	Регистр 2 настройки блоков АЦП
800300B0h	PWM_SYNC	00000000h	Регистр синхронизации блоков ШИМ
800300B4h	PWM_CTRL	00000000h	Регистр настройки синхронизации блоков ШИМ
800300B8h	SYS_CLK	00000000h	Регистр настройки системной частоты микроконтроллера
800300BCh	APB_CLK	00000000h	Регистр настройки разрешения тактовых сигналов периферии

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

800300C0h	UART_CLK	00000000h	Регистр настройки тактовых сигналов блоков UART
800300C4h	SPI_CLK	00000000h	Регистр настройки тактовых сигналов блоков SPI
800300C8h	PER_RST1	00000000h	Регистр 1 сброса блоков периферии
800300CCh	PER_RST2	00000000h	Регистр 2 сброса блоков периферии
800300D0h	GPIOSE0	00000000h	Регистр управления пересинхронизацией входов GPIO портов А и В

Окончание таблицы Б.9

1	2	3	4
800300D4h	GPIOSE1	00000000h	Регистр управления пересинхронизацией входов GPIO портов С и D
800300D8h	GPIOSE2	00000000h	Регистр управления пересинхронизацией входов GPIO портов Е и F
800300DCh	GPIOSE3	00000000h	Регистр управления пересинхронизацией входов GPIO портов G и H
800300E0h - 800300ECh	–	–	Зарезервировано
800300F0h	GPIOQE0	00000000h	Регистр включения фильтра GPIO для портов А и В
800300F4h	GPIOQE1	00000000h	Регистр включения фильтра GPIO для портов С и D
800300F8h	GPIOQE2	00000000h	Регистр включения фильтра GPIO для портов Е и F
800300FCh	GPIOQE3	00000000h	Регистр включения фильтра GPIO для портов G и H
80030100h	GPIOQM0	00000000h	Регистр режима работы фильтра GPIO для портов А и В
80030104h	GPIOQM1	00000000h	Регистр режима работы фильтра GPIO для портов С и D
80030108h	GPIOQM2	00000000h	Регистр режима работы фильтра GPIO для портов Е и F
8003010Ch	GPIOQM3	00000000h	Регистр режима работы фильтра GPIO для портов G и H
80030110h	GPIOQPAD	00000000h	Регистр настройки фильтров портов А-D
80030114h	GPIOQPEH	00000000h	Регистр настройки фильтров портов Е-H
80030118h- 8003012Ch	–	–	Зарезервировано
80030130h	USB_CTRL	00000000h	Регистр настройки USB PHY
80030134h	–	–	Зарезервировано
80030138h	UART_SPI_CLK_SEL		Регистр выбора источников тактовых сигналов блоков UART и SPI
8003013Ch	ADC_CTRL3		Регистр 3 настройки блоков АЦП
80030140h- 80030160h	–	–	Зарезервировано
80030164h	FLASH_FULL_ERASE	00000000h	Регистр полного стирания флеш-памяти
80030168h-	–	–	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Инд. № дубл.
Подп. и дата	Подп. и дата

8006FFFCh			
-----------	--	--	--

Таблица Б.10 – Регистры контроллера CAN

Адрес	Мнемоника	Сброс	Название
1	2	3	4
80070000h	CLC	00000003h	Регистр управления частотой
80070004h	–	–	Зарезервировано
80070008h	ID	002BC051h	Регистр идентификации
8007000Ch	FDR	00000000h	Регистр делителя

Окончание таблицы Б.10

1	2	3	4
80070010h- 800700FCh	–	–	Зарезервировано
80070100h	LIST0	007F7F00h	Регистр списка 0
80070104h	LIST1	01000000h	Регистр свободного списка 1
80070108h	LIST2	01000000h	Регистр свободного списка 2
8007010Ch	LIST3	01000000h	Регистр свободного списка 3
80070110h	LIST4	01000000h	Регистр свободного списка 4
80070114h	LIST5	01000000h	Регистр свободного списка 5
80070118h	LIST6	01000000h	Регистр свободного списка 6
8007011Ch	LIST7	01000000h	Регистр свободного списка 7
80070120h- 8007013Ch	–	–	Зарезервировано
80070140h	MSPND0	00000000h	Регистр 0 ждущих прерываний
80070144h	MSPND1	00000000h	Регистр 1 ждущих прерываний
80070148h	MSPND2	00000000h	Регистр 2 ждущих прерываний
8007014Ch	MSPND3	00000000h	Регистр 3 ждущих прерываний
80070150h	MSPND4	00000000h	Регистр 4 ждущих прерываний
80070154h	MSPND5	00000000h	Регистр 5 ждущих прерываний
80070158h	MSPND6	00000000h	Регистр 6 ждущих прерываний
8007015Ch	MSPND7	00000000h	Регистр 7 ждущих прерываний
80070160h- 8007017Ch	–	–	Зарезервировано
80070180h	MSID0	00000020h	Регистр 0 индекса сообщения
80070184h	MSID1	00000020h	Регистр 1 индекса сообщения
80070188h	MSID2	00000020h	Регистр 2 индекса сообщения
8007018Ch	MSID3	00000020h	Регистр 3 индекса сообщения
80070190h	MSID4	00000020h	Регистр 4 индекса сообщения
80070194h	MSID5	00000020h	Регистр 5 индекса сообщения
80070198h	MSID6	00000020h	Регистр 6 индекса сообщения
8007019Ch	MSID7	00000020h	Регистр 7 индекса сообщения
800701A0h- 800701BCh	–	–	Зарезервировано
800701C0h	MSIMAS K	00000000h	Регистр маски индекса сообщения

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

800701C4h	PANCTR	00000301h	Регистр панели команд
800701C8h	MCR	00000000h	Регистр управления
800701CCh	MITR	00000000h	Регистр прерываний
800701D0h- 800701FCh	Зарезервировано		

Таблица Б.11 – Адреса регистров узлов контроллера CAN

Мнемоника	Адреса регистров узлов		Сброс	Название
	Узел 0	Узел 1		
NCR	80070200h	80070300h	00000001h	Регистр управления узла
NSR	80070204h	80070304h	00000000h	Регистр состояния узла
NIPR	80070208h	80070308h	00000000h	Регистр указателя прерываний узла
NPCR	8007020Ch	8007030Ch	00000000h	Регистр управления портом узла
NBTR	80070210h	80070310h	00000000h	Регистр синхронизации битов узла
NECNT	80070214h	80070314h	00600000h	Регистр счетчика ошибок узла
NFCR	80070218h	80070318h	00000000h	Регистр счетчика сообщений узла
Адреса 8007021Ch-80070FFCh являются зарезервированными				

Таблица Б.12 – Адреса регистров объектов сообщений контроллера CAN

Объект сообщения	Регистры объектов сообщений							
	Адрес 8007_хххх							
	МО FCR	МО FGPR	МО IPR	МО AMR	МО DATA L	МО DATA H	МО AR	МО CTR/ MO STAT
0	1000h	1004h	1008h	100Ch	1010h	1014h	1018h	101Ch
1	1020h	1024h	1028h	102Ch	1030h	1034h	1038h	103Ch
2	1040h	1044h	1048h	104Ch	1050h	1054h	1058h	105Ch
3	1060h	1064h	1068h	106Ch	1070h	1074h	1078h	107Ch
4	1080h	1084h	1088h	108Ch	1090h	1094h	1098h	109Ch
5	10A0h	10A4h	10A8h	10ACh	10B0h	10B4h	10B8h	10BCh
6	10C0h	10C4h	10C8h	10CCh	10D0h	10D4h	10D8h	10DCh
7	10E0h	10E4h	10E8h	10ECh	10F0h	10F4h	10F8h	10FCh
8	1100h	1104h	1108h	110Ch	1110h	1114h	1118h	111Ch
9	1120h	1124h	1128h	112Ch	1130h	1134h	1138h	113Ch
10	1140h	1144h	1148h	114Ch	1150h	1154h	1158h	115Ch
11	1160h	1164h	1168h	116Ch	1170h	1174h	1178h	117Ch
12	1180h	1184h	1188h	118Ch	1190h	1194h	1198h	119Ch
13	11A0h	11A4h	11A8h	11ACh	11B0h	11B4h	11B8h	11BCh
14	11C0h	11C4h	11C8h	11CCh	11D0h	11D4h	11D8h	11DCh

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

15	11E0h	11E4h	11E8h	11ECh	11F0h	11F4h	11F8h	11FCh
16	1200h	1204h	1208h	120Ch	1210h	1214h	1218h	121Ch
17	1220h	1224h	1228h	122Ch	1230h	1234h	1238h	123Ch
18	1240h	1244h	1248h	124Ch	1250h	1254h	1258h	125Ch
19	1260h	1264h	1268h	126Ch	1270h	1274h	1278h	127Ch
20	1280h	1284h	1288h	128Ch	1290h	1294h	1298h	129Ch
21	12A0h	12A4h	12A8h	12ACh	12B0h	12B4h	12B8h	12BCh
22	12C0h	12C4h	12C8h	12CCh	12D0h	12D4h	12D8h	12DCh
23	12E0h	12E4h	12E8h	12ECh	12F0h	12F4h	12F8h	12FCh
24	1300h	1304h	1308h	130Ch	1310h	1314h	1318h	131Ch
25	1320h	1324h	1328h	132Ch	1330h	1334h	1338h	133Ch
26	1340h	1344h	1348h	134Ch	1350h	1354h	1358h	135Ch

Продолжение таблицы Б.12

Объект сообщения	МО FCR	МО FGPR	МО IPR	МО AMR	МО DATAL	МО DATAH	МО AR	МО CTR/ МО STAT
27	1360h	1364h	1368h	136Ch	1370h	1374h	1378h	137Ch
28	1380h	1384h	1388h	138Ch	1390h	1394h	1398h	139Ch
29	13A0h	13A4h	13A8h	13ACh	13B0h	13B4h	13B8h	13BCh
30	13C0h	13C4h	13C8h	13CCh	13D0h	13D4h	13D8h	13DCh
31	13E0h	13E4h	13E8h	13ECh	13F0h	13F4h	13F8h	13FCh
32	1400h	1404h	1408h	140Ch	1410h	1414h	1418h	141Ch
33	1420h	1424h	1428h	142Ch	1430h	1434h	1438h	143Ch
34	1440h	1444h	1448h	144Ch	1450h	1454h	1458h	145Ch
35	1460h	1464h	1468h	146Ch	1470h	1474h	1478h	147Ch
36	1480h	1484h	1488h	148Ch	1490h	1494h	1498h	149Ch
37	14A0h	14A4h	14A8h	14ACh	14B0h	14B4h	14B8h	14BCh
38	14C0h	14C4h	14C8h	14CCh	14D0h	14D4h	14D8h	14DCh
39	14E0h	14E4h	14E8h	14ECh	14F0h	14F4h	14F8h	14FCh
40	1500h	1504h	1508h	150Ch	1510h	1514h	1518h	151Ch
41	1520h	1524h	1528h	152Ch	1530h	1534h	1538h	153Ch
42	1540h	1544h	1548h	154Ch	1550h	1554h	1558h	155Ch
43	1560h	1564h	1568h	156Ch	1570h	1574h	1578h	157Ch
44	1580h	1584h	1588h	158Ch	1590h	1594h	1598h	159Ch
45	15A0h	15A4h	15A8h	15ACh	15B0h	15B4h	15B8h	15BCh
46	15C0h	15C4h	15C8h	15CCh	15D0h	15D4h	15D8h	15DCh
47	15E0h	15E4h	15E8h	15ECh	15F0h	15F4h	15F8h	15FCh
48	1600h	1604h	1608h	160Ch	1610h	1614h	1618h	161Ch
49	1620h	1624h	1628h	162Ch	1630h	1634h	1638h	163Ch
50	1640h	1644h	1648h	164Ch	1650h	1654h	1658h	165Ch
51	1660h	1664h	1668h	166Ch	1670h	1674h	1678h	167Ch
52	1680h	1684h	1688h	168Ch	1690h	1694h	1698h	169Ch
53	16A0h	16A4h	16A8h	16ACh	16B0h	16B4h	16B8h	16BCh
54	16C0h	16C4h	16C8h	16CCh	16D0h	16D4h	16D8h	16DCh
55	16E0h	16E4h	16E8h	16ECh	16F0h	16F4h	16F8h	16FCh
56	1700h	1704h	1708h	170Ch	1710h	1714h	1718h	171Ch
57	1720h	1724h	1728h	172Ch	1730h	1734h	1738h	173Ch
58	1740h	1744h	1748h	174Ch	1750h	1754h	1758h	175Ch
59	1760h	1764h	1768h	176Ch	1770h	1774h	1778h	177Ch
60	1780h	1784h	1788h	178Ch	1790h	1794h	1798h	179Ch

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

61	17A0h	17A4h	17A8h	17ACh	17B0h	17B4h	17B8h	17BCh
62	17C0h	17C4h	17C8h	17CCh	17D0h	17D4h	17D8h	17DCh
63	17E0h	17E4h	17E8h	17ECh	17F0h	17F4h	17F8h	17FCh
64	1800h	1804h	1808h	180Ch	1810h	1814h	1818h	181Ch
65	1820h	1824h	1828h	182Ch	1830h	1834h	1838h	183Ch
66	1840h	1844h	1848h	184Ch	1850h	1854h	1858h	185Ch
67	1860h	1864h	1868h	186Ch	1870h	1874h	1878h	187Ch
68	1880h	1884h	1888h	188Ch	1890h	1894h	1898h	189Ch
69	18A0h	18A4h	18A8h	18ACh	18B0h	18B4h	18B8h	18BCh
70	18C0h	18C4h	18C8h	18CCh	18D0h	18D4h	18D8h	18DCh
71	18E0h	18E4h	18E8h	18ECh	18F0h	18F4h	18F8h	18FCh
72	1900h	1904h	1908h	190Ch	1910h	1914h	1918h	191Ch

Продолжение таблицы Б.12

Объект сообщения	MO FCR	MO FGPR	MO IPR	MO AMR	MO DATAL	MO DATAH	MO AR	MO CTR/ MO STAT
73	1920h	1924h	1928h	192Ch	1930h	1934h	1938h	193Ch
74	1940h	1944h	1948h	194Ch	1950h	1954h	1958h	195Ch
75	1960h	1964h	1968h	196Ch	1970h	1974h	1978h	197Ch
76	1980h	1984h	1988h	198Ch	1990h	1994h	1998h	199Ch
77	19A0h	19A4h	19A8h	19ACh	19B0h	19B4h	19B8h	19BCh
78	19C0h	19C4h	19C8h	19CCh	19D0h	19D4h	19D8h	19DCh
79	19E0h	19E4h	19E8h	19ECh	19F0h	19F4h	19F8h	19FCh
80	1A00h	1A04h	1A08h	1A0Ch	1A10h	1A14h	1A18h	1A1Ch
81	1A20h	1A24h	1A28h	1A2Ch	1A30h	1A34h	1A38h	1A3Ch
82	1A40h	1A44h	1A48h	1A4Ch	1A50h	1A54h	1A58h	1A5Ch
83	1A60h	1A64h	1A68h	1A6Ch	1A70h	1A74h	1A78h	1A7Ch
84	1A80h	1A84h	1A88h	1A8Ch	1A90h	1A94h	1A98h	1A9Ch
85	1AA0h	1AA4h	1AA8h	1AACh	1AB0h	1AB4h	1AB8h	1ABCh
86	1AC0h	1AC4h	1AC8h	1ACCh	1AD0h	1AD4h	1AD8h	1ADCh
87	1AE0h	1AE4h	1AE8h	1AECh	1AF0h	1AF4h	1AF8h	1AFCh
88	1B00h	1B04h	1B08h	1B0Ch	1B10h	1B14h	1B18h	1B1Ch
89	1B20h	1B24h	1B28h	1B2Ch	1B30h	1B34h	1B38h	1B3Ch
90	1B40h	1B44h	1B48h	1B4Ch	1B50h	1B54h	1B58h	1B5Ch
91	1B60h	1B64h	1B68h	1B6Ch	1B70h	1B74h	1B78h	1B7Ch
92	1B80h	1B84h	1B88h	1B8Ch	1B90h	1B94h	1B98h	1B9Ch
93	1BA0h	1BA4h	1BA8h	1BACh	1BB0h	1BB4h	1BB8h	1BBCh
94	1BC0h	1BC4h	1BC8h	1BCCh	1BD0h	1BD4h	1BD8h	1BDCh
95	1BE0h	1BE4h	1BE8h	1BECh	1BF0h	1BF4h	1BF8h	1BFCh
96	1C00h	1C04h	1C08h	1C0Ch	1C10h	1C14h	1C18h	1C1Ch
97	1C20h	1C24h	1C28h	1C2Ch	1C30h	1C34h	1C38h	1C3Ch
98	1C40h	1C44h	1C48h	1C4Ch	1C50h	1C54h	1C58h	1C5Ch
99	1C60h	1C64h	1C68h	1C6Ch	1C70h	1C74h	1C78h	1C7Ch
100	1C80h	1C84h	1C88h	1C8Ch	1C90h	1C94h	1C98h	1C9Ch
101	1CA0h	1CA4h	1CA8h	1CACh	1CB0h	1CB4h	1CB8h	1CBCh
102	1CC0h	1CC4h	1CC8h	1CCCh	1CD0h	1CD4h	1CD8h	1CDCh
103	1CE0h	1CE4h	1CE8h	1CECh	1CF0h	1CF4h	1CF8h	1CFCh
104	1D00h	1D04h	1D08h	1D0Ch	1D10h	1D14h	1D18h	1D1Ch
105	1D20h	1D24h	1D28h	1D2Ch	1D30h	1D34h	1D38h	1D3Ch
106	1D40h	1D44h	1D48h	1D4Ch	1D50h	1D54h	1D58h	1D5Ch

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

107	1D60h	1D64h	1D68h	1D6Ch	1D70h	1D74h	1D78h	1D7Ch
108	1D80h	1D84h	1D88h	1D8Ch	1D90h	1D94h	1D98h	1D9Ch
109	1DA0h	1DA4h	1DA8h	1DACH	1DB0h	1DB4h	1DB8h	1DBCh
110	1DC0h	1DC4h	1DC8h	1DCCh	1DD0h	1DD4h	1DD8h	1DDCh
111	1DE0h	1DE4h	1DE8h	1DECh	1DF0h	1DF4h	1DF8h	1DFCh
112	1E00h	1E04h	1E08h	1E0Ch	1E10h	1E14h	1E18h	1E1Ch
113	1E20h	1E24h	1E28h	1E2Ch	1E30h	1E34h	1E38h	1E3Ch
114	1E40h	1E44h	1E48h	1E4Ch	1E50h	1E54h	1E58h	1E5Ch
115	1E60h	1E64h	1E68h	1E6Ch	1E70h	1E74h	1E78h	1E7Ch
116	1E80h	1E84h	1E88h	1E8Ch	1E90h	1E94h	1E98h	1E9Ch
117	1EA0h	1EA4h	1EA8h	1EACH	1EB0h	1EB4h	1EB8h	1EBCh
118	1EC0h	1EC4h	1EC8h	1ECCh	1ED0h	1ED4h	1ED8h	1EDCh

Продолжение таблицы Б.12

Объект сообщения	MO FCR	MO FGPR	MO IPR	MO AMR	MO DATAL	MO DATAH	MO AR	MO CTR/ MO STAT
119	1EE0h	1EE4h	1EE8h	1EECh	1EF0h	1EF4h	1EF8h	1EFCh
120	1F00h	1F04h	1F08h	1F0Ch	1F10h	1F14h	1F18h	1F1Ch
121	1F20h	1F24h	1F28h	1F2Ch	1F30h	1F34h	1F38h	1F3Ch
122	1F40h	1F44h	1F48h	1F4Ch	1F50h	1F54h	1F58h	1F5Ch
123	1F60h	1F64h	1F68h	1F6Ch	1F70h	1F74h	1F78h	1F7Ch
124	1F80h	1F84h	1F88h	1F8Ch	1F90h	1F94h	1F98h	1F9Ch
125	1FA0h	1FA4h	1FA8h	1FACH	1FB0h	1FB4h	1FB8h	1FBCh
126	1FC0h	1FC4h	1FC8h	1FCCh	1FD0h	1FD4h	1FD8h	1FDCh
127	1FE0h	1FE4h	1FE8h	1FECh	1FF0h	1FF4h	1FF8h	1FFCh
128	2000h	2004h	2008h	200Ch	2010h	2014h	2018h	201Ch
129	2020h	2024h	2028h	202Ch	2030h	2034h	2038h	203Ch
130	2040h	2044h	2048h	204Ch	2050h	2054h	2058h	205Ch
131	2060h	2064h	2068h	206Ch	2070h	2074h	2078h	207Ch
132	2080h	2084h	2088h	208Ch	2090h	2094h	2098h	209Ch
133	20A0h	20A4h	20A8h	20ACH	20B0h	20B4h	20B8h	20BCh
134	20C0h	20C4h	20C8h	20CCh	20D0h	20D4h	20D8h	20DCh
135	20E0h	20E4h	20E8h	20ECh	20F0h	20F4h	20F8h	20FCh
136	2100h	2104h	2108h	210Ch	2110h	2114h	2118h	211Ch
137	2120h	2124h	2128h	212Ch	2130h	2134h	2138h	213Ch
138	2140h	2144h	2148h	214Ch	2150h	2154h	2158h	215Ch
139	2160h	2164h	2168h	216Ch	2170h	2174h	2178h	217Ch
140	2180h	2184h	2188h	218Ch	2190h	2194h	2198h	219Ch
141	21A0h	21A4h	21A8h	21ACH	21B0h	21B4h	21B8h	21BCh
142	21C0h	21C4h	21C8h	21CCh	21D0h	21D4h	21D8h	21DCh
143	21E0h	21E4h	21E8h	21ECh	21F0h	21F4h	21F8h	21FCh
144	2200h	2204h	2208h	220Ch	2210h	2214h	2218h	221Ch
145	2220h	2224h	2228h	222Ch	2230h	2234h	2238h	223Ch
146	2240h	2244h	2248h	224Ch	2250h	2254h	2258h	225Ch
147	2260h	2264h	2268h	226Ch	2270h	2274h	2278h	227Ch
148	2280h	2284h	2288h	228Ch	2290h	2294h	2298h	229Ch
149	22A0h	22A4h	22A8h	22ACH	22B0h	22B4h	22B8h	22BCh
150	22C0h	22C4h	22C8h	22CCh	22D0h	22D4h	22D8h	22DCh
151	22E0h	22E4h	22E8h	22ECh	22F0h	22F4h	22F8h	22FCh
152	2300h	2304h	2308h	230Ch	2310h	2314h	2318h	231Ch

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

153	2320h	2324h	2328h	232Ch	2330h	2334h	2338h	233Ch
154	2340h	2344h	2348h	234Ch	2350h	2354h	2358h	235Ch
155	2360h	2364h	2368h	236Ch	2370h	2374h	2378h	237Ch
156	2380h	2384h	2388h	238Ch	2390h	2394h	2398h	239Ch
157	23A0h	23A4h	23A8h	23ACh	23B0h	23B4h	23B8h	23BCh
158	23C0h	23C4h	23C8h	23CCh	23D0h	23D4h	23D8h	23DCh
159	23E0h	23E4h	23E8h	23ECh	23F0h	23F4h	23F8h	23FCh
160	2400h	2404h	2408h	240Ch	2410h	2414h	2418h	241Ch
161	2420h	2424h	2428h	242Ch	2430h	2434h	2438h	243Ch
162	2440h	2444h	2448h	244Ch	2450h	2454h	2458h	245Ch
163	2460h	2464h	2468h	246Ch	2470h	2474h	2478h	247Ch
164	2480h	2484h	2488h	248Ch	2490h	2494h	2498h	249Ch

Продолжение таблицы Б.12

Объект сообщения	МО FCR	МО FGPR	МО IPR	МО AMR	МО DATAL	МО DATAH	МО AR	МО CTR/ МО STAT
165	24A0h	24A4h	24A8h	24ACh	24B0h	24B4h	24B8h	24BCh
166	24C0h	24C4h	24C8h	24CCh	24D0h	24D4h	24D8h	24DCh
167	24E0h	24E4h	24E8h	24ECh	24F0h	24F4h	24F8h	24FCh
168	2500h	2504h	2508h	250Ch	2510h	2514h	2518h	251Ch
169	2520h	2524h	2528h	252Ch	2530h	2534h	2538h	253Ch
170	2540h	2544h	2548h	254Ch	2550h	2554h	2558h	255Ch
171	2560h	2564h	2568h	256Ch	2570h	2574h	2578h	257Ch
172	2580h	2584h	2588h	258Ch	2590h	2594h	2598h	259Ch
173	25A0h	25A4h	25A8h	25ACh	25B0h	25B4h	25B8h	25BCh
174	25C0h	25C4h	25C8h	25CCh	25D0h	25D4h	25D8h	25DCh
175	25E0h	25E4h	25E8h	25ECh	25F0h	25F4h	25F8h	25FCh
176	2600h	2604h	2608h	260Ch	2610h	2614h	2618h	261Ch
177	2620h	2624h	2628h	262Ch	2630h	2634h	2638h	263Ch
178	2640h	2644h	2648h	264Ch	2650h	2654h	2658h	265Ch
179	2660h	2664h	2668h	266Ch	2670h	2674h	2678h	267Ch
180	2680h	2684h	2688h	268Ch	2690h	2694h	2698h	269Ch
181	26A0h	26A4h	26A8h	26ACh	26B0h	26B4h	26B8h	26BCh
182	26C0h	26C4h	26C8h	26CCh	26D0h	26D4h	26D8h	26DCh
183	26E0h	26E4h	26E8h	26ECh	26F0h	26F4h	26F8h	26FCh
184	2700h	2704h	2708h	270Ch	2710h	2714h	2718h	271Ch
185	2720h	2724h	2728h	272Ch	2730h	2734h	2738h	273Ch
186	2740h	2744h	2748h	274Ch	2750h	2754h	2758h	275Ch
187	2760h	2764h	2768h	276Ch	2770h	2774h	2778h	277Ch
188	2780h	2784h	2788h	278Ch	2790h	2794h	2798h	279Ch
189	27A0h	27A4h	27A8h	27ACh	27B0h	27B4h	27B8h	27BCh
190	27C0h	27C4h	27C8h	27CCh	27D0h	27D4h	27D8h	27DCh
191	27E0h	27E4h	27E8h	27ECh	27F0h	27F4h	27F8h	27FCh
192	2800h	2804h	2808h	280Ch	2810h	2814h	2818h	281Ch
193	2820h	2824h	2828h	282Ch	2830h	2834h	2838h	283Ch
194	2840h	2844h	2848h	284Ch	2850h	2854h	2858h	285Ch
195	2860h	2864h	2868h	286Ch	2870h	2874h	2878h	287Ch
196	2880h	2884h	2888h	288Ch	2890h	2894h	2898h	289Ch
197	28A0h	28A4h	28A8h	28ACh	28B0h	28B4h	28B8h	28BCh
198	28C0h	28C4h	28C8h	28CCh	28D0h	28D4h	28D8h	28DCh

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

199	28E0h	28E4h	28E8h	28ECh	28F0h	28F4h	28F8h	28FCh
200	2900h	2904h	2908h	290Ch	2910h	2914h	2918h	291Ch
201	2920h	2924h	2928h	292Ch	2930h	2934h	2938h	293Ch
202	2940h	2944h	2948h	294Ch	2950h	2954h	2958h	295Ch
203	2960h	2964h	2968h	296Ch	2970h	2974h	2978h	297Ch
204	2980h	2984h	2988h	298Ch	2990h	2994h	2998h	299Ch
205	29A0h	29A4h	29A8h	29ACh	29B0h	29B4h	29B8h	29BCh
206	29C0h	29C4h	29C8h	29CCh	29D0h	29D4h	29D8h	29DCh
207	29E0h	29E4h	29E8h	29ECh	29F0h	29F4h	29F8h	29FCh
208	2A00h	2A04h	2A08h	2A0Ch	2A10h	2A14h	2A18h	2A1Ch
209	2A20h	2A24h	2A28h	2A2Ch	2A30h	2A34h	2A38h	2A3Ch
210	2A40h	2A44h	2A48h	2A4Ch	2A50h	2A54h	2A58h	2A5Ch

Окончание таблицы Б.12

Объект сообщения	МО FCR	МО FGPR	МО IPR	МО AMR	МО DATA L	МО DATA H	МО AR	МО CTR/МО STAT
211	2A60h	2A64h	2A68h	2A6Ch	2A70h	2A74h	2A78h	2A7Ch
212	2A80h	2A84h	2A88h	2A8Ch	2A90h	2A94h	2A98h	2A9Ch
213	2AA0h	2AA4h	2AA8h	2AACh	2AB0h	2AB4h	2AB8h	2ABCh
214	2AC0h	2AC4h	2AC8h	2ACCh	2AD0h	2AD4h	2AD8h	2ADCh
215	2AE0h	2AE4h	2AE8h	2AECh	2AF0h	2AF4h	2AF8h	2AFCh
216	2B00h	2B04h	2B08h	2B0Ch	2B10h	2B14h	2B18h	2B1Ch
217	2B20h	2B24h	2B28h	2B2Ch	2B30h	2B34h	2B38h	2B3Ch
218	2B40h	2B44h	2B48h	2B4Ch	2B50h	2B54h	2B58h	2B5Ch
219	2B60h	2B64h	2B68h	2B6Ch	2B70h	2B74h	2B78h	2B7Ch
220	2B80h	2B84h	2B88h	2B8Ch	2B90h	2B94h	2B98h	2B9Ch
221	2BA0h	2BA4h	2BA8h	2BACH	2BB0h	2BB4h	2BB8h	2BBCh
222	2BC0h	2BC4h	2BC8h	2BCCh	2BD0h	2BD4h	2BD8h	2BDCh
223	2BE0h	2BE4h	2BE8h	2BECh	2BF0h	2BF4h	2BF8h	2BFCh
224	2C00h	2C04h	2C08h	2C0Ch	2C10h	2C14h	2C18h	2C1Ch
225	2C20h	2C24h	2C28h	2C2Ch	2C30h	2C34h	2C38h	2C3Ch
226	2C40h	2C44h	2C48h	2C4Ch	2C50h	2C54h	2C58h	2C5Ch
227	2C60h	2C64h	2C68h	2C6Ch	2C70h	2C74h	2C78h	2C7Ch
228	2C80h	2C84h	2C88h	2C8Ch	2C90h	2C94h	2C98h	2C9Ch
229	2CA0h	2CA4h	2CA8h	2CACH	2CB0h	2CB4h	2CB8h	2CBCh
230	2CC0h	2CC4h	2CC8h	2CCCh	2CD0h	2CD4h	2CD8h	2CDCh
231	2CE0h	2CE4h	2CE8h	2CECh	2CF0h	2CF4h	2CF8h	2CFCh
232	2D00h	2D04h	2D08h	2D0Ch	2D10h	2D14h	2D18h	2D1Ch
233	2D20h	2D24h	2D28h	2D2Ch	2D30h	2D34h	2D38h	2D3Ch
234	2D40h	2D44h	2D48h	2D4Ch	2D50h	2D54h	2D58h	2D5Ch
235	2D60h	2D64h	2D68h	2D6Ch	2D70h	2D74h	2D78h	2D7Ch
236	2D80h	2D84h	2D88h	2D8Ch	2D90h	2D94h	2D98h	2D9Ch
237	2DA0h	2DA4h	2DA8h	2DACH	2DB0h	2DB4h	2DB8h	2DBCh
238	2DC0h	2DC4h	2DC8h	2DCCh	2DD0h	2DD4h	2DD8h	2DDCh
239	2DE0h	2DE4h	2DE8h	2DECh	2DF0h	2DF4h	2DF8h	2DFCh
240	2E00h	2E04h	2E08h	2E0Ch	2E10h	2E14h	2E18h	2E1Ch
241	2E20h	2E24h	2E28h	2E2Ch	2E30h	2E34h	2E38h	2E3Ch
242	2E40h	2E44h	2E48h	2E4Ch	2E50h	2E54h	2E58h	2E5Ch
243	2E60h	2E64h	2E68h	2E6Ch	2E70h	2E74h	2E78h	2E7Ch
244	2E80h	2E84h	2E88h	2E8Ch	2E90h	2E94h	2E98h	2E9Ch

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

245	2EA0h	2EA4h	2EA8h	2EACH	2EB0h	2EB4h	2EB8h	2EBCh
246	2EC0h	2EC4h	2EC8h	2ECCh	2ED0h	2ED4h	2ED8h	2EDCh
247	2EE0h	2EE4h	2EE8h	2EECh	2EF0h	2EF4h	2EF8h	2EFCh
248	2F00h	2F04h	2F08h	2F0Ch	2F10h	2F14h	2F18h	2F1Ch
249	2F20h	2F24h	2F28h	2F2Ch	2F30h	2F34h	2F38h	2F3Ch
250	2F40h	2F44h	2F48h	2F4Ch	2F50h	2F54h	2F58h	2F5Ch
251	2F60h	2F64h	2F68h	2F6Ch	2F70h	2F74h	2F78h	2F7Ch
252	2F80h	2F84h	2F88h	2F8Ch	2F90h	2F94h	2F98h	2F9Ch
253	2FA0h	2FA4h	2FA8h	2FACH	2FB0h	2FB4h	2FB8h	2FBCh
254	2FC0h	2FC4h	2FC8h	2FCCh	2FD0h	2FD4h	2FD8h	2FDCh
255	2FE0h	2FE4h	2FE8h	2FECh	2FF0h	2FF4h	2FF8h	2FFCh

Адреса 80073000h-8007FFFCh являются зарезервированными

Таблица Б.13 – Мнемоника и соответствующие названия регистров объектов сообщений контроллера CAN

Мнемоника	Сброс	Название
MOFCR	00000000h	Регистр управления функционированием объекта сообщения
MOFGPR	00000000h	Регистр указателя FIFO/шлюза объекта сообщения
MOIPR	00000000h	Регистр указателя прерываний объекта сообщения
MOAMR	3FFFFFFFh	Регистр маски объекта сообщения
MODATAL	00000000h	Младший регистр данных объекта сообщения
MODATAH	00000000h	Старший регистр данных объекта сообщения
MOAR	00000000h	Регистр арбитража объекта сообщения
MOCTR/ MOSTAT	См. таблицу Б.14	Регистр управления/состояния объекта сообщения

Таблица Б.14 – Состояние регистров MOCTR/MOSTAT объектов сообщений после сброса (n-порядковый номер объекта сообщения)

n (код)	MOCTR / MOSTAT		
	PNEXT (биты 31–24)	PPREV (биты 23–16)	Биты 15–0
0 (00h)	01h	00h	0000h
1 (01h)	02h	00h	
2 (02h)	03h	01h	
3 (03h)	04h	02h	
...	
252 (FCh)	FDh	FBh	
253 (FDh)	FEh	FCh	
254 (FEh)	FFh	FDh	
255 (FFh)	FFh	FEh	

Таблица Б.15 – Регистры контроллера Ethernet

Адрес	Мнемоника	Сброс	Название
1	2	3	4
80080000h	MAC1	00008000h	Регистр1 конфигурации MAC
80080004h	MAC2	00000000h	Регистр2 конфигурации MAC
80080008h	IPGT	00000000h	Back-to-Back Inter-Packet-Gap регистр
8008000Ch	IPGR	00000000h	Регистр Non-Back-to-Back Inter-Packet-Gap
80080010h	CLRT	0000370Fh	Регистр окна коллизий/повторов

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

80080014h	MAXF	00000600h	Регистр верхней границы размера Frame
80080018h	SUPP	00001000h	Регистр поддержки PNY-интерфейса
8008001Ch	–	–	Зарезервировано
80080020h	MCFG	00000000h	Регистр управления конфигурацией МП
80080024h	MCMD	00000000h	Регистр команд МП
80080028h	MADR	00000000h	Регистр адреса МП
8008002Ch	MWTD	00000000h	Регистр записываемых данных в МП
80080030h	MRDD	00000000h	Регистр считываемых данных из МП
80080034h	MIND	00000000h	Регистр флагов состояния МП
80080038h	SMPI	00000000h	Регистр состояния
8008003Ch	–	–	Зарезервировано
80080040h	SA0	00000000h	Регистр адреса станции SA0

Окончание таблицы Б.15

1	2	3	4
80080044h	SA1	00000000h	Регистр адреса станции SA1
80080048h	SA2	00000000h	Регистр адреса станции SA2
8008004Ch- 8008017Ch	–	–	Зарезервировано
80080180h	DMATxCTRL	00000000h	Регистр управления передачей
80080184h	DMATxDSCR	00000000h	Регистр указателя дескриптора передачи
80080188h	DMATxSTAT	00000000h	Регистр статуса передачи
8008018Ch	DMARxCTRL	00000000h	Регистр управления приемом
80080190h	DMARxDSCR	00000000h	Регистр указателя дескриптора приема
80080194h	DMARxSTAT	00000000h	Регистр статуса приема
80080198h	DMAINTMASK	00000000h	Регистр маски прерывания
8008019Ch	DMAINT	00000000h	Регистр прерываний
800881A0h- 8008FFFFCh	–	–	Зарезервировано

Таблица Б.16 – Регистры контроллера USB

Адрес	Мнемоника	Сброс	Название
80090000h- 80090708h	–	–	Регистр USB
8009070Ch- 9FFFFFFCh	–	–	Зарезервировано

Таблица Б.20– Регистры сторожевого таймера

Адрес	Мнемоника	Сброс	Название
1	2	3	4
A0000000h	LOAD	FFFFFFFFh	Регистр начального значения счетчика
A0000004h	WDTVAL	FFFFFFFFh	Регистр текущего значения счетчика
A0000008h	WDTCTRL	00000000h	Регистр программного управления
A000000Ch	INTCLR	00000000h	Регистр сброса
A0000010h	WDTRIS	00000000h	Регистр прерывания
A0000014h	WDTMIS	00000000h	Регистр маскированного прерывания счетчика
A0000018h- A00000BCh	–	–	Зарезервировано
A0000C00h	CLOCK	00000000h	Регистр управления доступом к остальным регистрам блока
A0000C04-	–	–	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

A0000FCCh			
A0000FD0h	PERIPHID4	00000004h	Периферийный регистр ID4
A0000FD4h	PERIPHID5	00000000h	Периферийный регистр ID5

Окончание таблицы Б.20

1	2	3	4
A0000FD8h	PERIPHID6	00000000h	Периферийный регистр ID6
A0000FDCh	PERIPHID7	00000000h	Периферийный регистр ID7
A0000FE0h	PERIPHID0	00000024h	Периферийный регистр ID0
A0000FE4h	PERIPHID1	000000B8h	Периферийный регистр ID1
A0000FE8h	PERIPHID2	0000000Bh	Периферийный регистр ID2
A0000FECh	PERIPHID3	00000000h	Периферийный регистр ID3
A0000FF0h	PCELLID0	0000000Dh	Компонентный регистр ID0
A0000FF4h	PCELLID1	000000F0h	Компонентный регистр ID1
A0000FF8h	PCELLID2	00000005h	Компонентный регистр ID2
A0000FFCh	PCELLID3	000000B1h	Компонентный регистр ID3

Таблица Б.21 – Адреса регистров контроллеров I2C

Мнемоника	Адреса регистров		Сброс	Название
	I2C0	I2C1		
SDA	A0001000h	A0002000h	xxh	Сдвиговый регистр данных
ST	A0001004h	A0002004h	00h	Регистр состояния
CST	A0001008h	A0002008h	00h	Регистр управления и статуса
CTL1	A000100Ch	A000200Ch	00h	Регистр 1 управления
ADDR	A0001010h	A0002010h	00h	Регистр собственного адреса
CTL2	A0001014h	A0002014h	00h	Регистр 2 управления
TOPR	A0001018h	A0002018h	00h	Регистр загрузки предделителя
CTL3	A000101Ch	A000201Ch	00h	Регистр 3 управления
–	A0001020h- A0001FFCh	A0002020h- A0002FFCh	–	Зарезервировано

Таблица Б.22 – Адреса регистров таймеров

Название регистра	Таймеры			Сброс	Название
	Адрес A000_xxxx				
	Таймер 0	Таймер 1	Таймер 2		
1	2	3	4	5	6
TCTRL	3000h	4000h	5000h	0000h	Регистр управления
TIMER	3004h	4004h	5004h	00000000h	Регистр текущего значения
RELOAD	3008h	4008h	5008h	00000000h	Регистр начального значения счетчика
INTSTATUS_ INTCLEAR	300Ch	400Ch	500Ch	0000h	Регистр прерывания
–	3010h- 3FCCh	4010h- 4FCCh	5010h- 5FCCh	–	Зарезервировано
PID4	3FD0h	4FD0h	5FD0h	0004h	Периферийный регистр ID4
PID5	3FD4h	4FD4h	5FD4h	0000h	Периферийный регистр ID5
PID6	3FD8h	4FD8h	5FD8h	0000h	Периферийный регистр ID6
PID7	3FDCh	4FDCh	5FDCh	0000h	Периферийный регистр ID7
PID0	3FE0h	4FE0h	5FE0h	0022h	Периферийный регистр ID0

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

PID1	3FE4h	4FE4h	5FE4h	00B8h	Периферийный регистр ID1
PID2	3FE8h	4FE8h	5FE8h	000Bh	Периферийный регистр ID2
PID3	3FECh	4FECh	5FECh	0000h	Периферийный регистр ID3
CID0	3FF0h	4FF0h	5FF0h	000Dh	Компонентный регистр ID0

Окончание таблицы Б.22

1	2	3	4	5	6
CID1	3FF4h	4FF4h	54F4h	00F0h	Компонентный регистр ID1
CID2	3FF8h	4FF8h	5FF8h	0005h	Компонентный регистр ID2
CID3	3FFCh	4FFCh	5FFCh	00B1h	Компонентный регистр ID3

Таблица Б.23 – Регистры контроллера DMA

Адрес	Мнемоника	Сброс	Название
1	2	3	4
A0006000h	STATUS	0nn0000h	Регистр статуса
A0006004h	CFG	–	Регистр конфигурации
A0006008h	CTRL_BASE_PTR	00000000h	Регистр базового адреса управляющих данных каналов
A000600Ch	ALT_CTRL_BASE_PTR	000000nnh	Регистр базового адреса альтернативных управляющих данных каналов
A0006010h	WAITONREQ_STATUS	00000000h	Регистр статуса ожидания запроса на обработку каналов
A0006014h	CHNL_SW_REQUEST	–	Регистр программного запроса на обработку каналов
A0006018h	CHNL_USEBURST_SET	00000000h	Регистр установки пакетного обмена каналов
A000601Ch	CHNL_USEBURST_CLR	–	Регистр сброса пакетного обмена каналов
A0006020h	CHNL_REQ_MASK_SET	00000000h	Регистр маскирования запросов на обслуживание каналов
A0006024h	CHNL_REQ_MASK_CLR	–	Регистр очистки маскирования запросов на обслуживание каналов
A0006028h	CHNL_ENABLE_SET	00000000h	Регистр установки разрешения каналов
A000602Ch	CHNL_ENABLE_CLR	–	Регистр сброса разрешения каналов
A0006030h	CHNL_PRI_ALT_SET	00000000h	Регистр установки первичной/альтернативной структуры управляющих данных каналов
A0006034h	CHNL_PRI_ALT_CLR	–	Регистр сброса первичной/альтернативной структуры управляющих данных каналов
A0006038h	CHNL_PRIORITY_SET	00000000h	Регистр установки приоритета каналов
A000603Ch	CHNL_PRIORITY_CLR	–	Регистр сброса установок приоритета каналов
A0006040h- A0006048h	–	–	Зарезервировано
A000604Ch	ERR_CLR	00000000h	Регистр сброса флага ошибки
A0006050h-	–	–	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

A0006DCh			
A0006E00h	INTEGRATION_CFG	00000000h	Регистр интеграционной конфигурации
A0006E04h	–	–	Зарезервировано
A0006E08h	STALL_STATUS	00000000h	Регистр состояния останова
A0006E0Ch	–	–	Зарезервировано

Окончание таблицы Б.23

1	2	3	4
A0006E10h	REQ_STATUS	00000000h	Регистр состояния запросов
A0006E14h	–	–	Зарезервировано
A0006E18h	SREQ_STATUS	00000000h	Регистр состояния одиночных запросов
A0006E1Ch	–	–	Зарезервировано
A0006E20h	DONE_SET	00000000h	Регистр установки окончания выполнения запроса
A0006E24h	DONE_CLR	00000000h	Регистр сброса окончания выполнения запроса
A0006E28h	ACTIVE_SET	00000000h	Регистр установки активности
A0006E2Ch	ACTIVE_CLR	00000000h	Регистр сброса активности
A0006E30h- A0006E44h	–	–	Зарезервировано
A0006E48	ERR_SET	00000000h	Регистр установки флага ошибки
A0006E4Ch- A0006FFCh	–	–	Зарезервировано

Таблица Б.24 – Адреса регистров контроллеров UART

Мнемоника	Контроллеры UART				Сброс	Название
	Адрес A000_xxxx					
	UART0	UART 1	UART 2	UART 3		
DR	7000h	8000h	9000h	A000h	0000h	Регистр данных
RSR_ECR	7004h	8004h	9004h	A004h	0000h	Регистр состояния приемника и сброса ошибки приемника
–	7008h- 7014h	8008h- 8014h	9008h- 9014h	A008h- A014h	–	Зарезервировано
FR	7018h	8018h	9018h	A018h	0000_0090h (для 0) 0b10010	Регистр флагов
–	701Ch, 7020h	801Ch, 8020h	901Ch, 9020h	A01Ch, A020h	–	Зарезервировано
IBRD	7024h	8024h	9024h	A024h	0000h	Регистр целой части делителя скорости обмена данными
FBRD	7028h	8028h	9028h	A028h	0000h	Регистр дробной часть делителя скорости обмена данными
LCR_H	702Ch	802Ch	902Ch	A02Ch	0000h	Регистр управления линией
CR	7030h	8030h	9030h	A030h	0300h	Регистр управления
IFLS	7034h	8034h	9034h	A034h	0012h	Регистр порога прерывания по заполнению буфера FIFO
IMSC	7038h	8038h	9038h	A038h	0000h	Регистр маски прерывания
RIS	703Ch	803Ch	903Ch	A03Ch	0000h	Регистр состояния прерываний
MIS	7040h	8040h	9040h	A040h	0000h	Регистр состояния прерываний

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

						с маскированием
ICR	7044h	8044h	9044h	A044h	0000h	Регистр сброса прерывания
DMACR	7048h	8048h	9048h	A048h	0000h	Регистр управления прямым доступом к памяти
–	7050h-7FFCh	8050h-8FFCh	9050h-9FFCh	A050h-AFFCh	–	Зарезервировано

Таблица Б.25 – Адреса регистров блоков ШИМ

Мнемоника	Блоки ШИМ								
	Адрес A000_ xxxx					Адрес A001_ xxxx			
	PWM0	PWM 1	PWM 2	PWM 3	PWM 4	PWM 5	PWM 6	PWM 7	PWM 8
TBCTL	B000h	C000h	D000h	E000h	F000h	0000h	1000h	2000h	3000h
TBSTS	B004h	C004h	D004h	E004h	F004h	0004h	1004h	2004h	3004h
TBPHS	B008h	C008h	D008h	E008h	F008h	0008h	1008h	2008h	3008h
TBCTR	B00Ch	C00Ch	D00Ch	E00Ch	F00Ch	000Ch	100Ch	200Ch	300Ch
TBPRD	B010h	C010h	D010h	E010h	F010h	0010h	1010h	2010h	3010h
CMPCNTL	B014h	C014h	D014h	E014h	F014h	0014h	1014h	2014h	3014h
CMPCA	B018h	C018h	D018h	E018h	F018h	0018h	1018h	2018h	3018h
CMPCB	B01Ch	C01Ch	D01Ch	E01Ch	F01Ch	001Ch	101Ch	201Ch	301Ch
AQCTLA	B020h	C020h	D020h	E020h	F020h	0020h	1020h	2020h	3020h
AQCTLB	B024h	C024h	D024h	E024h	F024h	0024h	1024h	2024h	3024h
AQSFRC	B028h	C028h	D028h	E028h	F028h	0028h	1028h	2028h	3028h
AQCSFRC	B02Ch	C02Ch	D02Ch	E02Ch	F02Ch	002Ch	102Ch	202Ch	302Ch
DBCTL	B030h	C030h	D030h	E030h	F030h	0030h	1030h	2030h	3030h
DBRED	B034h	C034h	D034h	E034h	F034h	0034h	1034h	2034h	3034h
DBFED	B038h	C038h	D038h	E038h	F038h	0038h	1038h	2038h	3038h
TZSEL	B03Ch	C03Ch	D03Ch	E03Ch	F03Ch	003Ch	103Ch	203Ch	303Ch
TZCTL	B040h	C040h	D040h	E040h	F040h	0040h	1040h	2040h	3040h
TZEINT	B044h	C044h	D044h	E044h	F044h	0044h	1044h	2044h	3044h
TZFLG	B048h	C048h	D048h	E048h	F048h	0048h	1048h	2048h	3048h
TZCLR	B04Ch	C04Ch	D04Ch	E04Ch	F04Ch	004Ch	104Ch	204Ch	304Ch
TZFRC	B050h	C050h	D050h	E050h	F050h	0050h	1050h	2050h	3050h
ETSEL	B054h	C054h	D054h	E054h	F054h	0054h	1054h	2054h	3054h
ETPS	B058h	C058h	D058h	E058h	F058h	0058h	1058h	2058h	3058h
ETFLG	B05Ch	C05Ch	D05Ch	E05Ch	F05Ch	005Ch	105Ch	205Ch	305Ch
ETCLR	B060h	C060h	D060h	E060h	F060h	0060h	1060h	2060h	3060h
ETFRC	B064h	C064h	D064h	E064h	F064h	0064h	1064h	2064h	3064h
PCCTL	B068h	C068h	D068h	E068h	F068h	0068h	1068h	2068h	3068h
HRCNFG	B06Ch	C06Ch	D06Ch	E06Ch	F06Ch	006Ch	106Ch	206Ch	306Ch
FWDTH	B070h	C070h	D070h	E070h	F070h	0070h	1070h	2070h	3070h
Зарезервировано	B074h- B084h	C074h- C084h	D074h- D084h	E074h- E084h	F074h- F084h	0074h- 0084h	1074h- 1084h	2074h- 2084h	3074h- 3084h
HDSEL	B088h	C088h	D088h	E088h	F088h	0088h	1088h	2088h	3088h
HDCTL	B08Ch	C08Ch	D08Ch	E08Ch	F08Ch	008Ch	108Ch	208Ch	308Ch
HDFRC	B090h	C090h	D090h	E090h	F090h	0090h	1090h	2090h	3090h
Зарезервировано	B094h- BFFCh	C094h- CFFCh	D094h- DFFCh	E094h- EFFCh	F094h- FFFCh	0094h- 0FFCh	1094h- 1FFCh	2094h- 2FFCh	3094h- 3FFCh

Таблица Б.26 – Мнемоника и названия регистров блоков ШИМ

Мнемоника	Сброс	Название
-----------	-------	----------

Ив. № подл.	Подп. и дата
Взам. инв. №	Ив. № дубл.
Подп. и дата	Подп. и дата

1	2	3
TBCTL	00h	Регистр управления таймером
TBSTS	00h	Регистр статуса таймера
TBPHS	00h	Регистр фазы
TBCTR	00h	Регистр текущего значения таймера ШИМ
TBPRD	00h	Регистр максимального значения таймера

Окончание таблицы Б.26

1	2	3
СМРCTL	00h	Регистр управления компаратором
СМРА	00h	Регистр порога срабатывания А
СМРВ	00h	Регистр порога срабатывания В
AQCTLA	00h	Регистр обработчика для выхода А
AQCTLB	00h	Регистр обработчика для выхода В
AQSFRС	00h	Регистр обработчика для однократного программного управления
AQCSFRС	00h	Регистр обработчика для циклического программного управления
DBCTL	00h	Регистр управления генератором мертвого времени блока ШИМ
DBRED	00h	Регистр задержки фронта
DBFED	00h	Регистр задержки среза
TZSEL	00h	Регистр источника сигнала аварии
TZCTL	00h	Регистр управления детектором событий аварии
TZEINT	00h	Регистр маски прерывания детектора событий аварии
TZFLG	00h	Регистр флагов прерывания детектора событий аварии
TZCLR	00h	Регистр сброса флагов прерывания детектора событий аварии
TZFRC	00h	Регистр программной эмуляции сигнала аварии
ETSEL	00h	Регистр источника триггера событий
ETPS	00h	Регистр предделителя триггера событий
ETFLG	00h	Регистр флагов триггера событий
ETCLR	00h	Регистр сброса флагов триггера событий
ETFRC	00h	Регистр программной эмуляции событий
PCCTL	00h	Регистр управления модулятором
HRCNFG	00h	Регистр конфигурации блока ШИМ высокого разрешения
FWDTH	00h	Регистр ширины фильтрации
HDSEL	00h	Регистр источника события удержания
HDCTL	00h	Регистр управления детектором событий удержания
HDFRC	00h	Регистр программной активации порогового выключателя

Таблица Б.27 – Адреса регистров блоков захвата

Мнемо-ника	Блоки захвата						Название
	Адрес A001_xxxx						
	CAP0	CAP 1	CAP 2	CAP 3	CAP 4	CAP 5	
1	2	3	4	5	6	7	8
TSCTR	4000h	5000h	6000h	7000h	8000h	9000h	Регистр таймера
STRPHS	4004h	5004h	6004h	7004h	8004h	9004h	Регистр загрузки таймера
CAP1	4008h	5008h	6008h	7008h	8008h	9008h	Регистр захвата 1
CAP2	400Ch	500Ch	600Ch	700Ch	800Ch	900Ch	Регистр захвата 2
CAP3	4010h	5010h	6010h	7010h	8010h	9010h	Регистр захвата 3
CAP4	4014h	5014h	6014h	7014h	8014h	9014h	Регистр Захвата 4
–	4018h-4024h	5018h-5024h	6018h-6024h	7018h-7024h	8018h-8024h	9018h-9024h	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

ECCTL1	4028h	5028h	6028h	7028h	8028h	9028h	Регистр контроля захвата 1
ECCTL2	402Ch	502Ch	602Ch	702Ch	802Ch	902Ch	Регистр контроля захвата 2
ECEINT	4030h	5030h	6030h	7030h	8030h	9030h	Регистр маски прерываний

Окончание таблицы Б.27

1	2	3	4	5	6	7	8
ECFLG	4034h	5034h	6034h	7034h	8034h	9034h	Регистр статуса прерываний
ECCLR	4038h	5438h	6038h	7038h	8038h	9038h	Регистр сброса прерываний
ECFRC	403Ch	503Ch	603Ch	703Ch	803Ch	903Ch	Тестовый регистр генерации прерываний
–	4040h-4FFCh	5040h-5FFCh	6040h-6FFCh	7040h-7FFCh	8040h-8FFCh	9040h-9FFCh	Зарезервировано

Примечание – Состояние всех регистров после сброса 00000000h

Таблица Б.28 – Адреса регистров квадратурных декодеров

Мнемоника	Декодеры		Название
	Адрес A001_xxxx		
	QEP0	QEP1	
QPOSCNT	A000h	B000h	Регистр счетчика позиции
QPOSINIT	A004h	B004h	Регистр загрузки счетчика позиции
QPOSMAX	A008h	B008h	Регистр максимального значения счетчика позиции
QPOSCMP	A00Ch	B00Ch	Регистр сравнения счетчика позиции
QPOSILAT	A010h	B010h	Регистр хранения позиции по индексации
QPOSSLAT	A014h	B014h	Регистр хранения позиции по стробу
QPOSLAT	A018h	B018h	Регистр хранения позиции по сторожевому таймеру
QUTMR	A01Ch	B01Ch	Регистр таймера временных отсчетов
QUPRD	A020h	BA20h	Регистр порога таймера временных отсчетов
QWDTMR	A024h	B024h	Регистр сторожевого таймера
QWDPRD	A028h	B028h	Регистр длительности сторожевого отсчета
QDECCTL	A02Ch	B02Ch	Регистр управления входами
QEPCTL	A030h	B030h	Регистр управления квадратурного декодера
QCAPCTL	A034h	B034h	Регистр блока захвата
QPOSCTL	A038h	B038h	Регистр управления счетчиком позиции
QEINT	A03Ch	B03Ch	Регистр масок прерываний
QFLG	A040h	B040h	Регистр флагов прерываний
QCLR	A044h	B044h	Регистр сброса прерываний
QFRC	A048h	B048h	Регистр генерации прерываний
QEPSTS	A04Ch	B04Ch	Регистр статуса
QCTMR	A050h	B050h	Регистр таймера
QCPRD	A054h	B054h	Регистр длительности измерения
QCTMRLAT	A058h	B058h	Регистр хранения таймера
QCPRDLAT	A05Ch	B05Ch	Регистр хранения длительности измерения
–	A060h- A06Ch	B060h- B06Ch	Зарезервировано
INTCLR	A070h	B070h	Регистр сброса прерываний

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата
Инд. № инв.	Подп. и дата

–	A074h- AFFCh	B074h- BFFCh	Зарезервировано
Примечание – Состояние всех регистров после сброса 00000000h			

Таблица Б.29 – Регистры загрузочной флеш-памяти

Адрес	Мнемоника	Сброс	Название
A001C000h	FMA		Регистр адреса
A001C004h	FMD1		Регистр 1 слова данных
A001C008h	FMC		Регистр команд
A001C00Ch	FCIS		Регистр статуса
A001C010h	FCIM		Регистр маски прерываний
A001C014h	FCIC		Регистр сброса флагов статуса
A001C018h- A001C04Ch	–	–	Зарезервировано
A001C050h	FMD2		Регистр 2 слова данных
A001C054h	FMD3		Регистр 3 слова данных
A001C058h	FMD4		Регистр 4 слова данных
A001C05Ch- A001C07Ch	–	–	Зарезервировано
A001C080h	T_ACC		Регистр временных параметров 1
A001C084h	T_NVS		Регистр временных параметров 2
A001C088h	T_NVH		Регистр временных параметров 3
A001C08Ch	T_RCV		Регистр временных параметров 4
A001C090h	T_PGS		Регистр временных параметров 5
A001C094h	T_PROG		Регистр временных параметров 6
A001C098h	T_PGH		Регистр временных параметров 7
A001C09Ch	T_ERASE		Регистр временных параметров 8
A001C0A0h	T_ME		Регистр временных параметров 9
A001C0A4h	T_NVH1		Регистр временных параметров 10
A001C0A8h- A001CFFCh	–	–	Зарезервировано

Таблица Б.30 – Регистры аналогового компаратора

Адрес	Мнемоника	Сброс	Название
A001D000h	ACMIS	00000000h	Регистр маскированных статусов прерываний
A001D004h	ACRIS	00000000h	Регистр статусов прерываний
A001D008h	ACINTEN	00000000h	Регистр маски прерываний
A001D00Ch	ACREFCTL1	00000000h	Регистр управления опорным напряжением 1
A001D010h	ACREFCTL2	00000000h	Регистр управления опорным напряжением 2
A001D014h	ACREFCTL3	00000000h	Регистр управления опорным напряжением 3
A001D018h- A001D01Ch	–	–	Зарезервировано
A001D020h	ACSTAT1	00000000h	Регистр статуса компаратора 1
A001D024h	ACCTL1	00000000h	Регистр управления компаратором 1
A001D028h- A001D03Ch	–	–	Зарезервировано
A001D040h	ACSTAT2	00000000h	Регистр статуса компаратора 2
A001D044h	ACCTL2	00000000h	Регистр управления компаратором 2
A001D048h-	–	–	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.

A001D05Ch			
A001D060h	ACSTAT3	00000000h	Регистр статуса компаратора 3
A001D064h	ACCTL3	00000000h	Регистр управления компаратором 3
A001D07Ch	POWER	00000000h	Регистр питания аналоговой части
A001D068h- A001DFFCh	–	–	Зарезервировано

Таблица Б.31– Адреса регистров контроллеров SPI

Мнемо-ника	Контроллеры SPI				Сброс	Название
	Адрес A001_xxxx		Адрес A002_xxxx			
	SPI0	SPI1	SPI2	SPI3		
CR0	E000h	F000h	0000h	1000h	0000h	Регистр управления 0
CR1	E004h	F004h	0004h	1004h	00h	Регистр управления 1
DR	E008h	F008h	0008h	1008h	0xh	Буфер FIFO приемника и передатчика
SR	E00Ch	F00Ch	000Ch	100Ch	03h	Регистр состояния
CPSR	E010h	F010h	0010h	1010h	00h	Регистр делителя тактовой частоты
IMSC	E014h	F014h	0014h	1014h	00h	Регистр маски прерывания
RIS	E018h	F018h	0018h	1018h	08h	Регистр состояния прерываний без учета маскирования
MIS	E01Ch	F01Ch	001Ch	101Ch	00h	Регистр состояния прерываний с учетом маскирования
ICR	E020h	F020h	0020h	1020h	00h	Регистр сброса прерывания
DMACR	E024h	F024h	0024h	1024h	00h	Регистр управления прямым доступом к памяти
–	E028h- EFFCh	F028h- FFCh	0028h- 0FFCh	1028h- 1FFCh	–	Зарезервировано

Таблица Б.32 – Регистры пользовательской флеш-памяти

Адрес	Мнемоника	Сброс	Название
A0022000h	UFMA		Регистр адреса
A0022004h	UFMD		Регистр 1 слова данных
A0022008h	UFMC		Регистр команд
A002200Ch	UFCIS		Регистр статуса
A0022010h	UFCIM		Регистр маски прерываний
A0022014h	UFCIC		Регистр сброса флагов статуса
A0022018h- A002207Ch	–	–	Зарезервировано
A0022080h	UT_ACC		Регистр временных параметров 1
A0022084h	UT_NV5		Регистр временных параметров 2
A0022088h	UT_NVH		Регистр временных параметров 3
A002208Ch	UT_RCV		Регистр временных параметров 4
A0022090h	UT_PGS		Регистр временных параметров 5
A0022094h	UT_PROG		Регистр временных параметров 6
A0022098h	UT_PGH		Регистр временных параметров 7
A002209Ch	UT_ERASE		Регистр временных параметров 8
A00220A0h	UT_ME		Регистр временных параметров 9
A00220A4h	UT_NVH1		Регистр временных параметров 10
A00220A8h- A0022FFCh	–	–	Зарезервировано

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Таблица Б.33 – Регистры блока RTC

Адрес	Мнемоника	Сброс	Название
A0023000h	PSECOND	0000h	Регистр долей секунд
A0023004h	SECOND	0000h	Регистр секунд
A0023008h	MINUTE	0000h	Регистр минут
A002300Ch	–	–	Зарезервировано
A0023010h	HOUR	0000h	Регистр часов
A0023014h	–	–	Зарезервировано
A0023018h	DAY	0000h	Регистр дней
A002301Ch	–	–	Зарезервировано
A0023020h	DATE	0000h	Регистр даты
A0023024h	MONTH	0000h	Регистр месяца
A0023028h	YEAR	0000h	Регистр года
A002302Ch	SHDW	00000080h	Регистр управления загрузкой теневых регистров
A0023030h	TIME	0000h	Регистр текущего времени
A0023034h- DFFFFFFCh	–	–	Зарезервировано

Таблица Б.34 – Регистры ядра

Адреса	Описание
E0000000h- E000E0FCh	Зарезервированная область

Таблица Б.35 – Регистры контроллера прерываний NVIC

Адрес	Мнемоника	Сброс	Название
1	2	3	4
E000E100h	ISER0	0000h	Регистр разрешения прерываний по векторам с 0 по 31
E000E104h	ISER1	0000h	Регистр разрешения прерываний по векторам с 32 по 63
E000E108h	ISER2	0000h	Регистр разрешения прерываний по векторам с 64 по 95
E000E10Ch	ISER3	0000h	Регистр разрешения прерываний по векторам с 96 по 127
E000E110h	ISER4	0000h	Регистр разрешения прерываний по векторам с 127 по 133
E000E114h- E000E17Ch	–	–	Зарезервировано
E000E180h	ICER0	0000h	Регистр сброса разрешений прерываний по векторам с 0 по 31
E000E184h	ICER1	0000h	Регистр сброса разрешений прерываний по векторам с 32 по 63

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

E000E188h	ICER2	0000h	Регистр сброса разрешений прерываний по векторам с 64 по 95
E000E18Ch	ICER3	0000h	Регистр сброса разрешений прерываний по векторам с 96 по 127

Продолжение таблицы Б.35

1	2	3	4
E000E190h	ICER4	0000h	Регистр сброса разрешений прерываний по векторам с 127 по 133
E000E194h- E000E1FCh	–	–	Зарезервировано
E000E200h	ISPR0	0000h	Регистр ждущих прерываний по векторам с 0 по 31
E000E204h	ISPR1	0000h	Регистр ждущих прерываний по векторам с 32 по 63
E000E208h	ISPR2	0000h	Регистр ждущих прерываний по векторам с 64 по 95
E000E20Ch	ISPR3	0000h	Регистр ждущих прерываний по векторам с 96 по 127
E000E210h	ISPR4	0000h	Регистр ждущих прерываний по векторам с 127 по 133
E000E214h- E000E27Ch	–	–	Зарезервировано
E000E280h	ICPR0	0000h	Регистр запрета ждущих прерываний по векторам с 0 по 31
E000E284h	ICPR1	0000h	Регистр запрета ждущих прерываний по векторам с 32 по 63
E000E288h	ICPR2	0000h	Регистр запрета ждущих прерываний по векторам с 64 по 95
E000E28Ch	ICPR3	0000h	Регистр запрета ждущих прерываний по векторам с 96 по 127
E000E290h	ICPR4	0000h	Регистр запрета ждущих прерываний по векторам с 127 по 133
E000E294h- E000E2FCh	–	–	Зарезервировано
E000E300h	IABR0	0000h	Регистр флагов прерываний по векторам с 0 по 31
E000E304h	IABR1	0000h	Регистр флагов прерываний по векторам с 32 по 63
E000E308h	IABR2	0000h	Регистр флагов прерываний по векторам с 64 по 95
E000E30Ch	IABR3	0000h	Регистр флагов прерываний по векторам с 96 по 127
E000E310h	IABR4	0000h	Регистр флагов прерываний по векторам с 127 по 133
E000E314h- E000E3FCh	–	–	Зарезервировано
E000E400h	IPR00	0000h	Регистр приоритетов векторов прерываний с 0 по 3
E000E404h	IPR01	0000h	Регистр приоритетов векторов прерываний с 4 по 7
E000E408h	IPR02	0000h	Регистр приоритетов векторов прерываний с 8 по 11
E000E40Ch	IPR03	0000h	Регистр приоритетов векторов прерываний с 12 по 15
E000E410h	IPR04	0000h	Регистр приоритетов векторов прерываний с 16 по 19
E000E414h	IPR05	0000h	Регистр приоритетов векторов прерываний с 20 по 23
E000E418h	IPR06	0000h	Регистр приоритетов векторов прерываний с 24 по 27
E000E41Ch	IPR07	0000h	Регистр приоритетов векторов прерываний с 28 по 31
E000E420h	IPR08	0000h	Регистр приоритетов векторов прерываний с 32 по 35
E000E424h	IPR09	0000h	Регистр приоритетов векторов прерываний с 36 по 39
E000E428h	IPR10	0000h	Регистр приоритетов векторов прерываний с 40 по 43

Инд. № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инд. № дубл.	Подп. и дата

E000E42Ch	IPR11	0000h	Регистр приоритетов векторов прерываний с 44 по 47
E000E430h	IPR12	0000h	Регистр приоритетов векторов прерываний с 48 по 51
E000E434h	IPR13	0000h	Регистр приоритетов векторов прерываний с 52 по 55
E000E438h	IPR14	0000h	Регистр приоритетов векторов прерываний с 56 по 59
E000E43Ch	IPR15	0000h	Регистр приоритетов векторов прерываний с 60 по 63
E000E440h	IPR16	0000h	Регистр приоритетов векторов прерываний с 64 по 67
E000E444h	IPR17	0000h	Регистр приоритетов векторов прерываний с 68 по 71

Окончание таблицы Б.35

1	2	3	4
E000E448h	IPR18	0000h	Регистр приоритетов векторов прерываний с 72 по 75
E000E44Ch	IPR19	0000h	Регистр приоритетов векторов прерываний с 76 по 79
E000E450h	IPR20	0000h	Регистр приоритетов векторов прерываний с 80 по 83
E000E454h	IPR21	0000h	Регистр приоритетов векторов прерываний с 84 по 87
E000E458h	IPR22	0000h	Регистр приоритетов векторов прерываний с 88 по 91
E000E45Ch	IPR23	0000h	Регистр приоритетов векторов прерываний с 92 по 95
E000E460h	IPR24	0000h	Регистр приоритетов векторов прерываний с 96 по 99
E000E464h	IPR25	0000h	Регистр приоритетов векторов прерываний с 100 по 103
E000E468h	IPR26	0000h	Регистр приоритетов векторов прерываний с 104 по 107
E000E46Ch	IPR27	0000h	Регистр приоритетов векторов прерываний с 108 по 111
E000E470h	IPR28	0000h	Регистр приоритетов векторов прерываний с 112 по 115
E000E474h	IPR29	0000h	Регистр приоритетов векторов прерываний с 116 по 119
E000E478h	IPR30	0000h	Регистр приоритетов векторов прерываний с 120 по 123
E000E47Ch	IPR31	0000h	Регистр приоритетов векторов прерываний с 124 по 127
E000E480h	IPR32	0000h	Регистр приоритетов векторов прерываний с 128 по 131
E000E484h	IPR33	0000h	Регистр приоритетов векторов прерываний 132 и 133

Таблица Б.36 – Регистры ядра

Адреса	Описание
E000E488h-FFFFFFFFh	Зарезервированная область

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата