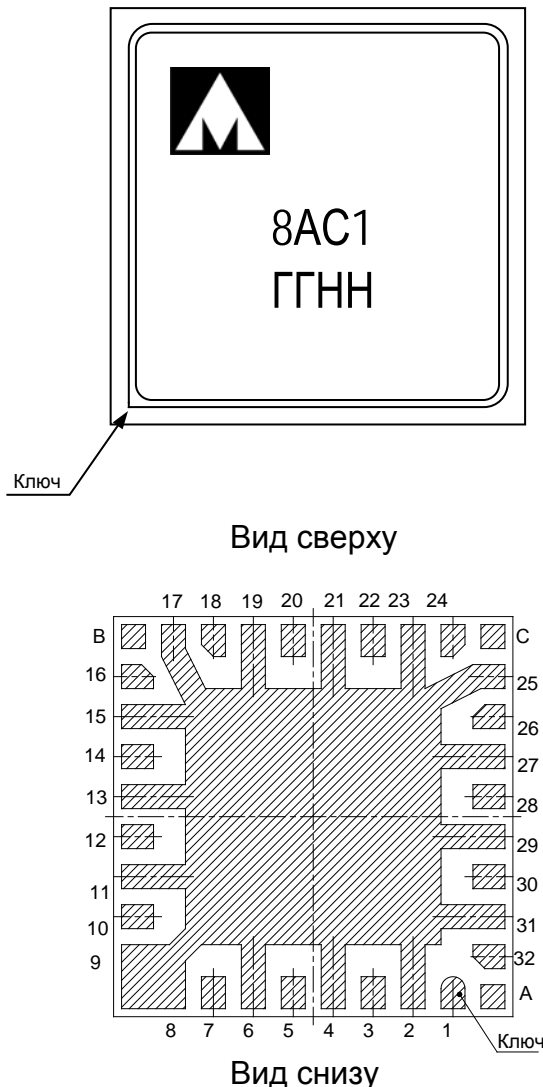




**Микросхема синтезатора частот с дробным коэффициентом
деления и основной частотой до 12 ГГц
1508AC015, K1508AC015, K1508AC015K**



**Основные характеристики
микросхемы:**

- Основная частота до 12 ГГц;
- Программируемый прескалер 8/9, 4/5;
- Опорная частота до 250 МГц;
- Частота фазового детектора в целочисленном режиме до 150 МГц;
- Частота фазового детектора в дробном режиме до 70 МГц;
- Шаг основной частоты не более 1,04 Гц (26 разрядный сигма-дельта модулятор);
- Нормированный уровень фазовых шумов в целочисленном режиме минус 229 дБн/Гц;
- Встроенная функция “предотвращение проскальзывания циклов”;
- Напряжение питания от 3,0 до 3,6 В;
- Динамический ток потребления не более 120 мА;
- Температурный диапазон:

Обозначение	Диапазон
1508AC015	минус 60 – 125 °С
K1508AC015	минус 60 – 85°С
K1508AC015K	0 – 70°С

ГГ – год выпуска
НН – неделя выпуска

Тип корпуса:

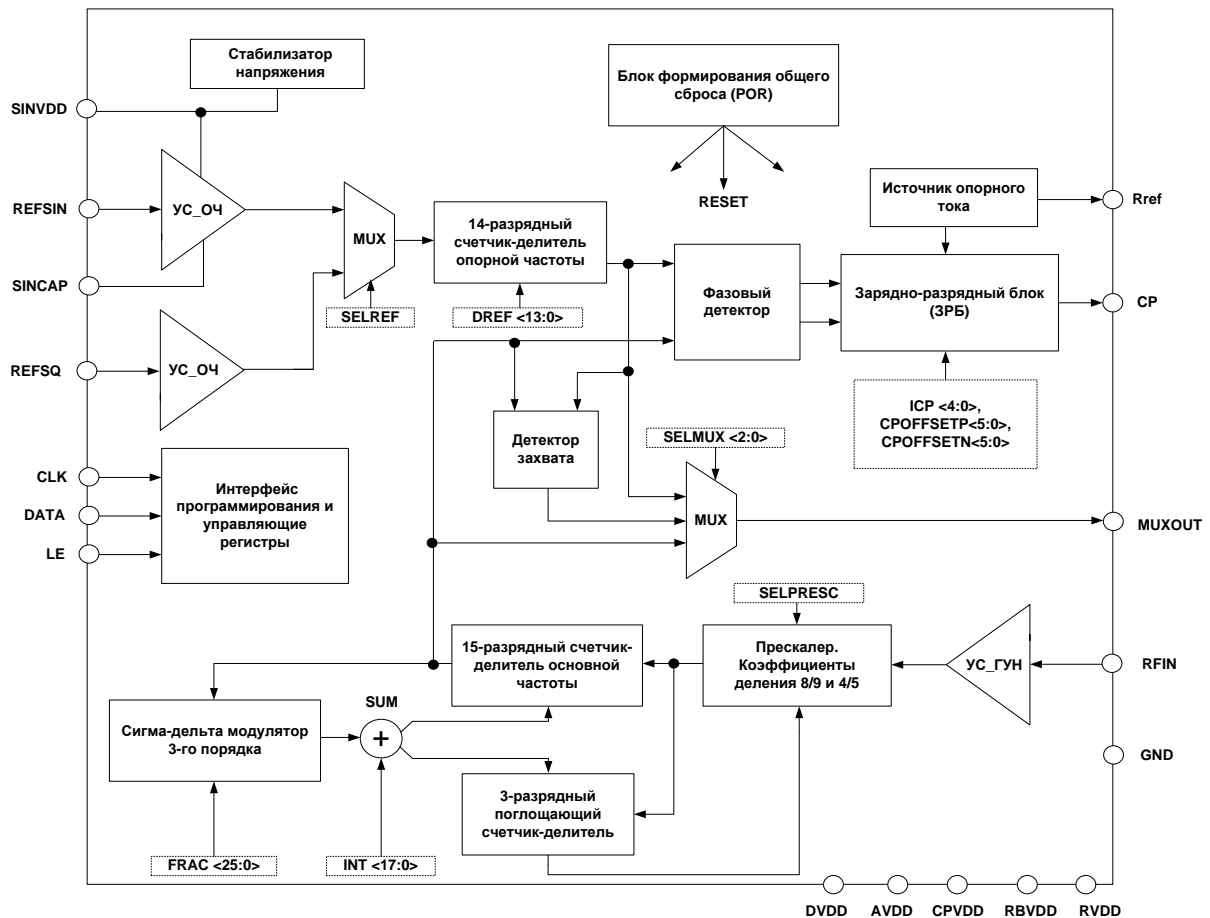
- 32-выводной металлокерамический корпус 5102.32-2К.

Области применения микросхемы

Микросхема предназначена для построения блоков генераторов сигнала на основе фазовой автоподстройки частоты, которые могут быть применены:

- в базовых станциях для мобильного радио (GSM, PCS, DCS, CDMA);
- в беспроводных локальных сетях;
- в космической радиолокации.

1 Структурная блок-схема микросхемы

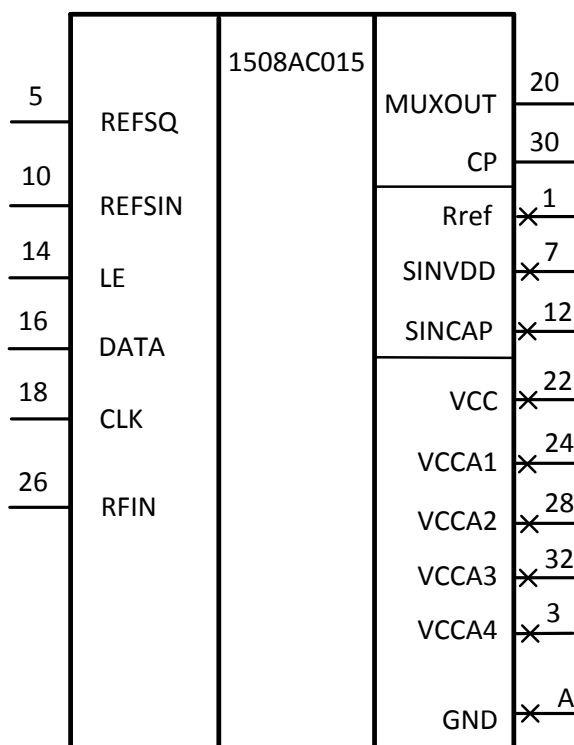


 – управляющие разряды регистра выбора режима работы;

- УС_ОЧ – усилитель сигнала опорной частоты;
- УС_ГУН – усилитель сигнала основной частоты ГУН (генератор, управляемый напряжением);
- MUX – мультиплексор;
- SUM – сумматор.

Рисунок 1 – Структурная блок-схема микросхемы

2 Условное графическое обозначение



A – Группы выводов 2, 4, 6, 8, 9, 11, 13, 15, 17,
19, 21, 23, 25, 27, 29, 31

Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов

№ вывода корпуса	Обозначение сигнала	Тип вывода *	Функциональное назначение вывода
1	Rref	-	Вывод подключения резистора, задающего опорный ток
2	GND	-	Общий**
3	VCCA4	-	Питание усилителей сигналов и счетчика-делителя опорной частоты, 3,3 В
4	GND	-	Общий**
5	REFSQ	AI	Вход сигнала опорной частоты прямоугольной формы
6	GND	-	Общий**
7	SINVDD	-	Выход для подключения внешней фильтрующей емкости стабилизатора напряжения питания усилителя сигнала опорной частоты синусоидальной формы
8	GND	-	Общий**
9	GND	-	Общий**
10	REFSIN	AI	Вход сигнала опорной частоты синусоидальной формы
11	GND	-	Общий**
12	SINCAP	-	Выход для подключения внешней фильтрующей емкости усилителя сигнала опорной частоты синусоидальной формы
13	GND	-	Общий**
14	LE	I	Сигнал разрешения записи данных в управляющие регистры
15	GND	-	Общий**
16	DATA	I	Вход данных, управляющего регистра.
17	GND	-	Общий**
18	CLK	I	Сигнал тактовой частоты интерфейса программирования
19	GND	-	Общий**
20	MUXOUT	AO	Программируемый выход счетчиков-делителей основной и опорной частоты. На выход поступает сигнал от источника, определяемого значениями разрядов SELMUX<1:0> регистра REG 4
21	GND	-	Общий**
22	VCC	-	Питание цифровых блоков
23	GND	-	Общий**
24	VCCA1	-	Питание аналоговых ВЧ блоков 3,3 В
25	GND	-	Общий**
26	RFIN	AI	ВЧ вход прескалера (делителя основной частоты ГУН)
27	GND	-	Общий**
28	VCCA2	-	Питание зарядно-разрядного блока и фазового детектора, 3,3 В
29	GND	-	Общий**

№ вывода корпуса	Обозначение сигнала	Тип вывода *	Функциональное назначение вывода
30	CP	АО	Выход зарядно-разрядного блока для подключения к внешнему петлевому фильтру
31	GND	-	Общий**
32	VCCA3	-	Питание источника опорного тока, 3,3 В
<p>* – обозначение типа выводов: I – цифровой вход; AI – аналоговый вход; АО – аналоговый выход;</p> <p>** – вывод соединен с основанием и крышкой корпуса.</p>			

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины "Общий".

Не используемые входы микросхем должны быть подключены к напряжению питания U_{cc} или на шину «Общий» GND.

Запрещается подведение каких-либо электрических сигналов (в том числе шин "Питание", "Общий") к выходам микросхем, не используемым согласно схеме электрической.

Выводы «Общий» с номерами 2, 4, 6, 8, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31 имеют электрическое соединение с крышкой и металлизированной обратной стороной корпуса.

5 Описание функционирования микросхемы

Микросхема представляет собой часть синтезатора частоты, которая в сочетании с внешним управляемым генератором и петлевым фильтром образует законченную петлю ФАПЧ и предназначена для построения блоков высокочастотных генераторов сигнала на основе фазовой автоподстройки частоты, которые могут быть применены:

- в базовых станциях для мобильного радио (GSM, PCS, DCS, CDMA);
- в беспроводных локальных сетях;
- в космической радиолокации.

Синтезатор имеет дробный делитель основной частоты, построенный на основе 26-разрядного сигма-дельта модулятора 3 порядка.

Синтезатор может работать в дробном и целочисленном режимах в зависимости от сигнала **SYNTMOD** управляющего регистра:

1. Если **SYNTMOD** = <1> микросхема работает в дробном режиме, частота управляемого генератора определяется по формуле:

$$F = \frac{F_{REF}}{D_{REF}} \left(INT + \frac{FRAC}{2^{26}} \right), \quad (1)$$

где

F_{ref} – частота опорного сигнала;

D_{REF} – коэффициент деления опорной частоты;

INT – целая часть коэффициента деления основной частоты;

$FRAC$ – числитель дробной части коэффициента деления основной частоты.

2. Если **SYNTMOD** = <0> микросхема работает в целочисленном режиме, и частота управляемого генератора определяется по формуле:

$$F = F_{REF} \frac{INT}{D_{REF}} \quad (2)$$

Значения INT , $FRAC$, D_{REF} задаются соответствующими полями, управляющими регистрами REG1÷REG3.

Микросхема может быть переведена в режим **пониженного энергопотребления** с отключением всех внутренних блоков путем установки управляющего сигнала **POWERDOWN** = 1. В рабочем режиме **POWERDOWN** = 0.

В микросхеме встроен блок опорного тока, основанный на внешнем резисторе, который подключается между выводом Rref и землей. Рекомендованное значение резистора составляет 1,07 кОм ± 1 %. Столь высокая точность задающего резистора необходима для обеспечения значений выходного тока зарядно-разрядного блока (Таблица 10). В тех приложениях, где не критично небольшое отклонение выходного тока ЗРБ от указанных значений возможна установка задающего резистора с номиналом 1,1 кОм ± 10 %. Блок опорного тока имеет отдельный сигнал включения **ENBIAS**, соответственно во всех рабочих режимах необходимо устанавливать **ENBIAS=1**.

5.1 Тракт делителя основной частоты

Делитель основной частоты построен по схеме двухмодульного прескалера с основным и поглощающим счетчиками. В зависимости от диапазона основной частоты должен быть выбран один из двух режимов работы прескалера (8/9 или 4/5). От выбора режима работы прескалера будут также зависеть минимально и максимально возможные значения INT (Таблица 2). Выбор прескалера осуществляется управляющим сигналом **SELPRESC**. Включение тракта делителя основной частоты осуществляется установкой **ENHDIV = 1**.

Таблица 2 – Значения целой части коэффициента деления основной частоты INT в зависимости от выбора коэффициентов деления прескалера

Основная частота ГУН, ГГц	Используемый прескалер	SELPRESC	INT _{min} (дробный режим)	INT _{max} (дробный режим)	INT _{min} (целочисленный режим)	INT _{max} (целочисленный режим)
6÷12	8/9	0	59	262139	56	262143
< 6	4/5	1	27	131067	24	131071

Дробный коэффициент деления делителя реализуется при помощи 26-разрядного сигма-дельта модулятора 3 порядка. Числитель дробной части коэффициента деления задается шиной **FRAC<25:0>**.

Сигналы **DSMSINEN**, **DSMSQEN**, **DSMCLKSET** используются исключительно в тестовых целях проверки работоспособности сигма-дельта модулятора. В рабочем режиме работы данные сигналы должны быть установлены в 0.

5.2 Тракт делителя опорной частоты

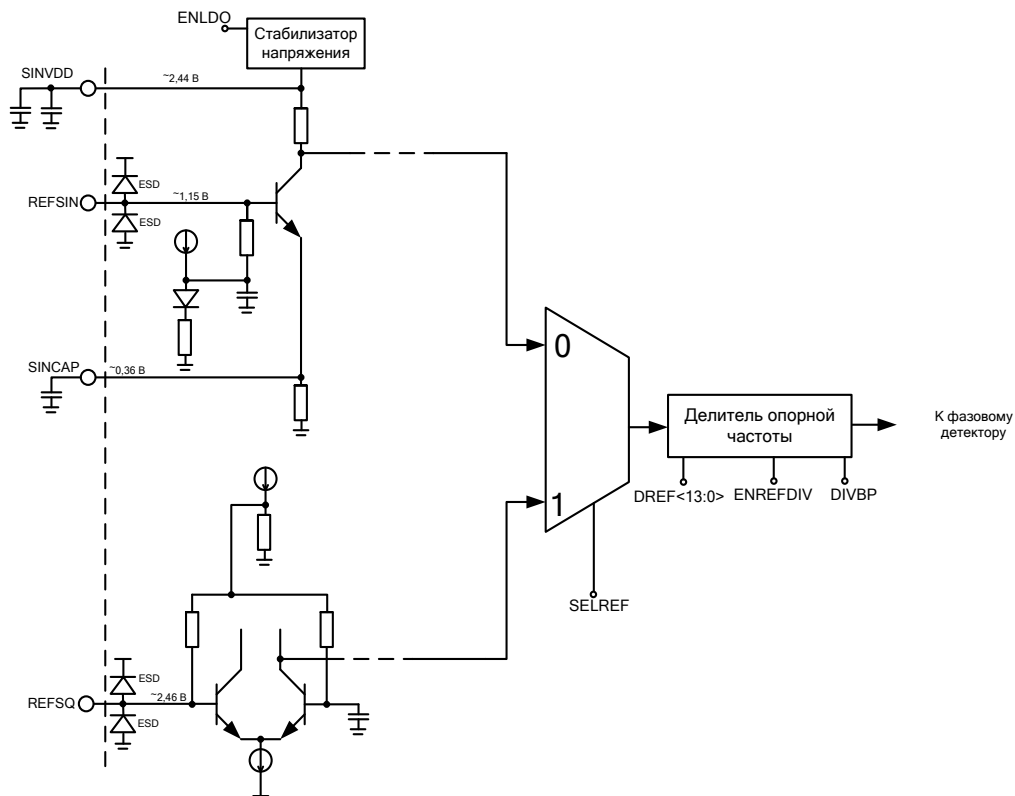


Рисунок 3 – Структурная схема тракта делителя опорной частоты

В качестве опорной частоты для синтезатора могут использоваться источники сигналов, как синусоидальной, так и прямоугольной формы в диапазоне частот от 0 до 250 МГц. Выше представлена упрощенная схема входных цепей тракта опорной частоты (Рисунок 3). В микросхеме используются два независимых усилителя опорной частоты оптимизированных под соответствующий тип сигнала. Опорный сигнал синусоидальной формы необходимо подавать на вход REFSIN, прямоугольный – на вход REFSQ. Прямоугольный сигнал на входе REFSQ может иметь КМОП уровень 3,3 В.

Для питания усилителя синусоидального сигнала используется внутренний стабилизатор напряжения с уровнем напряжения 2,44 В. Это напряжение фильтруется внешними емкостями через вывод SINVDD. ЭПС подключаемых емкостей должно быть не более 1,5 Ом для обеспечения устойчивости стабилизатора. Стабилизатор имеет индивидуальный сигнал включения ENLDO.

Усилители включаются установкой в 1 сигналов ENSIN и ENSQ соответственно. Выбор используемого усилителя осуществляется внутренним мультиплексором по сигналу SELREF. Если задействован буфер синусоидального сигнала необходимо установить SELREF = 0, если задействован буфер прямоугольного сигнала – SELREF = 1. Делитель опорной частоты включается установкой ENREFDIV = 1.

Установкой DIVBP = 1 возможно пропустить сигнал опорной частоты в обход делителя, но при этом оставить делитель работающим. Этот режим используется исключительно в тестовых целях. Коэффициент деления делителя опорной частоты задается на шине DREF<13:0>.

Таблица 3 – Значения управляющих битов тракта опорной частоты в рабочем режиме в зависимости от выбранного усилителя входного сигнала

Режим работы	ENLLDO	ENSIN	ENSQ	ENREFDIV	SELREF
Вход сигнала синусоидальной формы	1	1	0	1	0
Вход сигнала прямоугольной формы	0	0	1	1	1

5.3 Зарядно-разрядный блок и фазовый детектор

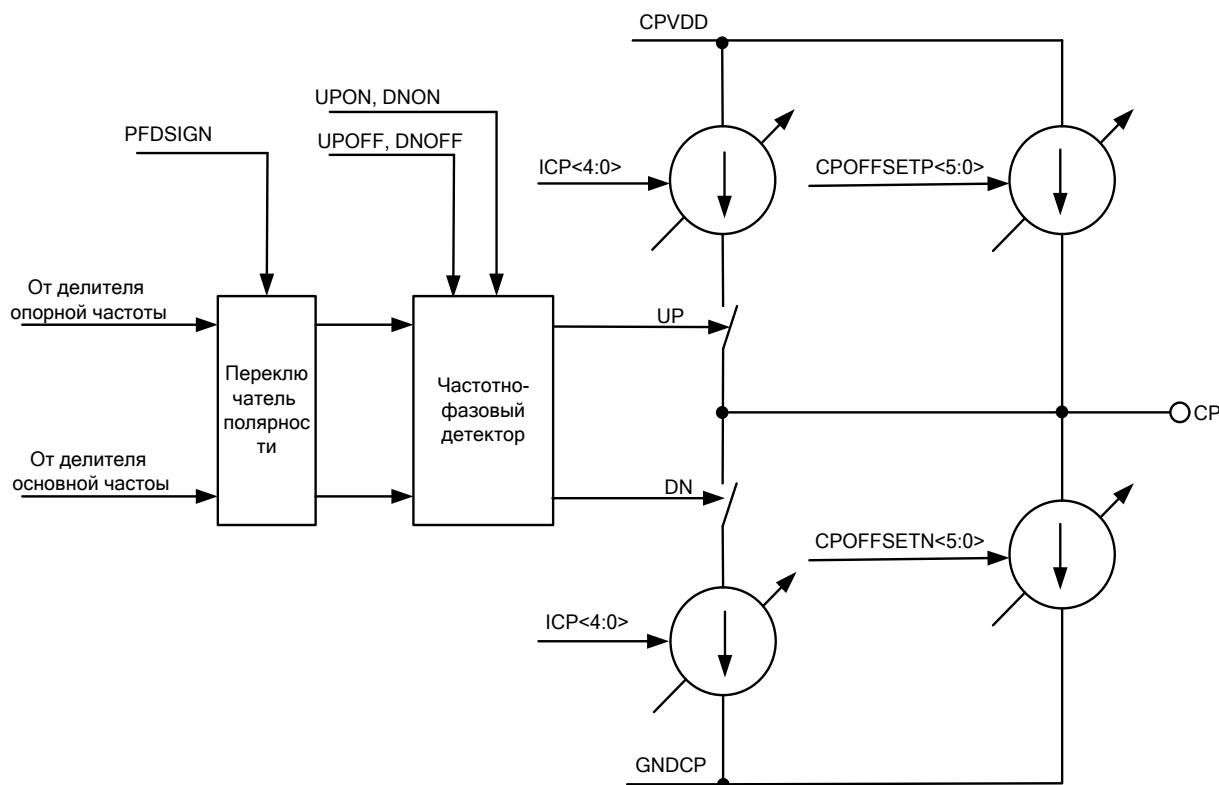


Рисунок 4 – Структурная схема фазового детектора и зарядно-разрядного блока

Зарядно-разрядный блок (далее ЗРБ) представляет собой источник втекающего и вытекающего тока, переключаемый сигналами фазового детектора. ЗРБ включается установкой ENCP = 1.

Шинной ICP<4:0> устанавливается значение выходного тока ЗРБ по формуле:

$$I_{cp} = 125 \text{ мкА}(1 + ICP)$$

Таким образом, можно установить значение выходного тока ЗРБ в диапазоне от 0,125 до 4 мА. Установкой сигнала PFDSIGN = 1 можно, при необходимости, инвертировать полярность фазового детектора.

Сигналами DNON, DNOFF, UPON, UPOFF устанавливаются тестовые режимы работы ЗРБ в соответствии с данными, приведенными ниже (Таблица 4). В обычном режиме работы данные сигналы необходимо устанавливать равными 0.

Таблица 4 – Тестовые режимы работы ЗРБ

DNON	DNOFF	UPON	UPOFF	Режим
1	0	0	1	Включение втекающего тока ЗРБ
0	1	1	0	Включение вытекающего тока ЗРБ
1	0	1	0	Включение втекающего и вытекающего токов ЗРБ одновременно
0	1	0	1	Выключение токов ЗРБ (на выходе ЗРБ z-состояние)

Оптимальный ток смещения ЗРБ

Вследствие нелинейности передаточной характеристики ЗРБ и фазового детектора вблизи нулевой разности фаз входных сигналов в дробном режиме работы возникает непредсказуемо большое повышение фазового шума внутри полосы пропускания ФАПЧ. Для уменьшения данного эффекта в дробном режиме необходимо смещение области работы детектора в зону большей линейности. Это достигается введением постоянно включенной добавки к выходному току ЗРБ. Добавка может быть как втекающая, так и вытекающая. Смещение области работы детектора уменьшает описанный эффект, однако увеличивает вклад собственного шума источников тока ЗРБ в общий фазовый шум ФАПЧ и кроме того увеличивает уровень паразитных сигналов на частоте сравнения ФАПЧ (reference spurs). Таким образом, существует оптимальное значение смещающей добавки к выходному току ЗРБ, которое определяется по формуле:

$$I_{cp\ offset\ optimum} = \gamma \frac{I_{cp}}{INT},$$

где

$$\gamma = 2...4;$$

I_{cp} – установленное значение выходного тока ЗРБ;

INT – установленное значение целой части коэффициента деления основной частоты.

Величина смещающей добавки задается значением на шинах CPOFFSETP<5:0>, CPOFFSETN <5:0> при установленном состоянии ENOFFSETCP = 1 и определяется по формуле:

$$I_{cp\ offset\ p,n} = 6,25 \text{ мкА} * CPOFFSET_{P,N}$$

Диапазон возможных значений смещающей добавки от 0 до 383,75 мкА. Выбор оптимального направления тока смещающей добавки (втекающий или вытекающий) зависит от технологического разбора, и может выбираться пользователем.

При работе в целочисленном режиме смещающую добавку необходимо отключать установкой ENOFFSETCP = 0.

5.4 Функция “предотвращение проскальзывания циклов” (Cycle Slip Prevention)

Для данного класса систем ФАПЧ характерно “волнообразное” поведение основной частоты при перестройке с одной частоты на другую, что называют проскальзыванием циклов (Рисунок 5). Данный эффект связан с периодическим характером передаточной характеристики фазового детектора, в результате которого происходит периодический сброс фазовой ошибки, накопленной к определенному моменту времени. Эффект наблюдается в случае, если частота работы фазового детектора много больше полосы пропускания петли ФАПЧ. Как следствие, может сильно увеличивать время перестройки ФАПЧ.

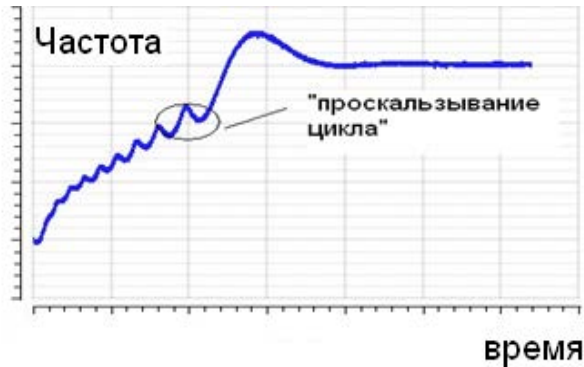


Рисунок 5 – Типичный вид переходного процесса в петле ФАПЧ с “проскальзыванием циклов”

В микросхеме реализован механизм, предотвращающий данный эффект. В определенные моменты времени по специальным внутренним сигналам происходит прибавление или вычитание к текущему коэффициенту деления основной частоты величины DN <14:0>. Этим предотвращается полностью или минимизируется потеря фазовой ошибки. Оптимальная величина DN лежит в пределах от 5 до 10 % от INT. Функция задействуется установкой ENCSP = 1.

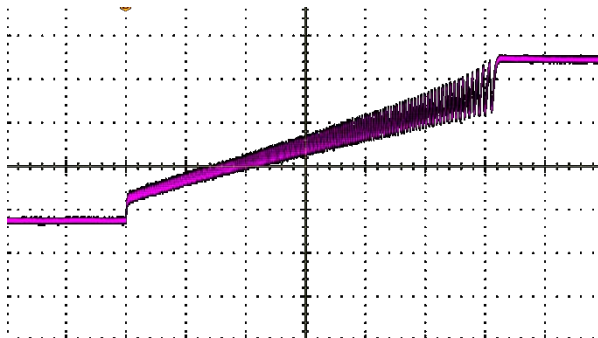


Рисунок 6 – Осциллограмма переходного процесса петли ФАПЧ с выключенной функцией CSP

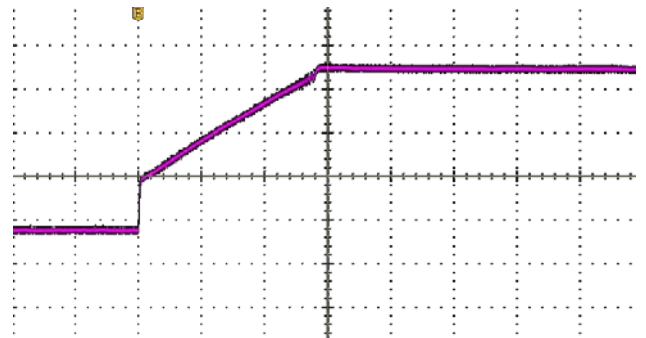


Рисунок 7 – Осциллограмма переходного процесса петли ФАПЧ с включенной функцией CSP. DN=0,1 * INT

На рисунках выше (Рисунок 6, Рисунок 7) для сравнения представлены осциллограммы переходного процесса ФАПЧ с включенной выключенной функцией CSP. Как видно из рисунков, включение данной функции сокращает время переходного процесса примерно в 2 раза.

5.5 Детектор захвата

Детектор выдает флаг захвата петли ФАПЧ на вывод MUXOUT (если SELMUX = <1 X X> (Таблица 6)), когда разность фаз между входными сигналами фазового детектора становится меньше порога, задаваемого шиной LDPT<1:0> и не превышает этот порог на протяжении 128 тактов частоты сравнения. Когда разность фаз становится больше порога детектор сбрасывает сигнал захвата в 0. В зависимости от основной частоты синтезатора и режима работы должен быть выбран оптимальный порог срабатывания для корректной работы детектора (Таблица 5).

Таблица 5 – Оптимальное значение LDPT в зависимости от диапазона основной частоты

Основная частота и режим работы	Оптимальное значение LDPT<1:0>	Номинальное значение пороговой разности фаз, нс
$F_{RF} = 1\text{--}12$ ГГц, дробный	<11>	4,5
$F_{RF} = 0,75\text{--}1$ ГГц, дробный	<10>	5,5
$F_{RF} = 0,5\text{--}0,75$ ГГц, дробный	<01>	8
$F_{RF} = 0,1\text{--}0,5$ ГГц, дробный	<00>	35
Целочисленный режим, любая частота	x	1,6

5.5.1 Вывод MUXOUT

Вывод MUXOUT может быть сконфигурирован в зависимости от значения сигнала управляющего регистра **SELMUX<1:0>** в соответствии с данными, приведенными ниже (Таблица 6).

Таблица 6 – Сигналы управления состоянием выхода MUXOUT

SELMUX<2:0>	Сигнал на выводе MUXOUT
000	Выход делителя опорной частоты
001	Выход делителя основной частоты
010	Высокий логический уровень
011	Низкий логический уровень
1XX	Выход детектора захвата

5.6 Схема общего сброса при включении питания

Блок формирования общего сброса (POR — Power-On Reset) удерживает сигналом RESET микросхему в состоянии общего сброса от момента превышения напряжением питания U_{CC} на входе питания цифровых блоков DVDD (независимо от наличия питающего напряжения на других выводах питания микросхемы) значения порогового напряжения U_{POR} до завершения начальных установок блоков микросхемы.

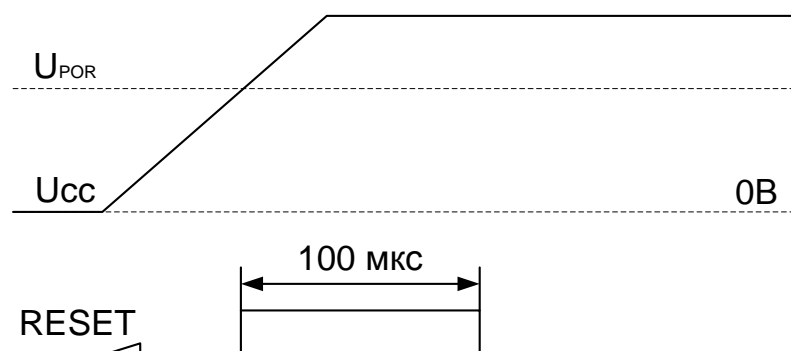


Рисунок 8 – Временная диаграмма процедуры включения микросхемы при подаче питающего напряжения

5.7 Интерфейс программирования и описание регистров управления

Выбор режима работы микросхемы синтезатора частот производится путем программирования ее регистров управления через интерфейс программирования.

Загрузка данных рабочего режима работы синтезатора частот, а также данных для различных тестовых режимов производится через последовательный интерфейс микросхемы (выводы CLK, DATA, LE).

Интерфейс состоит из 32-разрядного сдвигового регистра загрузки данных и четырех 30-разрядных регистров хранения управляющих данных (регистров управления), хранящих информацию о конфигурации микросхемы (Рисунок 9).

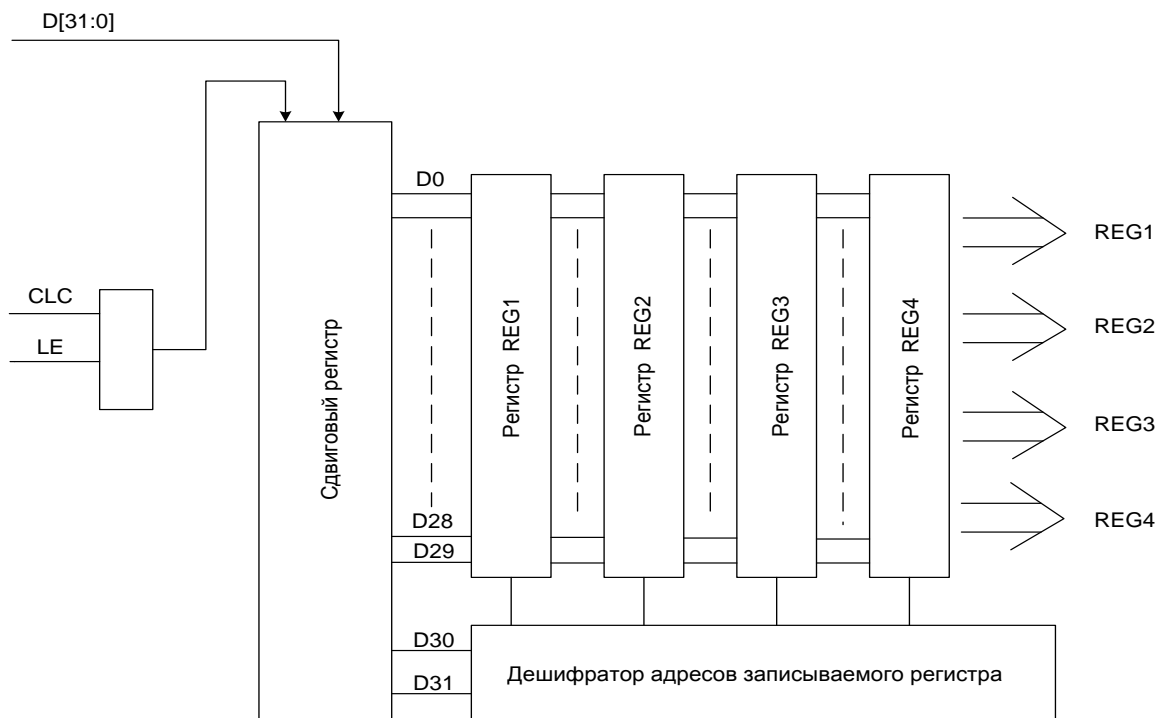


Рисунок 9 – Структурная схема интерфейса программирования и регистров управления

Два старших разряда сдвигового регистра DATA <31 и 30> определяют адрес выбранного при программировании управляющего регистра (Таблица 7).

Таблица 7 – Адреса управляющих регистров REG

DATA<31>	DATA<30>	Номер регистра
0	0	REG1<29:0>
0	1	REG2<29:0>
1	0	REG3<29:0>
1	1	REG4<29:0>

5.7.1 Порядок загрузки данных в регистры управления

Перед началом загрузки данных необходимо обеспечить следующие начальные состояния входных сигналов: DATA = «0», LE = «1» и CLK = «1».

Ввод данных осуществляется по 32 бита за один цикл. Загрузка данных в сдвиговый регистр осуществляется после подачи низкого логического уровня на вход LE по переднему фронту сигнала CLK. Установка данных должна быть произведена в любое время до этого события.

Загрузка данных начинается с двух старших разрядов, определяющих номер регистра хранения управляющих данных. Далее, начиная со старшего бита, следуют данные, загружаемые в управляющий регистр.

Порядок следования загрузочных данных:
DATA<31>, DATA<30>, DATA<29>,, DATA<0>

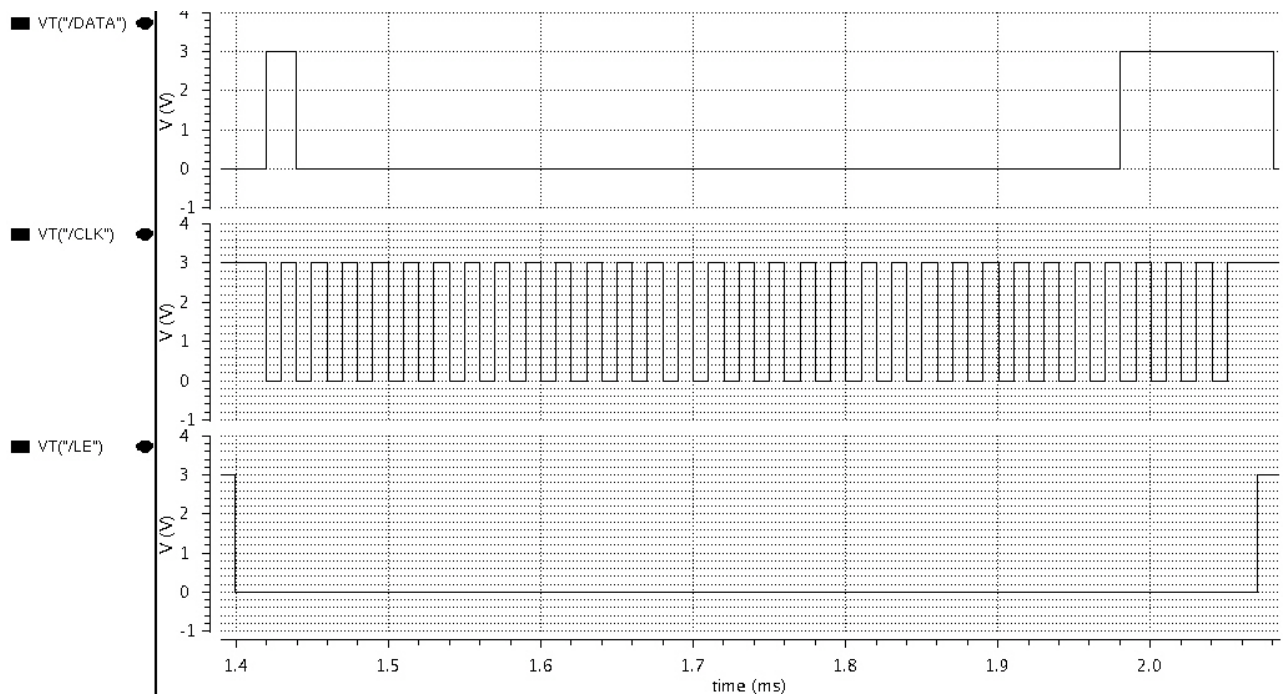


Рисунок 10 – Сигналы интерфейса программирования в режиме загрузки регистров

После подачи на вход LE логической единицы данные из сдвигового регистра переписываются в выбранный регистр.

5.7.2 Описание регистров управления

Назначение разрядов регистров управления REG1÷REG4 приведено в таблице ниже (Таблица 8).

Таблица 8 – Описание разрядов регистров управления REG1÷REG4

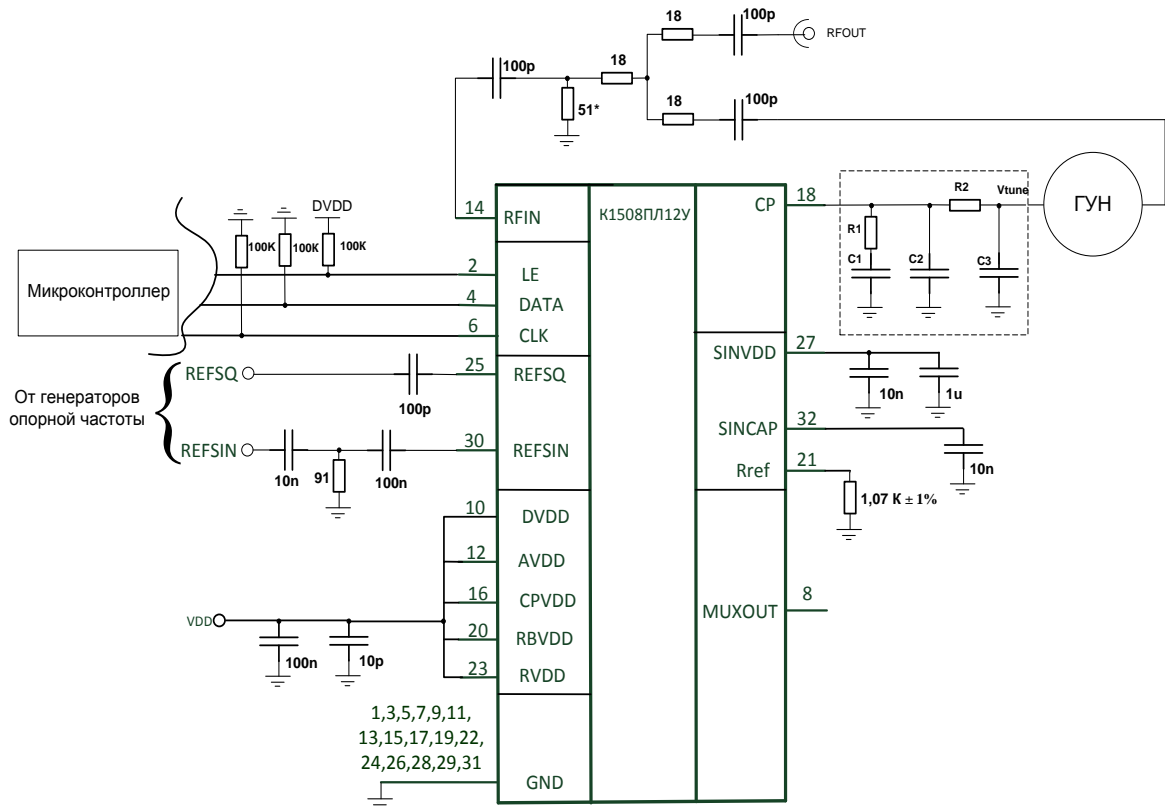
Регистр 1 (REG1)			
0	DREF<0>	DREF	Коэффициент деления опорной частоты
1	DREF<1>		
2	DREF<2>		
3	DREF<3>		
4	DREF<4>		
5	DREF<5>		
6	DREF<6>		
7	DREF<7>		
8	DREF<8>		
9	DREF<9>		
10	DREF<10>		
11	DREF<11>		
12	DREF<12>		
13	DREF<13>		
14	DN<0>	DN	Величина динамической изменяемой добавки к целой части делителя основной частоты для реализации функции “предотвращение проскальзывания циклов”
15	DN<1>		
16	DN<2>		
17	DN<3>		
18	DN<4>		
19	DN<5>		
20	DN<6>		
21	DN<7>		
22	DN<8>		
23	DN<9>		
24	DN<10>		
25	DN<11>		
26	DN<12>		
27	DN<13>		
28	DN<14>		
29	ENCSP	Сигнал включения функции «Предотвращение проскальзывания циклов»	0 – выкл. 1 – вкл.
Регистр 2 (REG2)			
0	INT<0>	INT	Целая часть коэффициента деления основной частоты
1	INT<1>		
2	INT<2>		
3	INT<3>		
4	INT<4>		
5	INT<5>		
6	INT<6>		
7	INT<7>		
8	INT<8>		
9	INT<9>		
10	INT<10>		

11	INT<11>		
12	INT<12>		
13	INT<13>		
14	INT<14>		
15	INT<15>		
16	INT<16>		
17	INT<17>		
18	CPOFFSETP<0>	CPOFFSETP	Величина постоянной добавки к вытекающему току зарядно-разрядного блока
19	CPOFFSETP<1>		
20	CPOFFSETP<2>		
21	CPOFFSETP<3>		
22	CPOFFSETP<4>		
23	CPOFFSETP<5>		
24	CPOFFSETN<0>	CPOFFSETN	Величина постоянной добавки к втекающему току зарядно-разрядного блока
25	CPOFFSETN<1>		
26	CPOFFSETN<2>		
27	CPOFFSETN<3>		
28	CPOFFSETN<4>		
29	CPOFFSETN<5>		
Регистр 3 (REG3)			
0	FRAC<0>	FRAC	Числитель дробной части коэффициента деления основной частоты
1	FRAC<1>		
2	FRAC<2>		
3	FRAC<3>		
4	FRAC<4>		
5	FRAC<5>		
6	FRAC<6>		
7	FRAC<7>		
8	FRAC<8>		
9	FRAC<9>		
10	FRAC<10>		
11	FRAC<11>		
12	FRAC<12>		
13	FRAC<13>		
14	FRAC<14>		
15	FRAC<15>		
16	FRAC<16>		
17	FRAC<17>		
18	FRAC<18>		
19	FRAC<19>		
20	FRAC<20>		
21	FRAC<21>		
22	FRAC<22>		
23	FRAC<23>		
24	FRAC<24>		
25	FRAC<25>		
26	SELPRESC	Выбор используемого прескалера	0 – прескалер 8/9 1 – прескалер 4/5
27	SELREF	Выбор источника опорной частоты	0 – синус 1 – прямоугольный сигнал
28	SYNTMOD	Режим работы синтезатора	0 – целочисленный 1 – дробный

29	PFDSIGN	Выбор полярности сигналов фазового детектора	0 – прямая полярность 1 – обратная полярность
Регистр (REG4)			
0	ICP<0>	ICP	Значение выходного тока зарядно-разрядного блока
1	ICP<1>		
2	ICP<2>		
3	ICP<3>		
4	ICP<4>		
5	резерв		
6	резерв		
7	LDPT<0>	LDPT	LDPT<1:0> Величина пороговой разности фаз входных сигналов фазового детектора, при которой детектируется захват петли ФАПЧ в дробном режиме: 00 – 35 нс 01 – 8,5 нс 10 – 5,5 нс 11 – 4,5 нс
8	LDPT<1>		
9	ENOFFSETCP	Включение добавочного тока ЗРБ	1 – вкл 0 – выкл
10	резерв		
11	DNON	Тестовые сигналы для проверки зарядно-разрядного блока	Таблица 4
12	DNOFF		
13	UPON		
14	UPOFF		
15	ENBIAS	Выбор режима работы источника опорного тока	0 – выкл. 1 – вкл.
16	ENCP	Выбор режима работы зарядно-разрядного блока	0 – выкл. 1 – вкл.
17	ENHDIV	Выбор режима работы делителя основной частоты	0 – выкл. 1 – вкл.
18	ENLDO	Выбор режима работы стабилизатора напряжения усилителя сигнала опорной частоты синусоидальной формы	0 – выкл. (напряжение питания на усилитель необходимо подавать через вывод SINVDD) 1 – вкл.

19	ENSIN	Выбор режима работы усилителя сигнала опорной частоты синусоидальной формы	0 – выкл. 1 – вкл.
20	ENSQ	Выбор режима работы усилителя сигнала опорной частоты прямоугольной формы	0 – выкл. 1 – вкл.
21	DSMSINEN	Разрешение использования сигнала опорной частоты синусоидальной формы в качестве тактовой частоты дельта-сигма модулятора	0 – выкл. 1 – вкл.
22	DSMSQEN	Разрешение использования сигнала опорной частоты прямоугольной формы в качестве тактовой частоты дельта-сигма модулятора	0 – выкл. 1 – вкл.
23	DSMCLKSET	Выбор источника тактового сигнала дельта-сигма модулятора	0 – сигнал опорной частоты синусоидальной формы 1 – сигнал опорной частоты прямоугольной формы
24	ENREFDIV	Выбор режима работы делителя опорной частоты	0 – выкл. 1 – вкл.
25	DIVBP	Разрешение прямого прохождения сигнала опорной частоты через делитель	0 – выкл. 1 – вкл.
26	SELMUX<0>	Выбор типа выходного сигнала на выводе MUXOUT	SELMUX<2:0> 000-выход делителя сигнала опорной частоты 001 – выход делителя сигнала основной частоты 010 – логическая 1 011 – логический 0 1XX – Выход сигнала детектора захвата
27	SELMUX<1>		
28	SELMUX<2>		
29	POWERDOWN	Режим пониженного энергопотребления микросхемы	0 – выкл. 1 – вкл.

6 Типовые схемы включения микросхемы



C1, C2, C3, R1, R2 – петлевой фильтр ФАПЧ;
 ГУН – генератор, управляемый напряжением.

Рисунок 11 – Типовая схема включения микросхемы

Микросхема может использоваться как с активным, так и пассивным петлевым фильтром. Диапазон выходного напряжения зарядно-разрядного блока ограничен напряжением питания микросхемы, поэтому при использовании пассивного фильтра этим же напряжением ограничен и диапазон управляющего напряжения ГУН. Для расширения диапазона перестройки ГУН может применяться активный петлевой фильтр на базе ОУ с высоким напряжением питания. При этом на неинвертирующий вход ОУ должно быть подано опорное напряжение близкое к половине напряжения питания зарядно-разрядного блока. Активный фильтр включен по инвертирующей схеме. Поэтому для замыкания петли ФАПЧ необходимо изменить полярность фазового детектора, что производится установкой **PFDSIGN = 1**.

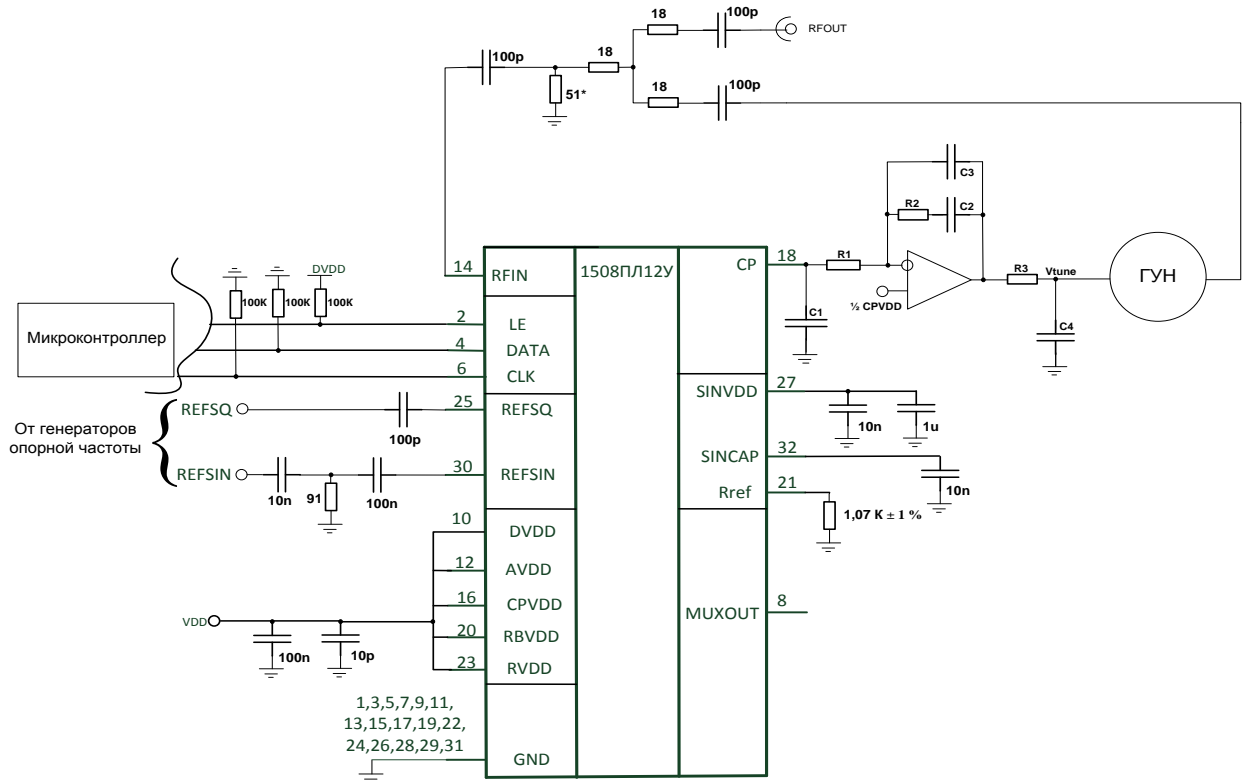


Рисунок 12 – Типовая схема включения микросхемы с активным петлевым фильтром 4-го порядка

7 Предельно-допустимые характеристики микросхемы

Таблица 9 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	–	4,0
Входное напряжение высокого уровня на входах CLK, LE, DATA	U_{IH}	2,0	U_{CC}	-	$U_{CC}+0,3$
Входное напряжение низкого уровня на входах CLK, LE, DATA	U_{IL}	0	0,8	- 0,3	–
Выходной ток высокого уровня на выводе MUXOUT, мА	I_{OH}	- 1	1	–	–
Выходной ток низкого уровня на выводе MUXOUT, мА	I_{OL}	- 1	1	–	–
Мощность опорного сигнала синусоидальной формы, дБм	P_{SIN}	- 6	12	–	–
Емкость нагрузки на выводе MUXOUT, пФ	C_L	–	10	–	–
Напряжение питания зарядно-разрядного блока, В	U_{CPVDD}	3,0	3,6	–	4,0
Размах опорного сигнала прямоугольной формы, В	U_{SQ}	1,5	U_{CC}	–	$U_{CC}+0,3$
Частота основного сигнала, ГГц: – при мощности сигнала не менее 0 дБм – при мощности сигнала не менее +4 дБм	f	0,4 0,1	12 12	–	–
Частота опорного сигнала, МГц: – для сигнала синусоидальной формы – для сигнала прямоугольной формы	f_{REF}	20 –	250 250	–	–
Частота сравнения фазового детектора, МГц: – в дробном режиме – в целочисленном режиме	f_{PFD}	–	70 150	–	–
Тактовая частота интерфейса программирования на входе CLK, МГц	f_{CLK}	–	1	–	–
Мощность основного сигнала, дБм – при частоте сигнала не менее 100 МГц – при частоте сигнала не менее 400 МГц	P	4 0	10 10	–	–
<i>Примечание</i> – Не допускается одновременное воздействие двух и более предельных режимов					

8 Электрические параметры микросхемы

Таблица 10 – Электрические параметры микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня на выводе MUXOUT, В	U_{OH}	2,8*	–	25, 125, – 60
Выходное напряжение низкого уровня на выводе MUXOUT, В	U_{OL}	–	0,1*	25, 125, – 60
Динамический ток потребления, мА	I_{OCC}	–	130*	25, 125, – 60
Ток потребления в состоянии пониженного энергопотребления, мкА	I_{CCS}	–	50*	25, 125, – 60
Ток утечки высокого уровня на цифровых входах CLK, DATA, LE, мкА	I_{ILH}	- 1,0	1,0	25, 125, – 60
Ток утечки низкого уровня на цифровых входах CLK, DATA, LE, мкА	I_{ILL}	- 1,0	1,0	25, 125, – 60
Максимальный выходной втекающий ток зарядно-разрядного блока на выводе CP, мА	$I_{CP\ SI\ MAX}$	3,6	4,4	25, 125, – 60
Максимальный выходной вытекающий ток зарядно-разрядного блока на выводе CP, мА	$I_{CP\ SO\ MAX}$	- 4,4	- 3,6	25, 125, – 60
Минимальный выходной втекающий ток зарядно-разрядного блока на выводе CP, мкА	$I_{CP\ SI\ MIN}$	115	135	25, 125, – 60
Минимальный выходной вытекающий ток зарядно-разрядного блока на выводе CP, мкА	$I_{CP\ SO\ MIN}$	- 135	- 115	25, 125, – 60
Ток утечки на выходе CP в состоянии пониженного энергопотребления, мкА	I_{LD}	- 0,20*	0,20*	25, 125, – 60
Коэффициент деления опорной частоты, 1	DREF	1	16383	25, 125, – 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Целая часть коэффициента деления основной частоты прескалера, 1: – для режима прескалера 4/5; – для режима прескалера 8/9	INT	24	131067	25, 125, – 60
		56	262143	
<i>Примечание</i> – Режимы измерения параметров приведены в технических условиях АЕНВ.431230.245ТУ в таблице норм и режимов электрических параметров микросхем при испытаниях				

9 Основные зависимости

Раздел находится в разработке.

Рисунок 13 – Ток потребления микросхемы в зависимости от частоты основного сигнала

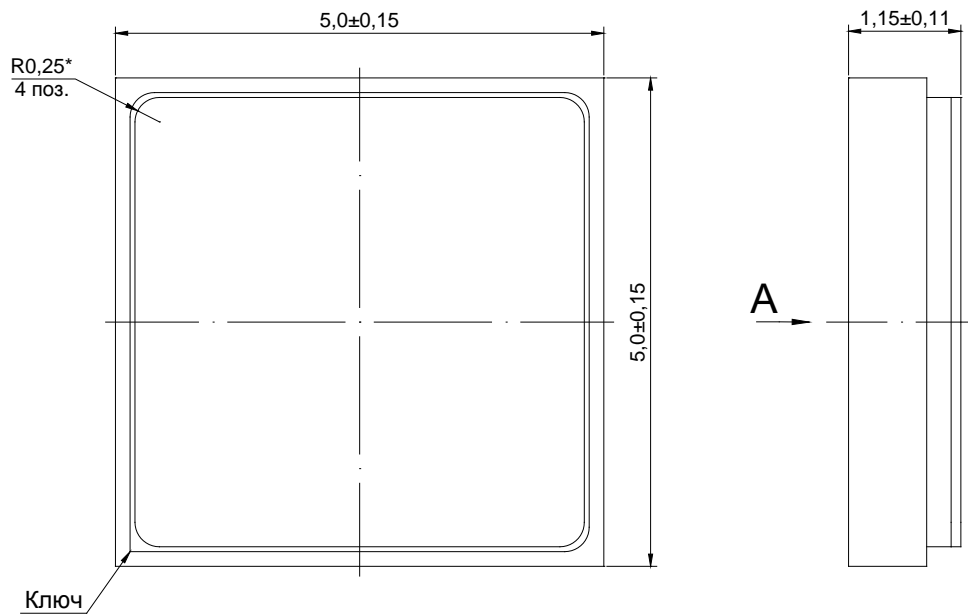
Рисунок 14 – Ток потребления микросхемы в зависимости от частоты фазового детектора

Рисунок 15 – Ток потребления микросхемы в зависимости от опорной частоты

Рисунок 16 – Чувствительность по входу основной частоты

Рисунок 17 – Фазовый шум, измеренный на демоплате в целочисленном и дробном режимах

10 Габаритный чертеж микросхемы



A

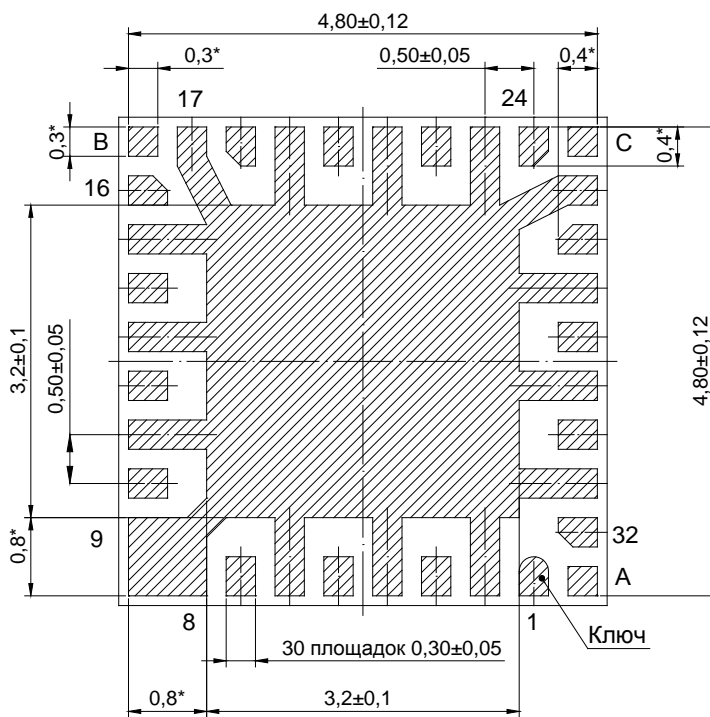


Рисунок 18 – Корпус 5102.32-2К

11 Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1508АС015	8АС1	5102.32-2К	минус 60 – 125 °С
К1508АС015	К8АС1	5102.32-2К	минус 60 – 125 °С
К1508АС015К	К8АС1•	5102.32-2К	0 – 70°С

12 Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых ЛИСТОВ
1	25.12.2015	1.0.0	Ведена впервые	